

時間展開モデルを用いた推定フィールドランダムテスタビリティ向上のためのドントケア割当てアルゴリズム

日大生産工(院) ○仲本 千騎 日大生産工 細川 利典 京産大 吉村 正義

1. まえがき

近年、超大規模集積回路(Very Large Scale Integrated circuits: VLSI)は社会基盤を支える重要な技術として、航空、宇宙、医療機器、自動車制御などのミッションクリティカルなシステムに広く導入されている。これらのシステムでは、VLSIの故障が人命に関わる重大な事故や経済損失を引き起こす可能性があり、高い信頼性が求められる。一方で、半導体技術の発展に伴う回路の複雑化、微細化、高速化が進み、製造ばらつきや回路の経年劣化が問題となっている[1,2]。特に、システム稼働中の回路の経年劣化に対しては、従来のライフタイム予測や出荷前の信頼性試験および寿命試験では限界があり、各VLSIの実際の使用環境や動作条件の多様性によって、劣化進行の事前予測が困難である[2]。劣化による障害発生を防ぐ手段の一つとして、現状では動作マージン設計が行われているが、回路の製造ばらつき、動作環境、使用年数などの最悪の場合を考慮しながら決定するため、過大な動作マージンとなってVLSIの性能を犠牲にする可能性がある[1]。それゆえ、過大な動作マージンを避けるためにVLSIがシステムに搭載された後のフィールドテストが重要となる。スキャン設計[3]と組込み自己テスト(Built-In Self-Test: BIST)[3]を組合せたスキャンベースBISTに基づくフィールドテスト手法[4-6]が提案されている。BISTは、実動作速度でのテスト実行の容易性や外部テスト装置が不要など、いくつかの利点[1,3]があるが、スキャンベースBISTはシフト動作に時間を要し、フィールドテストにおける限られた時間の制約下では回路全体を網羅的にテストすることが困難である[6]。この課題を解決するため、スキャンベースBISTの時間制約問題に対してレジスタ転送レベル(Register Transfer Level: RTL)での非スキャンBISTの故障検出率向上のための設計手法[7-9]が提案されている。しかしながら、文献[7]ではフィールドテストは考慮されていない。フィールドテストに特化したアプローチとして、文献

[10]では、RTLと論理回路の故障検出率との相関を示す評価尺度として推定フィールドランダムテスタビリティが提案されている。さらに文献[11]では、文献[10]で不十分であった楽観推定フィールドランダムテスタビリティの向上を目的とした状態信号系列の生成手法[11]が提案されている。しかしながら、文献[10,11]では悲観推定フィールドランダムテスタビリティが十分に検討されておらず、実際のフィールドテストにおけるドントケア割当ての最悪ケースでの故障検出能力の保証が困難である。本論文では、文献[10]で不十分であった悲観推定フィールドランダムテスタビリティを向上させるため、制御信号系列においてドントケア(X)値を持つ制御信号に対して最適な論理値(0,1)の割当て手法を提案する。

2. 非スキャンベースフィールドテストアーキテクチャ

2.1. フィールドテスト手法の概要

従来のスキャンBISTに基づくフィールドテスト手法で問題点として挙げられている面積、故障検出率、テスト実行時間に焦点を当て、これらを改善するためには本論文では文献[10]で提案された3つのアプローチを組合せたテスト手法を説明する。1つ目のアプローチとして、非スキャン回路でシミュレーションを行う。これにより、フィールドテストを短時間で行うことができる。2つ目のアプローチとして、決定的パターンとランダムパターンを併用する、これにより、小面積オーバーヘッドで故障検出率の向上が期待できる。3つ目のアプローチとしてコントローラのn回k連続状態遷移被覆[10]をフィールドテストに用いる。これにより、故障検出率の向上を図る。

2.2. RTL フィールドテストアーキテクチャ

図1にRTLフィールドテストアーキテクチャを示す。データパスとコントローラから構成されるRTL回路を研究対象とする。フィールドテスト手法を実現するために、LFSRの初期値となるシード値やシグネチャの期待値、状態遷移被覆によって生成した状態信号系列をメモリから与える。コントローラの入力は、データパスが送出する状態信号と、メモリに格納されているテスト用の状態信号とをマルチプレクサを用いて選択可能とする。データパスの状態信号線は故障の影響を容易に観測するために、MISRに接続する。データパスの入力は、本来の外部入力とLFSRが送出するランダムテストパターンとをマルチプレクサにより選択可能とする。データパスの出力は、外部出力とMISRへの入力に分岐する。MISRはデータパスの出力を圧縮し、シグネチャとして期待値とともに比較器に入力される。比較器は、シグネチャとその期待値との比較結果によって正常信号もしくは異常信号をテスト用外部出力TestPOへ出力する。フィールドテスト用に挿入したマルチプレクサの制御信号線は新たに付加した外部入力Testと接続する。

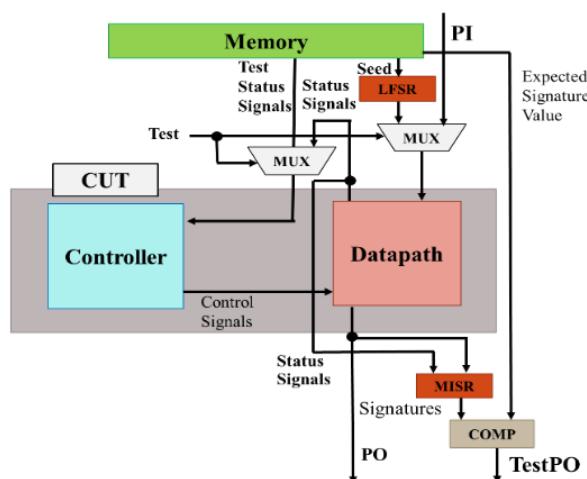


図1. フィールドテストアーキテクチャ

A Don't Care Filling Algorithm for Control Signal Sequences to Improve Estimated Field Random Testability
Kazuki NAKAMOTO, Toshinori HOSOKAWA and Masayoshi YOSHIMURA

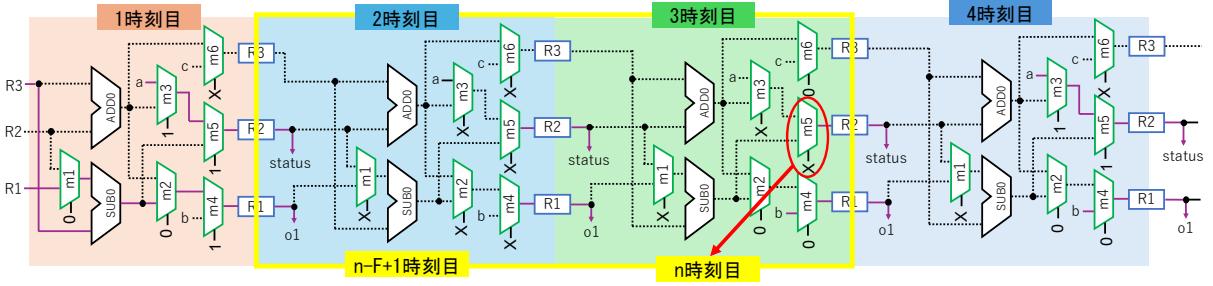


図 2. 時間展開モデル例

3. 構造的記号シミュレーション

データパスの構造と制御信号系列に基づいて実行されるシミュレーション手法を構造的記号シミュレーション[10]という。構造的記号シミュレーションは、初期時刻から最大時刻に向けて外部入力、定数入力から制御可能であることを示す可制御シンボル(Cシンボル)[10]を割当て、伝搬規則[10]に従って伝搬させる。次に、最大時刻から初期時刻に向けて観測可能であることを示す可観測シンボル(Oシンボル)[10]を割当て、伝搬規則[10]に従って伝搬する。構造的記号シミュレーションはテスト実行可能な信号線を判定するために実行される。データパスはハードウェア要素とそれらを接続する信号線、及びコントローラへ出力する状態信号線から構成される。ハードウェア要素は多入力1出力の演算器、マルチプレクサ、レジスタ、外部入力、定数、外部出力、信号線、制御信号線から構成される。以下に、構造的記号シミュレーションで用いられる用語について定義する。

(定義 1: テスト可能な信号線)

時刻 t で、ある信号線に C シンボルと O シンボルが割当てられている時、その信号線を時刻 t でテスト可能な信号線という。

(定義 2: テスト実行回数)

データパスのある信号線がテスト可能である時刻数をその信号線のテスト実行回数という。

(定義 3: 完全なテスト可能となる実行回数)

完全なテスト可能となる実行回数とは、各ハードウェア要素を論理回路に変換し、擬似ランダムテストパターン印加したときに故障検出率が 99.995% 以上となるために必要な擬似ランダムテストパターン数である。

(定義 4: 楽観構造的記号シミュレーション)

楽観構造的記号シミュレーション[10]は、構造的記号シミュレーション[10]の処理とほぼ同じであり、あるハードウェア要素のテスト可能となるように X に論理値割当てされていることを仮定する。各状態遷移における X の論理値割当てにより、テスト可能なハードウェア要素を最大限に見積る。

(定義 5: 悲観構造的記号シミュレーション)

悲観構造記号シミュレーション[10]は、構造的記号シミュレーション[10]の処理とほぼ同じであり、あるハードウェア要素がテスト不可能となるように X の論理値割当てされていることを仮定する。各状態遷移における X の論理値割当てにより、テスト可能なハードウェア要素を最小限に見積る。

4. 推定フィールドランダムテスタビリティを用いたドントケア割当て

4.1. 推定フィールドランダムテスタビリティ

本論文では RTL での故障検出率の評価尺度として推定フィールドランダムテスタビリティ[10]を用いる。以下に、推定フィールドランダムテスタビリティで用いられる用語について定義する。

(定義 6: 悲観推定フィールドランダムテスタビリティ)

悲観構造的記号シミュレーションによって得られた推定フィールドランダムテスタビリティを悲観推定フィールドランダムテスタビリティという。

(定義 7: 楽観推定フィールドランダムテスタビリティ)

楽観構造的記号シミュレーションによって得られた推定フィールドランダムテスタビリティを楽観推定フィールドランダムテスタビリティという。

4.2. C シンボル X 割当て手法

C シンボルを伝搬させるための X 割当てでは、初期時刻から最大時刻までマルチプレクサへの制御値の X 割当てを行う。マルチプレクサ m の制御値が X であり、 m のいずれかの入力信号線に C シンボルが伝搬され、出力信号線に C シンボルが伝搬されていない場合、 m の出力信号線に C シンボルを伝搬できるような論理値を割当てる。

4.3. 時間展開モデル

非スキヤンフィールドテストでの RTL 回路のデータパスは、コントローラから送られる状態信号系列長分、レジスタ間を 1 時刻として時間展開される。したがって、単一時間のみの O シンボルの伝搬を考慮した X 割当てと複数時間の O シンボルの伝搬を考慮した X 割当てでは伝搬経路が異なる。本論文では、展開時間を F 時間とし、複数時間の伝搬を考慮して F 時間内での最適な伝搬経路の特定手法を提案する。

はじめに、最大時刻からマルチプレクサの出力信号線に O シンボルが伝搬され、制御値が X であるマルチプレクサ m を特定する。 m のある時刻を n 時刻とし、 $F-1$ 時間、初期時刻に向けて遡る。 n 時刻目から $n-F+1$ 時刻目までの最適な伝搬経路を特定する。

時間展開の例を図 2 に示す。図 2 は、2 時間展開モデルを用いた例である。初めに、最大時刻である 4 時刻目には出力信号線に O シンボルが伝搬され、制御値が X であるマルチプレクサは存在しない。したがって、次に 3 時刻目を探索する。3 時刻目のマルチプレクサ m_5 は出力信号線に O シンボルが伝搬され、制御値が X である。したがって、3 時刻目が 2 時間展開中の最大時刻である n 時刻目となる。 $F=2$ なので、1 時刻前である 2 時刻目が $n-F+1$ 時間目となり、2 時間展開中の初期時刻となる。3 時刻目から 2 時刻目の中で推定

フィールドランダムテスタビリティが最も向上するよう に O シンボルを伝搬させるための X 割当てを行う。
4.4. 時間展開モデルを用いた O シンボル X 割当て手法

O シンボルを伝搬させるための X 割当てでは、最大時刻から初期時刻に向けてマルチプレクサへの論理値の割当てを行う。X 割当てアルゴリズムを図 3 に示す。本アルゴリズムでは構造的記号シミュレーション結果 SSS, コントローラ Controller, 最大時刻 Maxtime, 時間展開数 F, 推定フィールドランダムテスタビリティ EFRT, データパス DP を入力とする。出力は制御信号系列の一部の X に論理値が割当てられたコントローラ Controller である。

time に最大時刻である Maxtime を代入し, time が初期時刻である 0 になるまで 2 行目から 11 行目までの処理を繰返す(1 行目)。time において出力信号線に O シンボルが伝搬され、制御値が X であるマルチプレクサが存在するか判定する。存在する場合、3 行目から 10 行目の処理を行う(2 行目)。n に現在参照している時刻である n 時刻目から F+1 時刻分、初期時刻方向に遡った時刻を代入し、n が time になるまで 4 行目の処理を繰返す(3 行目)。データパスの信号線にレベル付けを行う。外部入力、定数入力のレベルを 0 に初期化して伝搬し、マルチプレクサ m の出力信号線で m の入力信号線のうち最も高いレベルに 1 インクリメントをした値が m の出力信号線のレベルである。時間展開中の初期時刻はレジスタの出力信号線のレベルを 0 に初期化し、それ以外の時間では 1 時刻前のレジスタと接続しているハードウェア要素の出力信号線のレベルを引き継ぐ(4 行目)。time において O シンボルを伝搬させるための X 割当てを行い、推定フィールドランダムテスタビリティを向上できる制御信号系列を列挙する。列挙した全制御信号系列を PCtime の集合に格納する(6 行目)。n に time から 1 デクリメントした値を代入し、n から F-2 時刻分、初期時刻方向に遡った時刻まで 8 行目の処理を繰返す(7 行目)。n 時刻目において n+1 時刻目のコントローラの全ての組合せを考慮し、O シンボルを伝搬させるための X 割当てを行い、推定フィールドランダムテスタビリティを向上できる制御信号系列を列挙する。列挙した全制御信号系列を PCn+1 の集合に格納する(8 行目)。time-F+1 時刻目において、time-F 時刻目のコントローラの全ての組合せを考慮し、O

Algorithm Xfilling for Controller Using K-Time Expanded Models

Input : SSS, Controller, Maxtime, K, EFRT, DP

Output : Controller

```

1. for ( time = Maxtime ; time > 0 ; time -- ) then
2.   if ( CheckOSymbolXfillPotentiality ( time, Controller ) == true ) then
3.     for ( n = time - K + 1 ; n <= time ; n++ ) then
4.       LevelingForControlseq ( n, K, DP ) ;
5.     endfor
6.     PCtime = Xfill ( time, DP, EFRT, Controller, SSS ) ;
7.     for ( n = time - 1 ; n > time - K + 1 ; n-- ) then
8.       PCn = Xfill ( n, DP, EFRT, Controller, SSS, PCtime-k ) ;
9.     endfor
10.    Controller = Xfill ( time - K + 1 , DP, EFRT, Controller, SSS, PCtime-k ) ;
11.  endif
12. endfor
13. return Controller ;
14. end

```

図 3. O シンボル X 割当てアルゴリズム

シンボルを伝搬させるための X 割当てを行った結果、最も推定フィールドランダムテスタビリティを向上できる制御信号系列を Controller に代入する(10 行目)。Controller を返す(12 行目)。

5. 実験結果

本実験では、RTL ベンチマーク回路 kim[12], maha[12], schwa[12]を対象回路とする。オリジナルコントローラに対して n 回 k 連続状態遷移被覆する状態信号系列を生成し、楽観構造的記号シミュレーション、悲観構造的記号シミュレーションを実行した。その結果、得られた悲観推定フィールドランダムテスタビリティから時間展開モデルを用いた制御信号系列の X 割当てを行い、X 割当て前後の推定フィールドランダムテスタビリティの評価を行った。

表 1 に RTL ベンチマーク回路 kim, maha, schwa の回路全体の推定フィールドランダムテスタビリティを示す。1 行目に対象回路、2 行目に実験に用いた n 回 k 連続状態遷移被覆する状態信号系列、3 行目に実験に用いた状態信号系列の系列長、4 行目に回路全体の楽観推定フィールドランダムテスタビリティ、5 行目に回路全体の悲観推定フィールドランダムテスタビリティ、6 行目にオリジナルコントローラの制御信号系列に対して、10000 回ランダムに X 割当てを行った時の最大の推定フィールドランダムテスタビリティ、7 行目に Synopsys Design Compiler が論理合成したネットリストから算出した制御信号系列を用いた推定フィールドランダムテスタビリティを示す。8 行目から 12 行目は時間展開モデルを用いた制御信号系列の X 割当て手法の実験結果であり、それぞれ K=1,2,3,4,5 の時の回路全体の推定フィールドランダムテスタビリティを示す。

kim の 1 回 1 連続状態遷移被覆する状態信号系列を用いた実験結果では、楽観推定フィールドランダムテスタビリティは 96.64%、悲観推定フィールドランダムテスタビリティは 82.54%、ランダムで 10000 回 X 割当てを行った最大の推定フィールドランダムテスタビリティは 89.34%、Design Compiler が論理合成したネットリストから算出した推定フィールドランダムテスタビリティは 82.82%、1 時間展開モデルを用いた X 割当てでは 88.63%、2 時間展開モデルを用いた X 割当てでは 89.21%、3 時間展開モデルを用いた X 割当てでは 89.27%、4 時間展開モデルを用いた X 割当てでは 89.27%、5 時間展開モデルを用いた X 割当てでは 89.60% であった。得られた悲観推定フィールドランダムテスタビリティに対して 1 時間展開モデルを用いて X 割当てを行ったことで推定フィールドランダムテスタビリティを 6.09% 向上することができた。また、5 時間展開モデルを用いて X 割当てを行ったことで推定フィールドランダムテスタビリティを 7.06% 向上でき、ランダムで 10000 回 X 割当てを行った最大値よりも 0.26% 高かった。

maha の 1 回 3 連続状態遷移被覆する状態信号系列を用いた実験結果では、楽観推定フィールドランダムテスタビリティは 96.68%、悲観推定フィールドランダムテスタビリティは 96.33%、ランダムで 10000 回 X 割当てを行った最大の推定フィールドランダムテスタビリティは 96.44%、Design Compiler が論理合成し

表 1. 時間展開モデルを用いた X 割当て実験結果

対象回路	kim				maha				sehwa					
	1-1	1-4	2-1	3-1	1-1	1-2	1-3	2-1	3-1	1-1	1-2	1-3	2-1	3-1
n回k連続(n-k)	37	41	74	111	55	115	175	110	165	57	59	301	114	171
系列長	96.64	98.24	98.09	98.24	96.32	96.54	96.68	96.51	96.63	95.17	95.34	97.00	96.74	96.96
樂観	82.54	83.26	92.26	95.18	90.28	95.55	96.33	95.36	96.27	82.94	84.11	95.40	89.01	90.20
悲観	89.34	90.39	95.87	97.38	92.96	95.70	96.44	96.37	96.32	92.01	92.88	96.91	96.16	96.88
ランダム	82.82	83.53	92.33	95.21	91.47	95.74	96.33	95.62	96.36	90.01	91.1	96.42	95.48	96.49
DC割当て	88.63	88.97	95.35	97.02	92.40	95.70	96.41	95.43	96.34	89.42	91.17	96.55	94.37	96.48
展開時間	1時間	89.21	91.29	95.95	97.59	92.69	95.70	96.41	95.78	96.39	90.29	91.2	96.57	95.65
	2時間	89.27	91.88	96.20	97.67	92.78	95.89	96.41	95.78	96.39	91.29	91.75	96.57	95.70
	3時間	89.27	92.11	96.20	97.67	92.81	95.89	96.41	95.78	96.39	91.29	91.75	96.57	95.70
	4時間	89.60	92.11	96.29	97.70	92.83	95.89	96.41	95.78	96.39	91.29	91.81	96.57	95.70
	5時間	89.60	92.11	96.29	97.70	92.83	95.89	96.41	95.78	96.39	91.29	91.81	96.57	95.70

たネットリストから算出した推定フィールドランダムテストスタビリティは 96.33%，1 時間展開モデルから 5 時間展開モデルを用いた X 割当てはいずれも 96.41% であった。樂観推定フィールドランダムテストスタビリティと悲観推定フィールドランダムテストスタビリティの差が小さいことから時間展開の展開数を増やしても推定フィールドランダムテストスタビリティは 1 時間展開モデルを用いた結果から向上しなかった。

sehwa の 1 回 1 連続状態遷移被覆する状態信号系列を用いた実験結果では、樂観推定フィールドランダムテストスタビリティは 95.17%，悲観推定フィールドランダムテストスタビリティは 82.94%，ランダムで 10000 回 X 割当てを行った最大の推定フィールドランダムテストスタビリティは 92.01%，Design Compiler が論理合成したネットリストから算出した推定フィールドランダムテストスタビリティは 90.01%，3 時間展開モデルから 5 時間展開モデルを用いた X 割当ては 91.29% であった。ランダムで X 割当てを行った最大値と 3 時間展開モデルから 5 時間展開モデルとの差は 0.72% であった。時間展開モデルでは、最大時刻から初期時刻に向けて O シンボルを伝搬可能なマルチプレクサを特定し、F 時間内で推定フィールドランダムテストスタビリティが最も向上するように制御信号系列に論理値を割当てる。また、制御信号系列はコントローラの状態遷移によってデータパスに供給される。オリジナルのコントローラの制御信号系列に論理値を割当てるとき、初めて論理値を割当てる状態遷移では F 時間内で最も推定フィールドランダムテストスタビリティが向上するような論理値の割当てができる。しかしながら、一度 X 割当てが行われた状態遷移に再度、論理値を割当てるときは、既に他の時刻で X 割当てが行われているため、状態遷移における X 割当ての衝突が起こり、F 時間内の最適解を導き出すことができない。したがって、sehwa ではランダム X 割当ての推定フィールドランダムテストスタビリティを達成するには状態遷移の順序に影響されない X 割当て手法を考案する必要がある。

6. むすび

本論文では、非スキャンベースのフィールドテストにおいて、n 回 k 連続状態遷移被覆する状態信号系列と時間展開モデルを用いた推定フィールドランダムテストスタビリティを向上させるための制御信号系列の X 割当て手法を提案した。時間展開数を大きくし、探索空間を広げることで推定フィールドランダムテストスタビリティを向上できることがわかった。

今後の課題として、推定フィールドランダムテスト

リティを向上させるため、状態信号系列の追加を行うことや、状態遷移の順序に影響されない X 割当て手法を考案することが挙げられる。

参考文献

- [1] 藤原秀雄, “デジタルシステムの設計とテスト,” 工学図書株式会社, 2004.
- [2] I.Moghaddasi, S.Gorgin and J.Lee, “Dependable DNN Accelerator for Safety-Critical Systems: A Review on the Aging Perspective,” IEEE Access, vol.11, pp. 89803–89834, 2023.
- [3] L.Wang, C.Wu and X.Wen, “VLSI Test Principles and Architectures: Design for Testability,” Morgan Kaufmann Publishers, 2006.
- [4] Tobias Strauch, “Non-interfering Online and In-field SoC Testing,” 2024 IEEE International Workshop on Rapid System Prototyping (RSP), pp.42-48, 2024.
- [5] Irith Pomeranz, “Chip Aging and Double Transition Faults,” 2025 IEEE International Test Conference (ITC), pp.1-7, 2025.
- [6] Irith Pomeranz, “Varying Periods of In-Field Testing With Storage and Counter Based Logic Built-In Self-Test,” IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2025.
- [7] A.Ahmadi, N.Paraman, M.S.Rusli and S.Issak, “Hybrid non scan with built-in self-test for fault coverage improvement,” AIP Conference Proceedings, vol. 2795, 2023.
- [8] K. Yamaguchi, H. Wada, T. Masuzawa, H. Fujiwara, “A BIST Method Based on Concurrent Single-Control Testability of RTL Data Paths,” Proceedings 10th Asian Test Symposium, pp.313-318, 2001.
- [9] K. Yamaguchi, M. Inoue, H. Fujiwara, “Hierarchical BIST: Test-Per-Clock BIST with Low Overhead,” Electronics and Communications in Japan, Vol.90, No.6, 2007.
- [10] Yudai Toyooka, Haruki Watanabe, Toshinori Hosokawa, Masayoshi Yoshimura, “An Evaluation of Estimated Field Random Testability for Data Paths at Register Transfer Level Using Status Signal Sequences Based on k-Consecutive State Transitions for Field Testing,” 2023 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), pp.1-6, 2023.
- [11] 廣瀬恭介, 細川利典, 吉村正義“樂観推定フィールドランダムテストスタビリティ向上のための状態信号系列生成手法,”信学技報, vol.124, no.374, DC2024-114, pp.47-52, 2025.
- [12] M. T. -C. Lee, “High-Level Test Synthesis of Digital VLSI Circuits,” Artech House Publishers, 1997.