

故障ペア識別処理高速化のための

故障シミュレーション手法の評価

日大生産工(院) ○青野 竜弥 日大生産工 細川 利典
京産大 吉村 正義 明治大 山崎 浩二

1. まえがき

半導体微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated Circuits: VLSI) において、異常動作の物理的な原因を特定する故障解析は、歩留まり向上のために重要である。故障解析のコスト低減のために、故障 VLSI に存在する可能性のある故障 (被疑故障) を事前に絞り込んでおく故障診断[1]が重要である。故障診断を実行することで故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。このとき、VLSI のテストに使用されたテスト集合において、識別可能な故障ペア数が多いほど、被疑故障数を削減することができる。しかしながら、故障検出を指向した手法で生成されたテスト集合では故障ペアの識別が考慮されていないため、故障ペアの識別が不十分な場合がある[6]。

テスト集合の診断分解能を向上させる手法として、診断パターン (Diagnostic Pattern: DP) を生成する手法が提案されている[2]-[7]。文献[7]において、完全故障検出効率を達成するテスト集合に完全診断分解能の性質を付加するために、元のテスト集合のテストパターン数の約 14.8% の DP を追加する必要があることが報告されている。ここで、完全故障検出効率を達成するテスト集合とは、対象となるテスト可能な故障をすべて検出できるテスト集合である。また、完全診断分解能を達成するテスト集合とは、対象となる識別可能な故障ペアをすべて識別できるテスト集合である。しかしながら、文献[7]の手法を適用するためには、必須識別故障ペア[7]を解析しなければならないが、各故障ペアに

対して識別処理を行うと、対象故障数を n とした場合、 $O(n^2)$ の計算量を必要とするため、必須識別故障ペアの解析には多大なメモリと実行時間を要する。それゆえ、本論文では未識別故障ペア[7]を効率的に解析するデータ構造[8]を実装し、故障シミュレータの実行時間を評価する。

本論文の構成は以下の通りである。第 2 章で、前提知識を説明し、第 3 章で故障ペア識別処理の高速化手法について説明する。第 4 章で実験結果を示し、第 5 章でまとめと今後の課題を述べる。

2. 前提知識

本章では、本論文で取り扱う用語を定義する。

定義 1: 識別可能な故障ペア[7]

テストパターン t で故障ペア $(f_i, f_j) (f_i \neq f_j)$ の 2 つの故障 f_i, f_j の外部出力応答が異なるならば、故障ペア (f_i, f_j) は t で識別可能な故障ペアであるという。また、外部出力応答が一致するとき、故障ペア (f_i, f_j) は t で識別不能な故障ペアであるという。

定義 2: テスト集合 T の未識別故障ペア[7]

与えられたテスト集合 T 中の任意の t で識別不能な故障ペアを、テスト集合 T の未識別な故障ペアであるという。

定義 3: テストパターン t の識別不能故障グループ [8]

テストパターン t で故障シミュレーションした結果、 t で検出可能かつ外部出力応答が一致する故障から構成される集合をテストパターン t の識別不能故障グループと呼ぶ。

An Evaluation of a Fault Simulation Method for
Accelerating Fault Pair Distinguishment Process

Tatsuya Aono, Toshinori HOSOKAWA,
Masayoshi YOSHIMURA and Koji YAMAZAKI

3. 故障ペア識別処理の高速化手法[8]

本章では文献[8]で提案された故障ペア識別処理の高速化手法について図1の故障集合 F , テスト集合 T , テストパターン $t1, t2$ でそれぞれ故障シミュレーションした結果, 得られた識別不能故障グループ $\pi1, \pi2$ を用いて説明する. 文献[8]では, 各テストパターンの識別不能故障グループを用いて, 故障集合の故障を識別不能故障グループに分割する. 第3.1節ではグループ番号を用いた故障集合の分割法について説明し, 第3.2節では故障の削除について説明する.

3.1 グループ番号を用いた故障集合の分割法

本手法では, 故障集合と各識別不能故障グループの各部分集合にグループ番号を割当ててことで識別処理を行う. グループ番号とは個々の集合ごとに割当てられる整数値である. なおグループ番号は, 故障集合及び, 各識別不能故障グループにおける個々の部分集合に一意に割当てなければならない. また, 故障集合 F におけるグループ番号と各識別不能故障グループにおけるグループ番号は共有されておらず, 故障集合 F におけるグループ番号は, 0 に初期化されている.

図1の故障集合 F , 識別不能故障グループ $\pi1, \pi2$ に含まれる故障にグループ番号を割当てた例を図2に示す. 各集合にグループ番号を割当てた結果, $F=\{f1, f2, f3, f4, f5, f6, f7\}=[0, 0, 0, 0, 0, 0, 0]$, $\pi1=\{\{f1, f2\}, \{f4\}, \{f7\}\}=[0, 0, 1, 2]$, $\pi2=\{\{f1\}, \{f3, f5, f6\}\}=[0, 1, 1]$ となる.

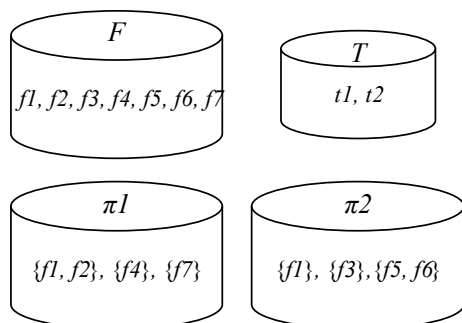


図1. 識別不能故障グループ例

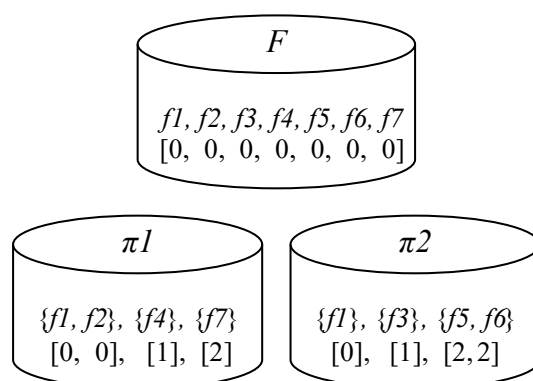


図2. グループ番号の割当て例

グループ番号を割当てたのち, 故障集合と各識別不能故障グループを用いて故障集合を分割する. 故障集合の分割では, 検出されていない故障の故障集合におけるグループ番号は変更せず, 検出された故障の故障集合におけるグループ番号のみを, 一意なグループ番号になるように更新する.

図3に故障集合 F と識別不能故障グループ $\pi1$ を用いた分割結果を示す. F と $\pi1$ で分割すると, グループ番号は $F \times \pi1 = [0|0, 0|0, 0, 0|1, 0, 0, 0|2] = [1, 1, 0, 2, 0, 0, 3]$ となり, 故障集合は $F = \{\{f1, f2\}, \{f3, f5, f6\}, \{f4\}, \{f7\}\}$ に分割される.

図4に $\pi1$ で分割された後の故障集合 F と識別不能故障グループ $\pi2$ を用いた分割結果を示す. F と $\pi2$ で分割すると, グループ番号は $F \times \pi2 = [1|0, 1, 0|1, 2, 0|2, 0|2, 3] = [4, 1, 5, 2, 6, 6, 3]$ となり, 故障集合は $F = \{\{f1\}, \{f2\}, \{f3\}, \{f4\}, \{f5, f6\}, \{f7\}\}$ に分割される.

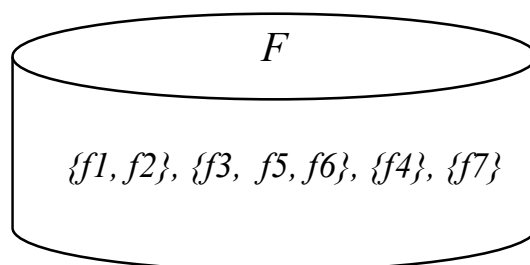


図3. 識別不能故障グループ $\pi1$ との分割結果

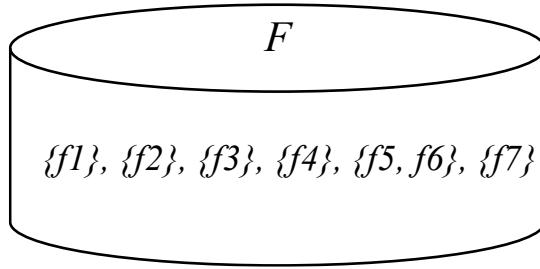


図 4. 識別不能故障グループ π_2 との分割結果

上記の分割により，図 1 の故障集合 F をテスト集合 T を用いて分割すると， $F = \{\{f1\}, \{f2\}, \{f3\}, \{f4\}, \{f5, f6\}, \{f7\}\}$ となる．本手法の各テストパターンにおける故障ペア識別処理の計算量は，あるテストパターンで検出可能な故障数を n とすると， $O(n)$ である．

3.2 故障の削除

本節では，故障シミュレーションの高速化のために故障を故障集合から削除する手法について説明する．故障ペアの識別において，ある故障 f が故障集合内の他の任意の故障と識別された場合，故障 f を故障集合から削除することができる．文献[8]では，故障集合をある識別不能故障グループで分割した後，故障集合で単一要素となった故障は故障集合から削除することができる．

π_1 による F の分割後に故障の削除を適用した場合の故障集合を図 5， π_2 による F の分割後に故障の削除を適用した場合の故障集合を図 6 に示す．

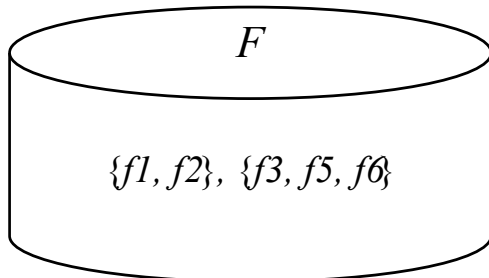


図 5. π_1 による F の分割後の故障の削除結果

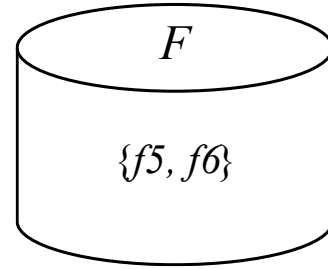


図 6. π_2 による F の分割後の故障の削除結果

単一要素となった故障を各テストパターンでの分割後に削除することで，以降の故障シミュレーションにおける対象故障数を削減することができるため，故障シミュレーションを高速化することができる．

4. 実験結果

文献[8]の手法を C 言語で実装し，フルスキャン設計を仮定した ISCAS' 89 ベンチマーク回路の組合せ回路部分を対象に実験を行った．計算機として i9-13900 (2.0GHz) 及び 32GB メモリを搭載したコンピュータを用いた．故障シミュレーションのアルゴリズムは，文献[8]の手法，比較する故障シミュレーション手法ともにパターン並列故障シミュレーションを使用した．比較手法は，故障シミュレーション前に故障ペアのデータ領域を確保し，各 64 パターンシミュレーション実行後，識別された故障ペアのデータを順次削除する手法である．

表 1 に本実験で使用した完全故障検出効率を達成するテスト集合の情報を示す．Circuit は回路名，TP はテスト集合のテストパターン数，Fault は故障集合の故障数，Fault Pairs は故障ペア数，Indist はテスト集合の未識別故障ペア数を示している．比較手法では Fault Pairs の数分，故障ペアのデータを作成している一方，文献[8]では故障の数のみを対象として故障ペアの識別処理を行っているため，比較手法に比べて，高速に故障ペアの識別処理が可能であると考えられる．

表 2 に表 1 のテスト集合を用いた故障シミュレーションの実行時間を示す。Circuit は回路名，Method は適用手法，CPU Time[s]は実行時間を示している。文献[8]を適用することで，実行時間は比較手法に比べて，315～4191 倍高速化された。本実験では回路規模が増大するほど，実行時間の削減率も増大した。これは，比較手法では回路規模の増大に伴って，対象故障ペア数は指数関数的に増大する一方，文献[8]では対象故障数に比例して実行時間が増大するためであると考えられる。

表 1. テスト集合情報

Circuit	TP	Fault	Fault pairs	Indist
s5378	105	4,511	10,171,713	592
s9234	112	6,475	20,957,226	2,349
s13207	238	9,512	45,231,376	2,940
s15850	102	11,308	63,926,081	3,697
s35932	19	34,534	596,249,283	32,028
s38417	75	30,579	467,517,385	4,946
s38584	120	34,489	594,723,988	4,328

表 2. 実行時間の比較結果

Circuit	Method	CPU Time[s]
s5378	比較手法	9.45
	文献[8]	0.03
s9234	比較手法	49.83
	文献[8]	0.05
s13207	比較手法	645.56
	文献[8]	0.15
s15850	比較手法	253.67
	文献[8]	0.17
s35932	比較手法	2254.24
	文献[8]	1.21
s38417	比較手法	2623.73
	文献[8]	1.19
s38584	比較手法	5993.54
	文献[8]	1.43

5. まとめと今後の課題

本論文では文献[8]の故障ペア識別処理の高速化手法を実装し，直接的な手法と実行時間を比較した。ISCAS'89 での実験結果は，数百から数千倍の高速化を実現した。今後の課題として，ITC'99 ベンチマーク回路への適用や，必須識別故障ペア解析へ応用するためのアルゴリズムとデータ構造の提案が挙げられる。

文 献

- [1] H. Y. Chang, E. Manning and G. Metze: Fault Diagnosis of Digital Systems, John Wiley & Sons, 1970.
- [2] Y. Zhang and V. D. Agrawal, "A diagnostic test generation system," IEEE Int. Test Conf., pp.1-9, Austin, USA, Nov 2010.
- [3] J. Ye, X. Zhang, Y. Hu and X. Li, "Substantial Fault Pair At-a-Time (SFPAT): An Automatic Diagnostic Pattern Generation Method," 19th IEEE Asian Test Symp., pp.192-197, Shanghai, China, Dec 2010.
- [4] I. Pomeranz and S. M. Reddy, "Output-Dependent Diagnostic Test Generation," 23rd Int. Conf. on VLSI Design, pp.3-8, Bangalore, India, Jan 2010.
- [5] S. Prabhu, M. S. Hsiao, L. Lingappan and V. Gangaram, "A SMT-based diagnostic test generation method for combinational circuits," IEEE 30th VLSI Test Symp. (VTS), pp.215-220, Maui, USA, April 2012.
- [6] C. H. Wu, K. J. Lee and S. M. Reddy, "An Efficient Diagnosis-Aware ATPG Procedure to Enhance Diagnosis Resolution and Test Compaction," in IEEE Trans. on Very Large Scale Integration (VLSI) Syst., vol.27, no.9, pp.2105-2118, Sept 2019.
- [7] 青野竜弥, 細川利典, 吉村正義, 山崎浩二, “完全故障検出効率と完全診断分解能を両立するテストパターン置換法,” 信学技報, vol. 124, no. 149, pp.5-10, 2024 年 8 月.
- [8] 松永裕介, “識別不能故障グループの効率的な操作を行うデータ構造に関する一考察,” 第 88 回 FTC 研究会, 2024 年 1 月.