

楽観推定フィールドランダムテストビリティ向上のための 状態信号系列生成アルゴリズム

日大生産工 ○廣瀬 恭介

日大生産工
京産大細川 利典
吉村 正義

1. まえがき

近年、超大規模集積回路(Very Large Scale Integrated circuits: VLSI)が社会の様々なシステムの中で利用されるようになり、医療機器、自動車制御などの高い信頼性が要求されるものにも多く用いられている。一方で、半導体技術の発展により回路の複雑化、微細化、高速化が進み、製造ばらつきや回路の経年劣化が問題となっている[1,2]。特にシステム稼働中の回路の経年劣化については現在でもライフタイム予測や出荷前の信頼性試験および寿命試験が行われている。しかしながら、個々の回路により使用状況や使用環境は異なっており、劣化の進み具合も変化するため、それらを事前に把握することは困難である。劣化による障害発生を防ぐ手段の一つとして、動作マージン設計が行われているが、回路の製造ばらつき、動作環境、使用年数などの最悪な場合を考慮しながら決定するため、過大な動作マージンとなってVLSIの性能を犠牲にする場合がある[1]。それゆえ、製造テストに加えて、VLSIが搭載された後のフィールドテストが重要となる。

スキャン設計[3]と組み込み自己テスト(Built-In Self-Test: BIST)[4]を組合せたスキャンベースBISTに基づくフィールドテスト手法[5-7]が提案されている。BISTは、他のテスト手法と比較して、実動作速度のテスト容易性、テスト生成ツールの必要性の排除など、いくつかの利点[1,8]がある。フィールドテストは電源オン/オフの短い時間でVLSIを網羅的にテストすることが理想である。しかしながら、スキャンベースBISTはシフト動作によってフリップフロップへの値の設定や観測を行うため、その短い時間でVLSIを網羅的にテストすることは困難である。そのため、データパスとコントローラから構成されるレジスタ転送レベル(Register Transfer Level: RTL)回路に対する非スキャン設計ベースのフィールドテストに焦点を当て、故障検出率の改善、小面積化、テスト実行時間の短縮を実現するアーキテクチャが提案されている[9,10]。文献[10]ではコントローラの k サイクル連続で実行される状態遷移をすべて列挙し、それらをすべて実行可能であり、かつできる限り短い状態信号系列を生成する n 回 k 連続状態遷移被覆の状態信号系列を用いたフィールドテストが提案された。文献[11]では、コントローラの各状態遷移における制御信号中に多数のドントケア(X)が存在することに着目し、Xに論理値を割当てたコントローラによって制御されるデータパスのテストビリティを推定するために、状態信号系列と構造的記号シミュレーション[11]を用いた推定フィールドランダムテストビリティ

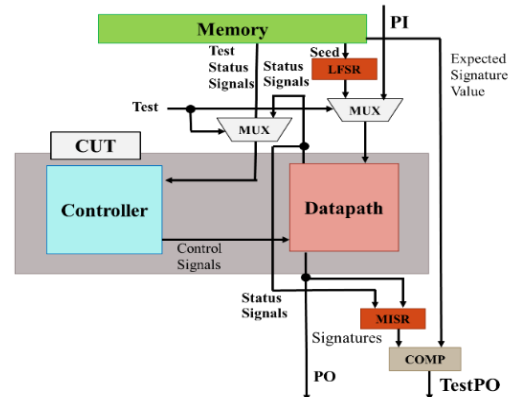


図1 フィールドテストアーキテクチャ

ティ[11]が提案され、ゲートレベルにおける故障検出率との相関が高いことが示された。文献[12]では、制御信号中のXを含んだままシミュレーションを実行する楽観構造的記号シミュレーション[13]と悲観構造的記号シミュレーションを用いてその推定フィールドランダムテストビリティを評価した。その結果、 n 回 k 連続状態遷移被覆の状態信号系列による楽観構造的記号シミュレーションの各ハードウェア要素の推定フィールドランダムテストビリティが十分でないことが報告されている。

本論文では、 n 回 k 連続状態遷移被覆信号系列では十分にテストされていないハードウェア要素に対して、テストに必要な状態遷移を網羅的に解析し、必要な状態信号系列を追加することで楽観な推定フィールドランダムテストビリティの向上を図る。

2. 非スキャンベースフィールドテストアーキテクチャ

2.1. フィールドテスト手法の概要

従来のスキャンBISTに基づくフィールドテスト手法で問題点として挙げられている面積、故障検出率、テスト実行時間に焦点を当て、これらを改善するために、文献[9]で提案された三つのアプローチを組合せたテスト手法を用いる。

まず、一つ目のアプローチとして非スキャンで回路設計を行う[9,10]。これにより、短時間でのテストを行うことができる。二つ目のアプローチとして、決定的パターンとランダムパターンを併用する。これにより、小面積で故障検出率の向上が期待できる[9,10]。三つ目のアプローチとしてコントローラの n 回 k 連続状態被覆の状態信号系列[10]をフィールドテストに用いる。この手法により、故障検出率の向上を図っている。

2.2. RTLフィールドテストアーキテクチャ

2.1節のフィールドテスト手法を実現するために、RTL回路にテスト容易化設計(Design for Testability: DFT)を行う。図1に本論文で用いるRTL回路のアーキテクチャを示す。図1におけるCUTは、コントローラとデータパスである。また、フェーズシフト付擬似乱数パターン発生器(Pseudo Random Pattern Generator: PRPG)として線形帰還型シフトレジスタ(Linear Feedback Shift Resister: LFSR)[12]、テスト応答圧縮回路(Test Response Compactor: TRC)として(Multiple Input Shift Resister: MISR)[12]を用いている。さらにLFSRの初期値となるシード値やシグネチャの期待値、 n 回 k 連続状態遷移被覆によって生成した状態信号系列をメモリから与える。コントローラの入力、データパスが出力する状態信号とメモリに格納されているテスト用の状態信号とマルチプレクサを用いて選択可能とする。またデータパスの状態信号線には故障の影響が伝搬する可能性があるため、MISRに分歧することで可観測性を向上させる。データパスの入力は、本来の外部入力とLFSRが出力するランダムテストパターンをマルチプレクサによって選択可能とする。データパスの出力は、外部出力とMISRへの入力に分歧する。MISRはデータパスの出力を圧縮し、シグネチャとしてその期待値の比較結果によって正常信号もしくは異常信号をテスト用の外部出力TestPOへ出力する。フィールドテスト用に挿入したマルチプレクサの制御信号線は新たに付加した外部入力Testと接続する。

3. 構造的記号シミュレーションを用いたハードウェア要素のテスト可能な状態遷移解析

3.1. 構造的記号シミュレーション

データパスの構造と制御信号系列に基づいて行われるシミュレーションを構造的記号シミュレーションと呼ぶ[10]。構造的記号シミュレーションとは、すべての時刻の外部入力、定数に可制御であることを示すCシンボル[10]を割当て、伝搬規則[10]に従って伝搬させる。その後、外部出力から入力方向に向けて可観測であることを示すOシンボル[10]を割当て、伝搬規則[10]に従って伝搬させる。構造的記号シミュレーションはテスト実行可能な信号線を判定するために実行される。

データパスはハードウェア要素とそれらを接続する信号線、及びコントローラに出力する状態信号線とコントローラから入力される制御信号線から構成される。ハードウェア要素は多入力出力の演算器、マルチプレクサ、レジスタ、外部入力、定数、外部出力信号線がある。

(定義1：テスト可能な信号線)

時刻 t で、ある信号線にCシンボルとOシンボルが割当てられているとき、その信号線を時刻 t でテスト可能な信号線という。

(定義2：テスト実行回数)

データパスのある信号線がテスト可能である時刻数をその信号線のテスト実行回数という。

(定義3：完全なテスト可能となるテスト実行回数)

完全なテスト可能となる実行回数とは、各ハードウェア要素を論理回路に変換し、擬似ランダムテストパ

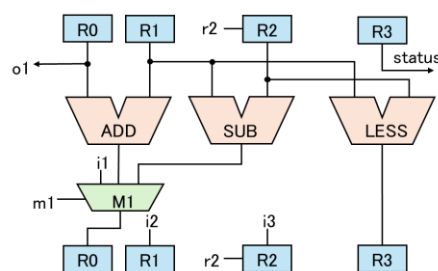


図2 データパスの例題回路

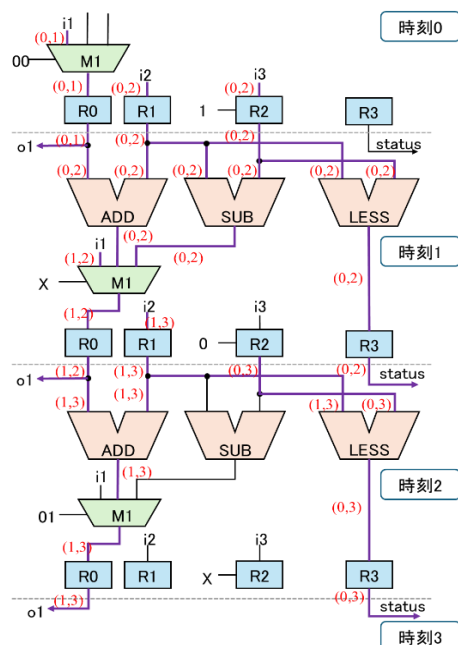


図3 ハードウェア要素のテスト可能な状態遷移解析

ターンを印加した時に故障検出率が99.995%以上となるために必要な擬似ランダムテストパターン数である。

3.2. ハードウェア要素のテスト可能な状態遷移解析

n 回 k 連続状態遷移被覆信号系列では十分にテストされていないハードウェア要素に対して、テストに必要な状態遷移を網羅的に解析することで、追加する必要のある状態遷移を求める。

ハードウェア要素のテスト可能な状態遷移解析は構造的記号シミュレーションを拡張した手法である。本手法は、すべての時刻の外部入力定数入力にCシンボルを割当てた時刻を各信号線に割当て伝搬させる。その後、外部出力から入力方向へ向けてOシンボルを割当てた時刻を各信号線に割当て伝搬させる。

データパスの例題回路を図2に示す。例題回路を用いたハードウェア要素のテスト可能な状態遷移解析例を図3に示す。CシンボルとOシンボルが割当てられているテスト可能な信号線に対して図3に示すように(Cシンボル割当て源時刻、Oシンボル割当て源時刻)が割当てられる。時刻1のADDの出力信号線には(0,2)が割当てられている。これは時刻1のADDの出力信号線を時刻0の外部入力または定数から可制御であることを示し、

時刻2の外部出力で可観測であることを示す。時刻2のADDの出力信号線に割当てられている(1,3)は時刻1の外部入力または定数から可制御であり、時刻3の外部出力で可観測であることを示す。つまり、ADDの出力信号線のテスト実行回数が十分でなかった場合、時刻0から時刻2の状態遷移または時刻1から時刻3の状態遷移を追加することで任意のハードウェア要素に対してテスト実行回数を増加させることが可能である。

4. 追加状態信号系列によるテスト実行回数の改善

文献[11]では、推定フィールドランダムテストバリティと論理回路の間に強い相関があることが報告されている。それゆえ、推定フィールドランダムテストバリティを用いてRTLの段階で非スキャンベースBISTに基づくフィールドテストバリティを算出することが可能となった。本論文では、フィールドテスト手法で問題点として挙げられている故障検出率に焦点を当て、改善するための手法を提案する。

本論文では、すべてのハードウェア要素が楽観的に十分なテスト実行回数を満たす状態信号系列の生成を目的とする。

4.1. 追加状態信号系列生成アルゴリズム

まず、対象となるRTL回路に1回1連続状態遷移被覆の状態信号系列を用いて、楽観構造的記号シミュレーションを実行し、各ハードウェア要素のテスト実行回数を算出する。次に、完全なテスト可能なテスト実行回数を満たさないハードウェア要素を特定する。次に、特定したハードウェア要素ごとに1回1連続状態遷移被覆信号系列でテスト可能な状態遷移を特定し、列挙する。これらの手順で抽出した状態遷移に必要な状態信号系列を1回1連続状態遷移被覆信号系列に追加することで推定フィールドランダムテストバリティを改善させる。

4.2. 追加する状態信号系列生成例

4.1節で説明した提案手法について図2のデータバス例題回路を用いて説明する。

まず、1回1連続状態遷移被覆の状態信号系列を用いて楽観構造的記号シミュレーションを実行し、各ハードウェア要素のテスト実行回数を算出する。それらをまとめたものを表1に示す。表1より、R0, R1, R2, R3の楽観構造的記号シミュレーションのテスト実行回数が完全なテストのためのテスト実行回数に達しているため、これらのハードウェア要素は追加状態信号系列

表1 各ハードウェア要素のテスト実行回数

	各ハードウェア要素						
	R0	R1	R2	R3	SUB	ADD	LESS
完全なテストのためのテスト実行回数	8	8	8	8	50	70	70
楽観構造的記号シミュレーション	33	33	33	8	30	45	45
追加で必要なテスト実行回数	0	0	0	0	20	25	25

でのテストの除外対象となる。一方、SUB, ADD, LESSはテスト実行回数が不足していることがわかる。使用した1回1連続状態遷移被覆の状態信号系列でテスト可能な状態遷移を特定する。それらの状態遷移に必要な状態信号系列を1回1連続状態遷移被覆信号系列に追加する。これにより推定フィールドランダムテストバリティを改善させる。

5. 実験結果

本実験では、RTLベンチマーク回路kimを対象回路とする。kimのコントローラに対して1回1連続状態遷移被覆の状態信号系列を用いた場合のテスト実行回数、1回1連続状態遷移被覆の状態信号系列に各ハードウェア要素のテスト実行回数が十分に満たされる状態信号系列を追加した提案手法のテスト実行回数及び推定フィールドランダムテストバリティを表2に示す。2行目に各ハードウェア要素名、3行目に各ハードウェア要素の完全なテストのためのテスト実行回数、4行目に楽観構造的記号シミュレーションによる各ハードウェア要素のテスト実行回数及び推定フィールドランダムテストバリティ、5行目に提案手法の状態信号系列を用いて楽観構造的記号シミュレーションによる各ハードウェア要素のテスト実行回数及び推定フィールドランダムテストバリティを示す。1回1連続状態遷移被覆の状態信号系列の系列長は34ビット、提案手法の状態信号系列の系列長は274ビットである。

13列目には回路全体の楽観推定フィールドランダムテストバリティを示している。1回1連続状態遷移被覆する状態信号系列では楽観構造的記号シミュレーションで90.81%、提案手法の状態信号系列では楽観構造的記号シミュレーションで94.68%であった。

表2の結果から、レジスタR1~R6では、楽観構造的記号シミュレーションにより、1回1連続状態遷移被覆す

表2. 各状態信号系列での kim の各ハードウェア要素のテスト実行回数と推定フィールドランダムテストバリティ

	各ハードウェア要素										回路全体の楽観推定フィールドランダムテストバリティ
	R1	R2	R3	R4	R5	R6	SUB0	SUB1	ADD0	ADD1	
完全なテストのためのテスト実行回数	8	8	8	8	8	8	44	-	106	106	
1回1連続状態遷移被覆信号系列(系列長:34)	31 (100%)	31 (100%)	24 (100%)	15 (100%)	16 (100%)	28 (100%)	18 (94.82%)	8 (70.70%)	17 (96.29%)	10 (90.93%)	90.81%
提案手法(系列長:274)	223 (100%)	223 (100%)	168 (100%)	158 (100%)	159 (100%)	172 (100%)	114 (100%)	103 (76.75%)	113 (100%)	106 (100%)	94.68%

る状態信号系列を用いた場合でも完全なテストが可能となることがわかった。

演算器SUB1は、定数入力が存在する減算器である。ゲートレベルへ論理合成を実行し、故障シミュレーションを実行した結果、ランダムパターン耐性故障が存在することが判明した。そのため、ランダムテストパターンを用いた場合に完全なテストが可能となるには、50000以上のテスト実行回数が必要であることがわかった。

一方、SUB0, ADD0, ADD1では提案手法の状態信号系列を用いることで完全なテストのためのテスト実行回数を満たすことがわかった。

提案手法を用いた結果、1回1連続状態遷移被覆する状態信号系列と比較して回路全体の推定フィールドランダムテストタビリティが3.87%改善した。しかしながら、回路全体の推定フィールドランダムテストタビリティが100%に到達していない。この原因として、SUB1の存在に加えて着目していないMUXのテスト実行回数が不足していると考えられる。

6. むすび

本論文では、1回1連続状態遷移被覆の状態信号系列を用いて楽観構造的記号シミュレーションを行い、各ハードウェア要素のテスト可能な状態遷移の解析をした。楽観構造的記号シミュレーションでテスト実行回数が完全なテストのためのテスト実行回数を満たしていないハードウェア要素に対してテスト可能な状態遷移系列を追加することで十分なテスト実行回数を満たした。

今後の課題として、MUXをテスト可能な状態遷移の解析及び、状態信号系列生成を行うことで回路全体の推定フィールドランダムテストタビリティを100%にすることが挙げられる。

参考文献

- 1) 藤原 秀雄, “ディジタルシステムの設計とテスト,” 工学図書株式会社, 2004.
- 2) W. Wang, et al., “Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology,” IEEE Trans. on Device and Material Reliability, Vol.7, No.4, pp.509-517, 2007.
- 3) [3] H. Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.
- 4) Edward J. McCluskey, “Built-In Self-Test Techniques,” IEEE Design & Test of Computers, vol.2, no.2, pp.21-28, April 1985.
- 5) J.A.Waicukauski, E.Lindbloom, B.L.Rosen, and V.S.Iyengar, “Transition fault simulation” IEEE Design and Test of Computers, Vol.4, pp.32-38, 1987.
- 6) S Grosh, S Bhunia, A Raychowdhury and K Roy ”Delay Faults Localization in Test-Per-ScanBIST” 12th IEEE IOLTS’06, July 2006.
- 7) S Grosh, S Bhunia, A Raychowdhury and K Roy ”Delay Faults Localization in Test-Per-ScanBIST” 12th IEEE IOLTS’06, July 2006.
- 8) M. Abadir and M. Breuer, “Constructing optimal test schedules for VLSI circuits having built-in test hardware,” in Proc. Int. Symp. Fault-Tolerant Comput., pp. 165–170, June 1985.
- 9) 池ヶ谷祐輝, 石山悠太, 細川利典, 吉村正義, “n 回状態遷移被覆に基づく非スキャンオンラインテスト法,” vol. 119, no. 247, DC2019, 2019 年 10 月.
- 10) 豊岡雄大, 渡辺悠樹, 細川利典, 吉村 正義 “フィールドテストのための k 連続状態遷移に基づく状態信号系列を用いたフィールドランダムテストタビリティの評価” 信学技報, vol.122, no.134, DC2022-4, pp.19-24, 2022 年 7 月.
- 11) Yudai Toyooka, Haruki Watanabe, Toshinori Hosokawa, Masayoshi Yoshimura “An Evaluation of Estimated Field Random Testability for Data Paths at Register Transfer Level Using Status Signal Sequences Based on k-Consecutive State Transitions for Field Testing”, 2023 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), pp.1-6, Oct 2023.
- 12) 豊岡雄大, 細川利典, 吉村正義”レジスタ転送レベルにおけるデータパスの推定フィールドランダムテストタビリティ改善のための追加状態信号系列生成について” 信学技報, vol.123, no.389, DC2023-102, pp.47-52, 2024 年 2 月
- 13) M. T. -C. Lee, “High-Level Test Synthesis of Digital VLSI Circuits,” Artech House Publishers, 1997.
- 14) Michael L. Bushnell and Vishwani D. Agrawal. “Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits,” Kluwer Academic Publisher, 2000.