

ランダムパターンキャプチャセーフ BIST アーキテクチャ

日本生産工 ○小泉優哉 日大生産工(院) 曾根隆暢 日大生産工 細川利典
京産大 吉村正義 日大 新井雅之

1. はじめに

近年の半導体集積技術の進歩に伴い、超大規模集積回路(Very Large Scale Integrated Circuits:VLSI)の大規模化、複雑化が急速に進展している。その影響により、多量化したテストパターンを外部テスト(Automatic Test Equipment: ATE)に保持することは非現実的であり、製造テストにおけるコスト増大につながる。製造テストコストを削減するための技術として、組込み自己テスト(Built-In Self-Test: BIST)[1]が広く用いられている。BISTは、被テスト回路(Circuit Under Test: CUT)内部にテストパターン発生器(Test Pattern Generator: TPG)や出力応答圧縮器(Multiple Input Signature Register: MISR)などのテスト用の回路を組込むことで、故障の検出を行う。一般的に、TPGとしてはフェーズシフト[2]付きの線形帰還シフトレジスタ(Linear Feedback Shift Register: LFSR)が用いられる。LFSRに初期値を与え、フェーズシフトに入力することで規則性がない擬似ランダムパターンを発生させることが可能となり、自己テストを行うことができる。

一方で、VLSIのテストでは、テスト容易性向上による効率化のためにスキャン設計が施される場合が多い。スキャン設計回路のテストでは、テストパターンの印加とテスト応答の観測の際に、通常動作では起こりえない多くの消費電力が発生する。

実速度スキャンテストにおけるテスト時消費電力は、シフト時消費電力とキャプチャ時消費電力に分類される。シフト時消費電力は、シフトインによるテストベクトルの印加とシフトアウトによるテスト応答の観測を行うシフト動作時に発生する。キャプチャ時消費電力は、組合せ回路部のテスト応答をフリップフロップ(Flip-Flop: FF)に格納するキャプチャ動作時に発生する[3]。過度なシフト時消費電力は、回路の発熱により、回路の熱破壊を引き起こす。過度なキャプチャ時消費電力は、過度な電圧降下(IR ドロップ)[4]を引き起こし、誤テストによる歩留まり損失を引き起こす[5]。したがって、歩留まり損失を抑制するため、テスト時のキャプチャ時消費電力を削減することが重要な課題である。

本論文では、キャプチャセーフテストが実行可能なBISTアーキテクチャを提案する。文献[8]では、スキャン設計された回路のテストにおいて、キャプチャスキャンイン後7サイクル経過すると、テストパターンの消費電力が機能動作と同程度まで低消費電力化されると報告されている。本論文では、スキャンイン後マルチサイクルキャプチャ

動作し、生成された低消費電力と判断されたキャプチャセーフテストベクトルを用いて遷移故障シミュレーションを行い、故障検出率を評価するとともに、それが低消費電力なアーキテクチャを提案する。

2. キャプチャセーフテストベクトル

2.1. WSA

回路の消費電力を正確に計算する場合、電源電圧やクロック周波数、ゲートの負荷容量など様々な要素が必要となる。本論文における実験ではそれらの要素を考慮せず、消費電力の計算式を簡略化したWSA[6]を用いる。

テストベクトル v_j のWSAは次の式で表される。

$$WSA(v_j) = \sum_{i=1}^G tran(g_i) \times (1 + fanout(g_i)) \quad (1)$$

(1)式において G は回路中のゲート数を表す。 $tran(g_i)$ はゲート g_i の遷移関数であり、 $tran(g_i) = 1$ は遷移が発生、 $tran(g_i) = 0$ は遷移なしを表す、 $fanout(g_i)$ はゲート g_i のファンアウト数を表す。

2.2. キャプチャセーフテストベクトル

テストベクトルは設定される消費電力閾値により、2種類のテストベクトルに分類が可能である。消費電力閾値を満たす低消費電力なテストベクトルのことをキャプチャセーフテストベクトルと呼び、消費電力閾値に違反する高消費電力なテストベクトルのことをキャプチャアンセーフテストベクトルと呼ぶ。キャプチャアンセーフテストベクトルはVLSIのテストに使用困難であるため、テスト集合のキャプチャアンセーフテストベクトル数の削減が課題である。

3. k サイクルキャプチャテストの消費電力

3.1. k サイクルキャプチャテストの消費電力評価

本論文の提案手法の予備実験である組込み自己テストにおけるkサイクルキャプチャテストについて説明する。

図1にキャプチャサイクル数7におけるキャプチャ動作例を示す。外部入力の値はキャプチャサ

表 1. 故障検出率

回路名	ブロードサイド		キャプチャサイクル数							
			3		4		5		6	
	故障検出率	セーフ割合	故障検出率	セーフ割合	故障検出率	セーフ割合	故障検出率	セーフ割合	故障検出率	セーフ割合
s208	4.91	0.37	30.35	0.92	26.59	0.90	26.01	0.91	27.46	0.91
s526	21.94	0.25	27.00	0.83	24.26	0.84	27.32	0.85	25.63	0.82
s820	9.97	0.27	15.44	0.83	11.69	0.95	14.23	0.94	13.79	0.94
s1423	33.76	0.29	48.09	0.91	51.63	0.98	54.10	0.98	49.68	0.99
s5378	0.00	0.00	36.80	0.99	35.85	1.00	37.10	1.00	35.87	1.00
s13207	41.19	0.02	41.30	0.89	42.66	0.99	41.46	1.00	41.96	1.00
s38584	42.65	0.50	41.68	0.50	40.21	0.50	43.34	0.52	46.06	0.86
AVE	22.06	0.24	34.38	0.84	33.27	0.88	34.79	0.89	34.35	0.93

7		8		9		10	
故障検出率	セーフ割合	故障検出率	セーフ割合	故障検出率	セーフ割合	故障検出率	セーフ割合
19.08	0.90	30.06	0.91	20.23	0.91	28.03	0.92
27.53	0.84	28.80	0.85	24.37	0.86	29.43	0.82
18.81	0.95	15.50	0.95	12.45	0.94	12.39	0.95
50.44	1.00	52.63	0.99	53.66	0.99	50.64	0.99
36.79	1.00	35.09	1.00	36.62	1.00	35.41	1.00
42.64	1.00	42.91	1.00	43.74	1.00	42.10	1.00
46.27	1.00	47.87	1.00	46.97	1.00	47.84	1.00
34.51	0.95	36.12	0.96	34.01	0.96	35.12	0.95

表 2. WSA 計算結果

回路名	ブロードサイド			キャプチャサイクル数											
				3			4			5			6		
	アンセーフ	セーフ	セーフ割合	アンセーフ	セーフ	セーフ割合	アンセーフ	セーフ	セーフ割合	アンセーフ	セーフ	セーフ割合	アンセーフ	セーフ	セーフ割合
s208	635	365	0.37	79	921	0.92	100	900	0.90	86	914	0.91	89	911	0.91
s526	747	253	0.25	172	828	0.83	158	842	0.84	155	845	0.85	178	822	0.82
s820	732	268	0.27	69	831	0.83	55	945	0.95	56	944	0.94	61	939	0.94
s1423	709	291	0.29	89	911	0.91	17	983	0.98	16	984	0.98	8	992	0.99
s5378	1000	0	0.00	7	993	0.99	0	1000	1.00	0	1000	1.00	0	1000	1.00
s13207	982	18	0.02	109	891	0.89	6	994	0.99	4	996	1.00	1	999	1.00
s38584	503	497	0.50	503	497	0.50	503	497	0.50	480	520	0.52	140	860	0.86

7			8			9			10		
アンセーフ	セーフ	セーフ割合	アンセーフ	セーフ	セーフ割合	アンセーフ	セーフ	セーフ割合	アンセーフ	セーフ	セーフ割合
105	895	0.90	89	911	0.91	94	906	0.91	84	916	0.92
163	837	0.84	53	847	0.85	44	856	0.86	185	815	0.82
46	954	0.95	47	953	0.95	60	940	0.94	46	954	0.95
4	996	1.00	10	990	0.99	6	994	0.99	6	994	0.99
0	1000	1.00	0	1000	1.00	0	1000	1.00	0	1000	1.00
1	999	1.00	1	999	1.00	1	999	1.00	0	1000	1.00
1	999	1.00	0	1000	1.00	0	1000	1.00	0	1000	1.00

イクル全体で初期値を保持する。擬似外部入力の値は初期キャプチャサイクルでは、フェーズシフト付き LFSR から生成される擬似ランダムパターンを印加し、以降のキャプチャサイクルでは、直前のキャプチャサイクルの回路応答を使用する。スキャンイン後、 k サイクルキャプチャ動作した後、ブロードサイドテストを行う。文献[8]では、外部入力の値は、キャプチャサイクル全体で初期値を保持する場合、数回のキャプチャサイクルの後に信号線の遷移が一定の値に抑制されると述べられている。また、キャプチャサイクル数 7 以降においてキャプチャサイクルをこれ以上増加させても大きな改善が見込めないことが示されており、キャプチャサイクル数は 7 が最適であると述べられている。

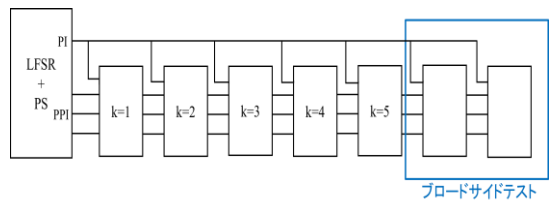


図 1. キャプチャサイクル数 7 動作例

3.2. 予備実験結果

提案手法の予備実験結果を示す。ISCAS'89 ベンチマーク回路を用いて、フェーズシフト付き LFSR で生成した擬似ランダムパターンを k サイクルキャプチャ動作後の消費電力と故障検出率を評価する実験を行った。消費電力見積もり手法として、WSA を用いる。キャプチャセーフテストベクトルとキャプチャアンセーフテストベクトルに分類す

る WSA 閾値は遷移する可能性がある信号線の 20% と設定した。WSA 計算はブロードサイドテストで用いる、印加キャプチャサイクル終了後の回路のキャプチャサイクルにおける信号線の遷移数の割合によって求められる。

表 1 にキャプチャサイクル数 k における、各回路の WSA 計算結果を示す。各回路に与えられる総テストベクトル数は 1000 パターンである。「セーフ」はセーフテストベクトル数を示し、[アンセーフ]はアンセーフテストベクトル数を示す。[セーフ割合]は総テストパターン数に対するセーフテストベクトルの割合を示す。

マルチサイクルキャプチャ動作を行うことにより、ブロードサイドテスト時の実験結果と k キャプチャサイクル印加した実験結果と比較して、すべての回路においてテストベクトルの大幅な低消費電力化を行えた。特にキャプチャサイクル数 7 の場合に各回路において、セーフテストベクトル数が 1 に近づいて安定していることが実験から示された。文献[8]においてもキャプチャサイクル数 7 以降において、各回路のセーフ割合に顕著な改善が見られず、無駄なサイクル数の増加を避けるため、キャプチャサイクル数 7 が推奨されることが実験結果から示された。予備実験結果と文献[18]を比較して、同様の結果が得られたと考えられる。

4. キャプチャセーフ BIST アーキテクチャ

BIST においても設定された閾値未満のキャプチャ消費電力で実動作速度を行うことが重要な課題である。つまり、BIST における実動作速度テストはキャプチャセーフテストベクトルを用いて実行しなければならない。近年、低消費電力 BIST アーキテクチャが数多く提案されている。しかしながら、それらのアーキテクチャでは、比較的キャプチャ消費電力は小さくなることが示されているが、キャプチャアンセーフテストベクトルが常に生成されているかは明らかにされていない。

カウンタの動作について説明する。スキャンイネーブルが 1 の時(シフト動作)、カウンタの内部の値を 0 にする。0 を出力するスキャンイネーブルが 0 の時(キャプチャ動作)、カウンタ内部の値が 7 未満であれば、クロックの立ち上がり同期してカウンタ内部の値をカウントアップしてクロック信号(実動作速度)を出力する。カウンタ内部

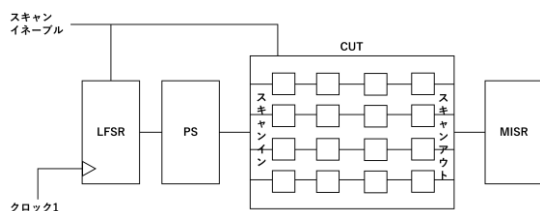


図 2. BIST アーキテクチャ

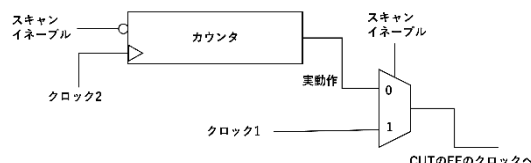


図 3. カウンターアーキテクチャ

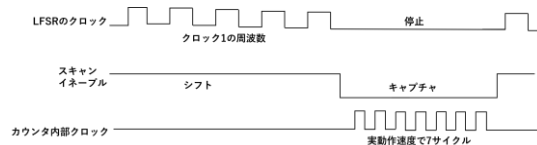


図 4. タイミングチャート

の値が 7 であれば、カウンタ内部の値を保持して、0 を出力する。

LFSR の動作についても説明する。スキャンイネーブルが 1 の時(シフト動作)、クロックの立ち上がり同期して、LFSR の動作を行う。スキャンイネーブルが 0 の時(キャプチャ動作)の時、LFSR の内部の状態を保持する。このアーキテクチャはキャプチャサイクル数において 7 サイクル実動作で CUT の FF が動作する

5. おわりに

本論文では、提案手法に向けての予備実験を行った。回路を複数時刻に時間展開し、 k サイクルキャプチャテストを行うことで、テストベクトルの大幅な低消費電力化を行った。今後の課題として故障検出率の改善が挙げられる。

参考文献

- [1] 藤原秀雄：ディジタルシステムの設計とテスト，工学図書株式会社，2004.
- [2] P. H. Bardell, "Design considerations for parallel pseudorandom pattern generators," *J. Electron. Testing: Theory Applicat.*, vol. 1, no. 1, pp.73–87, 1990.
- [3] M. Abramovici, M. A. Breuer, and A. D. Friedman, *Digital Systems Testing and Testable Design*. IEEE Press, 1990.
- [4] Takaki Yoshida, Masahmi Watati, "A New Approach for Low Power Scan Testing", *International, Test Conference*, pp480-487, 2003
- [5] J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreeprakash and M. Hachinger, "A case study of IR-drop in structured at-speed testing," *Proc. ITC*, pp.1098-1104, 2003.
- [6] E.K.Moghaddam, J.Rajski, S.M.Reddy, and M.Kassab, "At-Speed Scan Test with Low Switching Activity," *VLSI Test Symposium*, pp.177-182, 2010.
- [7] Sying-Jyan Wang, Kuo-Lin Fu, Katherine Shu-

Min Li, “Low Peak Power ATPG for n-Detection Test”, ppl, 1996

- [8] Kun-Han Tsai, Yu Huang, Wu-Tung Cheng, Ting-Pu Tai, Augusli Kifli, “Test Cycle Power Optimization for Scan-based Designs”, Mentor Graphics Corp. Wilsonville, OR 97070, USA.