

状態遷移の識別不能ハードウェア要素ペアにおける 識別可能故障ペア数の解析

日大生産工(院) ○大塚 裕衣 日大生産工 細川 利典
明治大 山崎 浩二 京都産業大 吉村 正義

1. はじめに

半導体微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) において、異常動作の物理的な原因を特定する故障解析は、歩留まりの向上のために重要である。故障解析では、電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため、多大なコストを要する。そのため、故障 VLSI に存在する可能性のある故障 (被疑故障) の数を事前にできる限り絞り込んでおく故障診断[1]が、故障解析コストの低減のために重要となる。故障診断では、故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。

これまでに、縮退故障やブリッジ故障などの特定の故障モデルに対応した故障診断手法が数多く提案されている[2-6]。また、ゲートレベルやレイアウトレベルにおける観測ポイント挿入 (Observation Point Insertion : OPI) などの診断分解能を考慮した診断容易化設計手法が提案されており、被疑故障数の削減が報告されている[7-9]。しかしながら、ゲートレベルやレイアウトレベルの回路は回路を構成する部品数が非常に多く、高速で効果的な個所に観測ポイントを挿入することが困難である。また、挿入された観測ポイントによる面積オーバーヘッドの増大や論理合成で行ったタイミングの最適性を損失するなどの課題が挙げられる。

それゆえ、ゲートレベルやレイアウトレベルと比較して抽象度の高いレジスタ転送レベル

(Register Transfer Level : RTL) に着目した診断容易化設計手法[10-12]が提案されている。対象とする RTL 回路はデータバスとコントローラで構成され、データバスからコントローラへの状態信号とコントローラからデータバスへの制御信号によって接続されている。また、コントローラは有限状態機械で設計されていると仮定し、状態遷移時に制御信号値がデータバスに供給される。それらの制御信号値にはドントケア (X) が含まれる場合があり、論理合成時に面積の最小化を指向して、X に論理値が割当てられる。

文献[10]では、各状態遷移における識別可能なハードウェア要素ペア数の最大化を指向したコントローラの X 割当て手法が提案されている。しかしながら、各ハードウェア要素の面積を考慮していないため、ゲートレベルにおいて RTL で面積の大きいハードウェア要素に対応する故障が分解されず、被疑故障数が増大する可能性がある。それゆえ、文献[11]では構造的記号シミュレーションの結果に基づいて全ハードウェア要素に面積を重みとして付与し、各状態遷移における識別可能重み付きハードウェア要素ペア数が最大化されるようにコントローラの X に論理値を割当てるという手法を提案している。しかしながら、ある状態遷移において文献[11]より文献[10]の割当ての方が分解能が高くなり、期待通りの結果ではない場合が存在する。その原因について、RTL で識別不能と判定されたハードウェア要素ペアに対応するゲートレベルの信号線の故障の多くが識別可能となってい

An Analysis of Distinguishable Fault Pair Counts for Undistinguishable Hardware Element Pairs on State Transitions

Yui OTSUKA, Toshinori HOSOKAWA, Kouji YAMAZAKI, Masayoshi YOSHIMURA

ることが考えられる。したがって、本論文ではRTLにおける状態遷移の識別不能ハードウェア要素ペアに対応する故障ペアに対して識別可能故障ペア数を算出して解析を行う。

本論文で使用する回路は、フルスキャン設計を前提とし、フリップフロップ(FF)のD端子である疑似外部出力を外部出力として扱う。また、論理故障を診断対象故障モデルとした。

2. 諸定義

本章では、本論文で用いる用語や前提知識について述べる。また、本論文ではデータパスの信号線や制御信号線の故障をハードウェア要素と呼ぶ。RTL回路における状態遷移 st でテスト可能なハードウェア要素について以下に定義する。

●定義 1：構造的記号シミュレーション[12]

以下に述べる手続き 1 から 4 までの処理を構造的記号シミュレーションという。

(手続き 1) レジスタの出力信号線、定数の出力信号線、外部出力に接続している信号線に制御可能なシンボル (C シンボル) を割当てて。また、状態遷移 st の制御信号値を割当てて。

(手続き 2) 下記の伝搬規則 1~3 に従って、C シンボルを出力方向へ伝搬する。

伝搬規則 1：マルチプレクサの制御信号値に対応する入力信号線にCシンボルが割当てられているとき、その出力信号線にCシンボルを割当てて。

伝搬規則 2：演算器の全ての入力信号線にCシンボルが割当てられているとき、その出力信号線にCシンボルを割当てて。

伝搬規則 3：分岐点において、分岐元信号線にCシンボルが割当てられているとき、その分岐先信号線にCシンボルを割当てて。

(手続き 3) ホールド機能のないレジスタの入力信号線、ホールドレジスタのうち制御信号値がロー

ドモードであるホールドレジスタの入力信号線、外部出力に接続している信号線に観測可能なシンボル (0 シンボル) を割当てて。

(手続き 4) 下記の伝搬規則 4~6 に従って、0 シンボルを入力方向へ伝搬する。

伝搬規則 4：出力信号線に0シンボルが割当てられているマルチプレクサにおいて、制御信号値に対応する入力信号線に0シンボルを割当てて。

伝搬規則 5：出力信号線に0シンボルが割当てられている演算器において、ある入力信号線以外の全ての入力信号線にCシンボルが割当てられているとき、その入力信号線に0シンボルを割当てて。

伝搬規則 6：分岐信号線に0シンボルが割当てられているとき、その分岐元信号線に0シンボルを割当てて。

●定義 2：状態遷移 st でテスト可能な信号線

状態遷移 st で構造的記号シミュレーションを実行した後、C シンボルと 0 シンボルの両方が割当てられている信号線を st でテスト可能な信号線という。

●定義 3：状態遷移 st でテスト可能なマルチプレクサの制御信号

状態遷移 st で構造的記号シミュレーションを実行した後、マルチプレクサの制御信号値に対応する入力信号線にCシンボルと0シンボルの両方が割当てられ、かつマルチプレクサの故障時の制御信号値に対応する入力信号線にCシンボルが割当てられているとき、 st でテスト可能なマルチプレクサの制御信号の故障という。

●定義 4：状態遷移 st でテスト可能なレジスタの制御信号のロードモード故障

状態遷移 st で構造的記号シミュレーションを実行した後、レジスタの制御信号がホールドモードで、そのレジスタの入力信号線に C シンボルが割当てられているとき、 st でテスト可能な制御信号のロードモード故障という。

●定義 5 : 状態遷移 st でテスト可能なレジスタの制御信号のホールドモード故障

状態遷移 st で構造的記号シミュレーションを実行した後、レジスタの制御信号がロードモードで、そのレジスタの入力信号線に C シンボルが割当てられているとき、 st でテスト可能なレジスタの制御信号のホールドモード故障という。

3. 状態遷移の識別不能ハードウェア要素ペア

本章では、状態遷移の識別不能ハードウェア要素ペアについて説明する。

状態遷移の識別不能ハードウェア要素ペアとは、ある 1 つの状態遷移で構造的記号シミュレーション[12]を実行した結果、テスト不能なハードウェア要素ペア、またはテスト可能であるが観測点集合が一致するハードウェア要素ペアのことを指す。また、識別不能ハードウェア要素ペア以外のペアを識別可能ハードウェア要素ペアという。

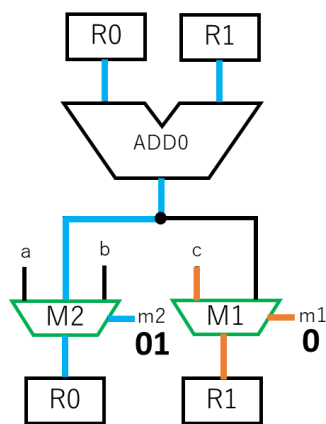


図 1. 状態遷移 ST1 におけるテスト可能なハードウェア要素

図 1 に状態遷移 ST1 におけるテスト可能なハードウェア要素を示す。この図は、状態遷移 ST1 の制御信号値が $m1=0, m2=01$ だった場合のテスト可能な信号線を表している。図 1 において、R0 と R1 はレジスタであり、テスト可能なハードウェア要素の観測点である。また、水色の信号線は R0 のみでテスト可能、橙色の信号線は R1 のみでテスト可能、黒色の信号線はテスト不能であることを表している。このとき、ADD0 の出力信号線と R0 の入力信号線のように、テスト可能な観測点一致するハードウェア要素のペアは識別不能であり、この状態遷移での識別不能ハードウェア要素ペアである。一方で、R0 の出力信号線と R1 の入力信号線のように観測点一致しないハードウェア要素ペアは識別可能である。このようなペアがこの状態遷移での識別可能ハードウェア要素ペアである。

RTL における識別可能ハードウェア要素ペアは、ゲートレベルにおいても各ハードウェア要素に対応する信号線は識別可能となる。しかしながら、RTL における識別不能ハードウェア要素ペアについては、ゲートレベルにおける各ハードウェア要素に対応する故障ペアが全て識別不能となるとは限らない。したがって、本論文では RTL において識別不能となったハードウェア要素ペアが、ゲートレベルにおいてどの程度識別可能であるかを解析する。

4. 実験結果

本実験では、32 ビット幅のデータバスとコントローラで構成された RTL ベンチマーク回路[13]のうち、ex1, ex2, ex4 の 3 つの回路に対して、文献[10-11]を適用し、状態遷移時の制御信号値の X に論理値を割当てた。さらに、文献[10-11]を施した回路に対して、論理合成、スキャン設計を行い、各状態遷移に対して診断容易化設計を考慮したテスト生成[14]を実行した。その後、文献[10-11]を施

した回路と生成したテスト集合を用いて全信号線の縮退故障に対して故障シミュレーションを実行し、その結果から識別可能故障ペア数を算出した。現在実験中であるため、実験結果は省略する。

5. まとめ

本論文では、状態遷移の識別不能ハードウェア要素ペアにおける識別可能故障ペア数の解析を行った。今後の課題としては、本研究の結果を用いたコントローラのX割当てが挙げられる。

参考文献

- [1] H. Y. Chang, E. Manning and G. Metzger: "Fault Diagnosis of Digital Systems", John Wiley & Sons, Inc. 1970.
- [2] V. Boppana and W. K. Fuchs, "Fault dictionary compaction by output sequence removal," Proc. ICCAD, pp. 287-296, 2001.
- [3] S. D. Millman, E. J. McCluskey and J. M. Acken, "Diagnosing CMOS Bridging Faults with Stuck-at Fault Dictionaries," Proc. ITC, pp. 860-870, 1990.
- [4] S. Venkataraman and S. B. Drummonds, "A technique for logic fault diagnosis of interconnected open defects," Proc. VTS, pp. 313-318, 2000.
- [5] I. Hartanto, S. Venkataraman, W. K. Fuchs, E. M. Rudnick, J. H. Patel, S. Chakravarty, "Diagnostic simulation of stuck-at faults in sequential circuits using compact lists," ACM Transactions on Design Automation of Electronic Systems (TODAES), pp. 471-489, Volume 6, Issue 4, October 2001.
- [6] Y. Benabboud, A. Bosio, L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel, and O. Riewer, "Delay Fault Diagnosis in Sequential Circuits," Proc. ATS, pp. 355-360, 2009.
- [7] T. Yamada, K. Yamazaki, and E. J. McCluskey, "A Simple Technique for Locating Gate-Level Faults in Combinational Circuits," Proc. ATS, pp. 65-70, 1995.
- [8] I. Pomeranz, S. Venkataraman, and S. M. Reddy: "Z-DFD: Design-for-Diagnosability Based on the Concept of Z-detection," Proc. ITC, pp. 489-497, October 2004.
- [9] N. Kuji, T. Ishihara, and S. Nakajima, "EB-Testing-PAD Method and Its Evaluation by Actual Devices," IEICE Trans. Inf. & Syst., Vol. E85-D, No. 10, pp. 1558-1563, October 2002.
- [10] 大塚裕衣, 千田祐弥, 徐浩豊, 細川利典, 山崎浩二, "識別可能ハードウェア要素ペア数最大化のためのコントローラの制御信号のドントケア割当て法" 信学技報, vol. 122, no. 285, DC2022-41, pp. 37-42, November 2022.
- [11] 大塚裕衣, 細川利典, 吉村正義, 山崎浩二, "識別可能重み付きハードウェア要素ペア数最大化のためのコントローラの制御信号のドントケア割当て法" 信学技報, vol. 123, no. 146, DC2023-12, pp. 25-30, August 2023.
- [12] K. Tsuchibuchi, T. Hosokawa and K. Yamazaki, "A Don't Care Filling Method for Control Signal Values of Controllers to Enhance Fault Diagnosability at Register Transfer Level," The 22nd IEEE Workshop on RTL and High Level Testing, November 25-26, 2021.
- [13] N. Toyota, X. Wen, S. Kajihara, and M. Sanada: "Quantifying Observability for Fault Diagnosis of VLSI Circuits," IEE 6th Workshop on RTL and High-Level Testing, Harbin, China, July 20-21, 2005.
- [14] 千田祐弥, 細川利典, 山崎浩二, "RTL故障診断容易化設計に基づくテスト生成法" 信学技報, vol. 122, no. 285, DC2022-42, pp. 43-48, November 2022.