

極大ファンアウトフリーコーンに基づく領域網羅故障数の評価

日大生産工 (学部) ○日向野隼多 日大生産工 細川利典
京産大 吉村正義

1. まえがき

近年, 超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) の大規模化・複雑化に伴い, VLSI のテストを行う際に縮退故障や遷移故障などの基本的な故障モデルに対するテスト集合では欠陥を検出できず, 不良 VLSI を良品 VLSI と判断するテストエスケープが発生する可能性がある[1]. その原因の1つとして, セル内部の欠陥の存在が考えられる. セル内部の欠陥はセルの入力に特定の値が印加された時のみ検出可能な場合がある. この問題を解決するためにゲート網羅故障のテスト生成が提案されている[1].

ゲート網羅故障とは, セル内部の欠陥を考慮している故障モデルであり, セルの入力値に対して出力値が誤るものである. 回路の各ゲートに割当て可能な全ての入力パターンを印加することを考慮しており, 各入力パターンにおいてゲートの出力値が誤る故障を仮定することで, セル内部の欠陥検出を網羅する. ゲートの各入力パターンについて考慮するため, あるゲートにおけるゲート網羅故障数は 2^n となる. ここで, n はゲートの入力数である.

また, 回路をセルの集合であるブロックに分割する手法として, ファンアウトフリー領域 (Fanout Free Region: FFR) [2]や極大ファンアウトフリーコーン (Maximal Fanout Free Cone: MFFC) [3]ごとに分割する手法が挙げられる. 単一出力の領域毎にゲート網羅故障[1]を定義することにより, セル単位でのゲート網羅故障と比較して, 故障数やテストパターン数が削減できることが報告されている[2,5]. 領域ごとに定義された故障を領域網羅故障と呼ぶ. さらに, 領域網羅故障数が最小となるように各 MFFC をブロック分割する手法も提案されている[6]. しかしながら, この手法を用いた実験では MFFC のゲート数が 14 以上になるとメモリ不足となることが報告されている.

本論文では, 回路を FFR 単位と MFFC 単位に分割したときの故障数を評価する.

本論文は以下のように構成されている. 第2章ではゲート網羅故障モデルについて説明する. 第3章では FFR・MFFC について, 第4章では集合分割問題について説明する. 第5章では実験結果を示し, 第6章で結論と今後の課題を述べる.

2. ゲート網羅故障モデル

本章では, ゲート網羅故障モデルと独立故障集合[4]について説明する. ゲート網羅故障のテストでは, 回路の各ゲートの入力に各入力パターンを設定できるようなテストパターンを印加し, ゲートの出力信号線に仮定した故障を外部出力もしくは疑似外部出力で観測する. ゲート g のゲート網羅故障 f に対応する, g の入力パターンを正当化できるテストパターン t を外部入力に印加し, g の出力信号線に励起された故障の影響を外部出力もしくは疑似外部出力で観察できる場合のみ f は検出可能である. 回路のゲート網羅故障の総数 NF を式(1)に示す.

$$NF = \sum_{i=1}^N 2^{NI(g_i)} \quad (1)$$

$NI(g_i)$ はゲート g_i の入力数であり, N はゲート数である. 図1に組合せ回路例を示す. 図1において, ゲート網羅故障の総数は2入力のゲートが6個, 1入力のゲートが1個なので, $NF = 2^2 \times 6 + 2^1 \times 1 = 26$ となる.

故障集合内の任意の2つの故障が同一のテストパターンで検出できない場合, その集合は独立故障集合[4]である. 回路中の全ての故障を検出する際には少なく

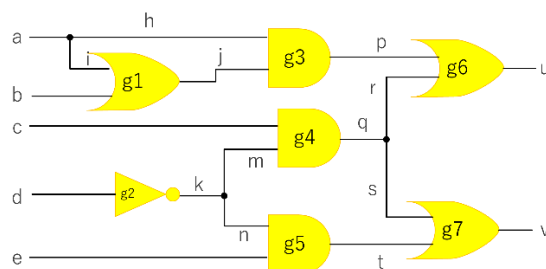


図1. 回路例

表1. g_1 のゲート網羅故障集合
 GF_1

ID	i	b	j
f3	0	0	0/1
f4	0	1	1/0
f5	1	0	1/0
f6	1	1	1/0

An Evaluation of Region Exhaustive Fault Count
Based on Maximal Fanout-Free Cones

Hayata HIGANO, Toshinori HOSOKAWA and Masayoshi YOSHIMURA

とも最大独立故障集合[4]内の故障数分のテストパターン数が必要である. 図1の g_1 から g_7 のゲート網羅故障集合をそれぞれ GF_1 から GF_7 とし, 表1に g_1 のゲート網羅故障集合 GF_1 を示す. 表1では各故障の入力信号線 $\{i, b\}$ の値と出力信号線 j の値 (正常値/故障値)を表している. また GF_1 から GF_7 の各集合は独立故障集合である.

3. FFRとMFFC

本章では, 複数のセルで構成された領域毎に故障を定義する領域網羅故障モデルについて説明する.

本論文では, 回路分割法としてFFR分割とMFFC分割を使用した場合の領域網羅故障モデルを説明する. 3-1でFFR分割について説明し, 3-2でMFFC分割について説明する.

3-1. FFR 分割

FFR 分割とは回路を FFR 単位にブロック分割することである. FFR[2]とはファンアウトフリー領域のことであり, 3つの特徴がある. 1つ目は各 FFR 内には分岐が存在しないこと, 2つ目は単一出力であること, 3つ目は FFR 内に分岐が存在しないため任意の入力から出力までの経路が1つのみになることである. 図2に図1の回路の FFR 分割結果を示す. 図2において, 各信号線付近の四角の中の数字が, 各信号線の FFR のグループ番号である. 図2は5つの FFR に分割することができる. 各 FFR を $FFR_i (1 \leq i \leq 5)$ とする. FFR_2 を例に説明する. FFR_2 に含まれる信号線を列挙すると $FFR_2 = \{e, n, s, t, v\}$ となり, FFR_2 の入力は e, n, s , 出力は v となる. よって FFR_2 は3入力1出力のゲートと考えることができる. 同様に FFR_1 は4入力1出力のゲート, FFR_3 は2入力1出力のゲート, FFR_4 は1入力1出力のゲートと考えることができる.

このように回路を分割することで複数のセルを1つのゲートとして考えられる. 表2は FFR_2 の領域網羅故障集合である. FFR_2 は3入力1出力のため領域網羅故障数は 2^3 個となる. また, 各 FFR の領域網羅故障集合は独立故障集合である.

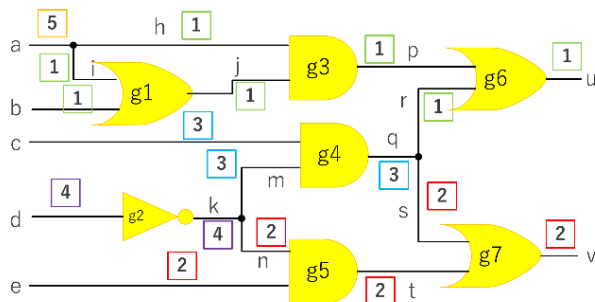


図2. FFR 分割例

表2. FFR_2 の領域網羅故障集合

ID	e	n	s	v
f1	0	0	0	0/1
f2	0	0	1	1/0
f3	0	1	0	0/1
f4	0	1	1	1/0
f5	1	0	0	0/1
f6	1	0	1	1/0
f7	1	1	0	1/0
f8	1	1	1	1/0

3-2. MFFC 分割

MFFC 分割とは回路を MFFC 単位にブロック分割することである. MFFC[3]とは極大ファンアウトフリーコーンのことであり, FFR 分割後の各 FFR を併合することで生成できる. FFR 内には分岐が存在しないため, 回路内のファンアウト数が大きいほど FFR 分割で統合可能なセルが少なくなる. そのため, FFR 数とセル数の差が小さくなり, 故障数やテストパターン数を大きく削減することが期待できない. その解決策として, 併合可能な FFR 同士を併合して MFFC にすることが考えられる. ある FFR の出力信号線から疑似外部出力までの経路で必ず通過する FFR が存在する場合, その FFR の出力信号線に再収斂していることが保証される. よって, その分岐は1つの領域(MFFC)に併合することが可能である.

図1を FFR 分割した図2の回路をさらに FFR 同士を併合し MFFC 分割を行った結果を図3に示す. 図3において, 各信号線付近の四角の中の数字が, 各信号線の MFFC のグループ番号である. 図3より図2の回路は4つの MFFC に分割可能である. ここで, 図2において, FFR_5 の出力信号線かつ分岐元信号線である a に着目すると, 分岐先信号線 h, i は共に FFR_1 の入力であり, p に再収斂しているため FFR_1 と FFR_5 は統合可能であることがわかる. よって, 各 MFFC を $MFFC_i (1 \leq$

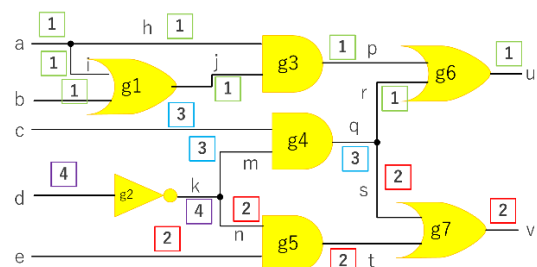


図3. MFFC 分割例

$i \leq 4$)とすると $MFFC_1$ は FFR_1 と FFR_5 を併合した部分回路となる。

$MFFC_1$ を例に説明する。 $MFFC_1$ に含まれる信号線を列挙すると $MFFC_1 = \{a, b, h, i, j, p, r, u\}$ となり、 $MFFC_1$ の入力は a, b, r 、出力は u となる。よって $MFFC_1$ は3入力1出力のゲートと考えることができる。同様に $MFFC_2$ は3入力1出力のゲート、 $MFFC_3$ は2入力1出力のゲート、 $MFFC_4$ は1入力1出力のゲートと考えることができる。

$MFFC_1$ の場合は3入力1出力のため領域網羅故障数は 2^3 個となる。図2, 3の組合せ回路例における領域網羅故障数の総数は FFR では32個、 $MFFC$ では22個となる。この結果から $MFFC$ 分割によって領域網羅故障数を削減できたことがわかる。

4. 集合分割問題

本章では、集合分割問題について説明し、分割パターンを列挙する。集合の分割は、集合をブロックという空でない相違なる和集合の集まりと捉えるものである。例えば、集合 $\{1, 2, 3\}$ に対する5通りの相違なる分割を(2)に列挙する。

$$123, 12|3, 13|2, 1|23, 1|2|3 \quad (2)$$

ここで、集合の分割を縦線でブロックを区切ることで表現する。また、集合分割の総数はPeirceの三角形の性質により漸化式より計算することができる[7]。この総数のことを一般にBell数と呼ばれている。

この集合分割問題を活用し、図2の FFR_1 を例に集合の分割を行う。集合は $\{g_1, g_3, g_6\}$ となり、集合の分割を(3)に列挙する。以下、分割パターンを列挙する際の集合内の g を省略する。

$$136, 13|6, 16|3, 1|36, 1|3|6 \quad (3)$$

しかしながら、集合分割後のブロックの出力信号線が2つ以上ある場合、実行不可能解となる。例えば、ブロック $\{g_1, g_6\}$ は出力信号線が2つ存在するため実行不可能解となる。よって、実行可能解を(4)に列挙する。

$$136, 13|6, 1|36, 1|3|6 \quad (4)$$

このように FFR_1 の分割パターンは4種類あり、それぞれの故障数やテストパターン数を比較する。図2の FFR_1 の最小領域網羅故障数は12個となる。従って、集合分割問題を解くことにより、 FFR_1 の元の領域網羅故障数16個より

故障数を削減することができる。

しかしながら、集合分割問題を解く上で、Bell数によるメモリの限界が問題点として発生する。表3は $1 \leq x \leq 15$ についてBell数を示したものである。このように、対象となる FFR ($MFFC$)のゲート数が大きい場合、Bell数が膨大になるため、扱うことが可能な回路に限界がある。

5. 実験結果

本章では実験結果として回路の FFR 分割結果と $MFFC$ 分割結果を示す。本論文で説明したブロック分割は、C言語で実装し、Core i5-10210Uおよび8GBメモリを搭載したコンピュータを用いて実験を行った。以下に実験結果を示す。

表4は各回路におけるセル単位のゲート網羅故障数、 FFR 分割を用いた領域網羅故障数、 $MFFC$ 分割を用いた領域網羅故障数を示す。表4よりほぼ全ての回路において、 FFR 分割および $MFFC$ 分割を用いた領域網羅故障数がセル単位のゲート網羅故障数を削減できていないことがわかる。また、 FFR 分割を用いた領域網羅故障数と $MFFC$ 分割を用いた領域網羅故障数を比較すると、 $MFFC$ 分割を用いた場合の方が少ない場合もあれば多い場合や同じ場合もあるため、どちらの方が領域網羅故障数を削減できているか一概に言うことができない。

表5は各回路における FFR 分割や $MFFC$ 分割を行った際の入力信号線数をまとめたものである。左から順に、回路名、 FFR ($MFFC$)の入力信号線数の総和、 FFR の入力信号線数の最大値、最小値、平均値、最頻

表4. 回路のゲート(領域)網羅故障数

回路名	セル単位	FFR単位	MFFC単位
c17a	26	24	24
s27	36	52	48
cs208	350	134218044	134218020
cs298	652	93640	64928
c2670	4450	4722366500461831258 112	36050787255795760
c5315	11102	1306636	6189709641231924707 823976448
cs5378	9530	5316911983139663491 615228241121378304	1014120480182583521 1973625643008
cs13207	24604	1334994555365873426 7819383324672	1334994555365873426 7819383324672
cs15850	28700	6611430628379048332 4928	5289073722093715733 87264

表3 Bell数 ($1 \leq x \leq 15$)

x	1	2	3	4	5	6	7	8	9	10	11	12	13	14
ω_x	1	2	5	15	52	203	877	4140	21147	115975	678570	4213597	27644437	190899322

表 5. FFR (MFFC) の入力信号線数

回路名	総和	FFR				MFFC			
		最大値	最小値	平均値	最頻値	最大値	最小値	平均値	最頻値
c17a	11	3	1	2.20	2	3	1	2.20	2
s27	16	5	1	2.20	2	5	1	2.29	1
cs208	112	27	1	2.67	2	27	1	3.31	1
cs298	179	15	1	3.31	1	15	1	3.58	1
c2670	1477	72	1	2.49	1	55	1	5.20	1
c5315	3008	19	1	3.24	1	92	1	5.99	1
es5378	2490	122	1	2.36	1	103	1	3.19	1
cs13207	5152	103	1	2.66	1	103	1	3.22	1
cs15850	6061	75	1	2.77	1	78	1	3.53	1

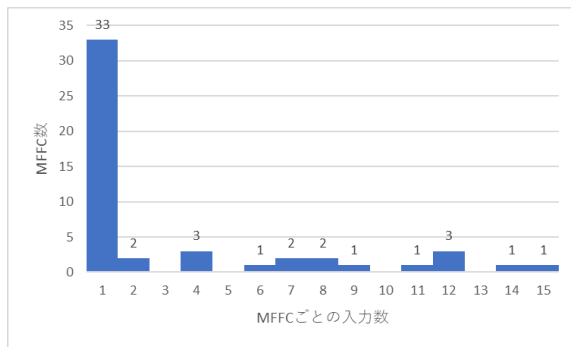


図 4. 回路 cs298 に対する MFFC 分割結果

値, MFFC の入力信号線数の最大値, 最小値, 平均値, 最頻値を示す. 表 5 より, 入力信号線数の合計が大きい回路では FFR (MFFC) の入力信号線数の最大値も増加しているものの, 最小値, 平均値, 最頻値にはあまり大きな変化が見られないことがわかる.

最大値, 最小値, 平均値, 最頻値だけでなく, より具体的な分布も確認する. 図 4 は cs298 の MFFC の入力数のヒストグラムである. 横軸は MFFC ごとの入力信号線数, 縦軸は該当する MFFC 数を示す. 図 4 より, 多くの MFFC は入力信号線が 1 であるが, 一部の MFFC が 11 以上の入力数を持っていることがわかる. そのため, 回路ごとに FFR (MFFC) 入力信号線数の最大値のみが大きく変化していると考えられる. したがって, 故障数が削減できない原因としては, 表 5 および図 4 より, 極端に入力信号線数が多い FFR (MFFC) がいくつか存在することにあると考えられる.

6. まとめ

本論文では, 複数のセルを併合し 1 つの領域として定義し, ゲート網羅故障と比較することで, 故障数がどの程度削減されているかを比較した. さらに, 複数のセルに回路を分割する方法として FFR と MFFC を使用した.

実験結果から, 制約なしの FFR や MFFC 分割における領域網羅故障とセルごとのゲート網羅故障を比べると, 故障数を削減できていないことがわかる. 故障数が削減できない原因としては, 入力数の多い FFR や MFFC が多数存在することが挙げられる.

今後の課題として, ZDD を用いてブロック分割パターンをコンパクトに表現することを利用して, 各 MFFC において領域網羅故障数が最小となるようなブロック分割手法を提案することが挙げられる.

参考文献

- [1] K. Cho, S. Mitra, and E. J. McCluskey, "Gate Exhaustive Testing", ITC, pp.1-7, 2005.
- [2] A. Jas, S. Natarajan, and S. Patil. "The Region-Exhaustive Fault Model", in Proc. Asian Test Symposium, pp.13-18, 2007.
- [3] J. Cong, and Y. Ding, "On Area/Depth Trade-off in LUF-based FPGA Technology Mapping", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol.2, no.2, pp.137-148, June 1994.
- [4] S. B. Akers, C. Joseph, and B. Krishnamurthy, "On the Role of Independent Fault Sets in the Generation of Minimal Test Sets", in Proc. Intl. Test Conf, pp.1100-1107, 1987.
- [5] 溝田桃菜, 細川利典, 吉村正義, "ゲート網羅故障のテスト生成高速化のためのブロック分割手法", デイペンダブルコンピューティング研究会, 信学技報, vol.122, no.134, DC2022-3, pp.13-18, July 2022.
- [6] 相山航平, "ゲート網羅故障削減のためのファンアウトフリー領域のブロック分割の評価に関する研究", 卒業論文, 2023
- [7] Donald E. Knuth, "The Art of Computer Programming Volume 4", KADOKAWA, pp.63-6