

完全故障検出率と完全診断分解能のための テストパターン置換手法

日大生産工(学部) ○青野 竜弥 日大生産工 細川 利典
京産大 吉村 正義 日大生産工 新井 雅之

1. まえがき

半導体微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated circuits : VLSI)において、異常動作の物理的な原因を特定する故障解析[1]は、歩留まり向上のために重要である。故障解析では、電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため、多大なコストを要する。そのため、故障 VLSI に存在する可能性のある故障(被疑故障)を事前に絞り込んでおく故障診断[2]が、故障解析コスト低減のために重要である。故障診断を実行することで故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。このとき、識別可能な故障ペア数が多いほど、被疑故障数を削減することができ、故障診断における診断分解能が向上する。

組合せ回路やスキャン設計[2]が施された順序回路においては、高い故障検出効率[2]を達成するテスト生成アルゴリズム[3]-[5]やテスト圧縮アルゴリズム[6], [7]が提案されている。しかしながら、故障検出率向上を指向した手法で生成されたテスト集合では一般的に故障ペアの識別が不十分であるため、診断分解能向上のための手法が提案されている[8]-[14]。

診断分解能を向上させる手法として2種類の手法が提案されている。1つ目の手法として故障診断容易化設計(Design for Diagnosability : DFD)手法[8], [9]が挙げられる。ゲートレベルにおける観測ポイント挿入(Observation Point Insertion : OPI)などの診断分解能を考慮した設計手法が提案されており、被疑故障数を削減できることが報告されている。しかしながら、挿入された観測ポイントによる回路面積の増大やタイミングの最適性が損失などが課題として挙げられている。

2つ目の手法として高診断分解能を指向したテスト生成法[10]-[14]が提案されている。文献[12]では、テスト集合に診断用テストパターンを追加する手法が提案されている。与えられたテスト集合で識別できなかった故障ペアを識別するテストパターンを生成し、テスト集合に追加する。

本研究では、テスト圧縮されたテスト集合内のテ

ストパターンを解析し、診断分解能向上に比較的寄与していないテストパターンを、故障検出率を維持しながら診断分解能が向上するテストパターンに置換し、完全故障検出効率と完全診断分解能を両立するテスト集合を生成する。できる限りテストパターン数を増加させないことを目標とするテスト生成とテスト圧縮は、縮退故障モデルを対象として Synopsys 社の TetraMax を用いて行う。

本論文の構成は以下のとおりである。第2章では本論文で用いる用語の諸定義を行う。第3章では必須識別故障ペア数の解析について述べる。第4章では実験結果を示し、第5章で今後の課題について述べる。

2. 諸定義

本章では、本論文で用いる用語の諸定義を行う。

定義1 : 必須故障[7]

与えられたテスト集合 T において、1つのテストパターンでのみ検出可能な故障をテスト集合 T における必須故障という。

定義2 : 識別可能な故障ペア[14]

テストパターン t で故障 $f_i, f_j (f_i \neq f_j)$ を故障シミュレーションした結果、 f_i, f_j の検出外部出力集合が異なるならば、故障ペア (f_i, f_j) は t で識別可能であるという。

定義3 : テスト集合 T の必須識別故障ペア

与えられたテスト集合 T において、テストパターン $t \in T$ で識別可能な故障ペア (f_i, f_j) が T 中の t 以外のテストパターンで識別不能であるとき、故障ペア (f_i, f_j) をテスト集合 T における t の必須識別故障ペアという。

定義4 : テスト集合 T の必須同時検出識別故障ペア

与えられたテスト集合 T における $t \in T$ の必須識別故障ペア (f_i, f_j) の故障 f_i, f_j が、どちらも t で検出可能であるとき、必須識別故障ペア (f_i, f_j) をテスト集合 T における t の必須同時検出識別故障ペアという。

A Test Pattern Replacement Method to Attain
for Complete Fault Coverage and Complete Diagnosis Resolution

Tatsuya AONO, Toshinori HOSOKAWA, Masayoshi YOSHIMURA and Masanori ARAI

3. 必須識別故障ペア数の解析

本章では、テスト集合中の各テストパターンにおける必須識別故障ペア数解析について述べる。3.1節では識別可能な故障ペアについて表1を例に用いて説明し、3.2節では必須識別故障ペア数の解析について表2を例に用いて説明する。3.3節では必須同時検出識別故障ペア数の解析について表1を例に用いて説明する。

3.1 識別可能な故障ペア

表1は故障 f_1, f_2, f_3, f_4 についてテスト集合 $T = \{t_1, t_2\}$ を用いて、故障シミュレーションを実行したときの各テストパターンにおける各故障の検出外部出力集合を示す。表1内の“ \emptyset ”はあるテストパターンにおいてある故障が検出不能であることを示している。

表1において、識別可能な故障ペアが存在するか否かを考える。 t_1 において、故障ペア $(f_1, f_2), (f_1, f_3), (f_2, f_3), (f_2, f_4), (f_3, f_4)$ は検出外部出力集合が異なるため識別可能である。一方 t_1 において、故障ペア (f_1, f_4) は検出外部出力集合が一致するため識別不能である。 t_2 において、故障ペア $(f_1, f_3), (f_1, f_4), (f_2, f_3), (f_2, f_4)$ は検出外部出力集合が異なるため識別可能である。一方 t_2 において、故障ペア $(f_1, f_2), (f_3, f_4)$ は検出外部出力集合が一致するため識別不能である。したがって、テスト集合 T においてすべての故障ペア $(f_1, f_2), (f_1, f_3), (f_1, f_4), (f_2, f_3), (f_2, f_4), (f_3, f_4)$ は識別可能である。すべての故障ペアが識別可能であるとき、テスト集合 T は完全診断分解能を持ったテスト集合であるという。

3.2 必須識別故障ペア数の解析

表2に表1で求めた各テストパターンで識別可能な故障ペアを示す。 t_1 で識別可能な故障ペア $(f_1, f_2), (f_3, f_4)$ はテスト集合 T の t_1 以外のテストパターンで識別不能なので、故障ペア $(f_1, f_2), (f_3, f_4)$ は T における t_1 の必須識別故障ペアである。同様に、 t_2 で識別可能な故障ペア (f_1, f_4) は T の t_2 以外のテストパターンで識別不能なので、故障ペア (f_1, f_4) は T における t_2 の必須識別故障ペアである。したがって、 T における各テストパターンの必須識別故障ペア数は t_1 で2個、 t_2 で1個である。

表2. 識別可能な故障ペア

| テストパターン | 識別可能な故障ペア |
|---------|--|
| t_1 | $(f_1, f_2), (f_1, f_3), (f_2, f_3), (f_2, f_4), (f_3, f_4)$ |
| t_2 | $(f_1, f_3), (f_1, f_4), (f_2, f_3), (f_2, f_4)$ |

3.3 必須同時検出識別故障ペア数の解析

前節で求めた必須識別故障ペアが同時検出可能であるか否かを解析する。まず t_1 の必須識別故障ペア $(f_1, f_2), (f_3, f_4)$ が必須同時検出識別故障ペアであるか否かを考える。表1より、故障 f_2 は t_1 で検出不可能なので、必須識別故障ペア (f_1, f_2) は必須同時検出識別故障ペアではない。一方、故障 f_3, f_4 は共に t_1 で検出可能であるので、必須識別故障ペア (f_3, f_4) はテスト集合 T における t_1 の必須同時検出識別故障ペアである。同様に、 t_2 の必須識別故障ペア (f_1, f_4) についても考える。故障 f_1, f_4 は共に t_2 で検出可能であるので、必須識別故障ペア (f_1, f_4) はテスト集合 T における t_2 の必須同時検出識別故障ペアである。したがって、 T における各テストパターンの必須同時検出識別故障ペアは t_1 で1個、 t_2 で1個である。

4. 予備実験結果

本章では、実験結果を示す。本論文では、TetraMaxで生成した圧縮されたテスト集合に対して、必須故障数、必須識別故障ペア数、必須同時検出識別故障ペア数を解析する。対象故障は単一縮退故障モデルであり、対象回路はベンチマーク回路 ISCAS'89 である。

表3, 4, 5に実験結果を示す。表3は必須故障数解析の実験結果である。Circuitは回路名、tpはテストパターン数、faultsは全故障数、minはテスト集合における必須故障数の最小値、maxはテスト集合における必須故障数の最大値、totalはテスト集合における必須故障数の合計値、aveは1テストパターン当りの必須故障数の平均値、medianは1テストパターン当りの必須故障数の中央値、modeは1テストパターン当りの必須故障数の最頻値を表している。7回路中6回路で必須故障数の最小値は1であった。これらの回路では冗長テストパターン[7]が含まれていないテスト集合が作成されており、テスト圧縮によるテストパターン数削減の効果が示されている。

表4は必須識別故障ペア数解析の実験結果である。Circuitは回路名、tpはテストパターン数、fpは全故障ペア数、ifpは識別可能な故障ペア数、 Δfp は全故障ペア数と識別可能な故障ペア数との差分、minはテスト集合における必須識別故障ペア数の最小値、maxはテスト集合における必須識別故障ペア数の最大値、totalはテスト集合における必須識別故障ペア数の合計値、aveは1テストパターン当りの必須識別故障ペア数の平均値、medianは1テストパターン当りの必須識別故障ペア数の中央値、modeは1テストパターン当りの必須識別故障ペア数の最頻値である。

表 1. 各故障の検出外部出力

| テストパターン | f_1 の検出外部出力 | f_2 の検出外部出力 | f_3 の検出外部出力 | f_4 の検出外部出力 |
|---------|---------------|---------------|---------------|---------------|
| t_1 | POI | \emptyset | $POI, PO2$ | POI |
| t_2 | POI | POI | $POI, PO2$ | $POI, PO2$ |

全対象回路で平均値>中央値>最頻値となっており、必須識別故障ペアを多く識別する少数個のテストパターンが平均値を引き上げる結果となっている。また、全対象回路の最小値が0であった。よって、テスト集合内に診断分解能向上に寄与しないテストパターンが含まれており、 Δfp が0でないため、生成したテスト集合には診断分解能向上の余地があると考えられる。

表5は必須同時検出識別故障ペア数解析の実験結果である。Circuitは回路名、tpはテストパターン数、minはテスト集合における必須同時検出識別故障ペア数の最小値、maxはテスト集合における必須同時検出識別故障ペア数の最大値、totalはテスト集合における必須同時検出識別故障ペア数の合計値、aveは1テストパターン当りの必須同時検出識別故障ペア数の平均値、medianは1テストパターン当りの必須同時検出識別故障ペア数の中央値、modeは1テストパターン当りの必須同時検出識別故障ペア数の最頻値を表している。全対象回路で平均値>中央値>最頻値となっており、全対象回路で最頻値が0であった。以上より、必須同時検出識別故障ペアを多く識別する少数個のテストパターンが平均値を引き上げる結果となっている。

5. まとめ

本論文では、ベンチマーク回路を用いて TetraMax で生成したテスト集合に対して必須故障数、必須識別故障ペア数、必須同時検出識別故障ペア数の解析をした。今後の課題として、大規模回路への適用や、未識別故障ペアの解析、診断分解能向上のためのテストパターン置換アルゴリズムの提案が挙げられる。

参考文献

[1] H.Y. Chang, E. Manning, and G. Metzger: "Fault diagnosis of Digital Systems," John Wiley & Sons, Inc.1970.
 [2] 藤原秀雄, "デジタルシステムの設計とテスト", 工学図書株式会社, 2004.
 [3] H. Fujiwara and T. Shimono, "On the Acceleration of Test Generation Algorithms," IEEE Trans. on Computers, vol.32, pp. 1137-1144, Dec. 1983.
 [4] P. Goel, "An Implicit Enumeration Algorithm to

Generate Tests for Combinational Logic Circuits," Trans. on Computers, vol. C-30, pp.215-222, 1981.
 [5] M. H. Schulz, E. Trischler and T. M. Sarfert, "SOCRATES: a highly efficient automatic test pattern generation system," IEEE Trans on Computer-Aided Design, vol. 7, pp. 126-137, Jan. 1988.
 [6] S. Kajihara, I. Pomeranz, K. Kinoshita and S. M. Reddy, "Cost-effective generation of minimal test sets for stuck-at faults in combinational logic circuits," IEEE Trans on Computer-Aided Design, vol. 14, pp. 1496-1504, Dec. 1995.
 [7] I. Hamzaoglu and J. H. Patel, "Test set compaction algorithms for combinational circuits," IEEE Trans. on Computer-Aided Design, vol. 19, pp. 957-963, 2000.
 [8] I. Pomeranz, S. Venkataraman and S. M. Reddy, "Z-DFD: design-for-diagnosability based on the concept of Z-detection," Int. Conf. on Test, 2004.
 [9] S. Udar and D. Kagaris, "Minimizing Observation Points for Fault Location," 24th IEEE Int. Symp. Defect and Fault Tolerance in VLSI Systems, 2009.
 [10] Y. Zhang and V. D. Agrawal, "A diagnostic test generation system," IEEE International Test Conference, 2010.
 [11] I. Pomeranz, "Diagnostic Test Generation That Addresses Diagnostic Holes," IEEE Trans. on Computer-Aided Design, vol. 38, pp. 335-344, Feb. 2019.
 [12] S. Prabhu, M. S. Hsiao, L. Lingappan and V. Gangaram, "A SMT-based diagnostic test generation method for combinational circuits," IEEE 30th VLSI Test Symp, 2012, pp. 215-220
 [13] K. -J. Lee, C. -H. Wu and T. -Y. Hou, "An Efficient Procedure to Generate Highly Compact Diagnosis Patterns for Transition Faults," in IEEE Trans. on Computer-Aided Design of Integr Circuits and Systems, pp. 737-749, 2022
 [14] 千田祐弥, 細川利典, 山崎浩二, "故障活性化率に基づく診断分解能向上指向テスト生成法," 信学技報, Vol. 121, DC2021-91, pp. 73-78, 2022.

表 3. 必須故障数の解析

| Circuit | tp | faults | min | max | total | ave | median | mode |
|---------|-----|--------|-----|-----|-------|-----|--------|------|
| s526 | 55 | 1051 | 1 | 23 | 203 | 3.7 | 2.0 | 1 |
| s641 | 27 | 1274 | 1 | 16 | 181 | 6.7 | 4.0 | 2 |
| s713 | 32 | 1353 | 0 | 23 | 179 | 5.6 | 4.0 | 1 |
| s820 | 102 | 1640 | 1 | 41 | 595 | 5.8 | 4.0 | 1 |
| s832 | 100 | 1647 | 1 | 38 | 599 | 6.0 | 4.0 | 1 |
| s838 | 80 | 1676 | 1 | 15 | 416 | 5.2 | 5.0 | 6 |
| s953 | 81 | 1860 | 1 | 18 | 357 | 4.4 | 3.0 | 1 |

表 4. 必須識別故障ペア数の解析

| Circuit | tp | fp | ifp | Δfp | min | max | total | ave | median | mode |
|---------|-----|---------|---------|-------------|-----|-----|-------|------|--------|------|
| s526 | 55 | 551775 | 549981 | 1269 | 0 | 226 | 841 | 15.3 | 1.0 | 0 |
| s641 | 27 | 810901 | 807890 | 2374 | 0 | 117 | 615 | 22.8 | 9.0 | 3 |
| s713 | 32 | 914628 | 911004 | 2965 | 0 | 164 | 688 | 21.5 | 3.0 | 0 |
| s820 | 102 | 1343980 | 1340575 | 2585 | 0 | 711 | 3451 | 33.8 | 6.0 | 0 |
| s832 | 100 | 1355481 | 1352101 | 2563 | 0 | 634 | 3433 | 34.3 | 9.0 | 0 |
| s838 | 80 | 1403650 | 1399384 | 3428 | 0 | 178 | 2013 | 25.2 | 12.0 | 0 |
| s953 | 81 | 1728870 | 1725825 | 2115 | 0 | 185 | 1829 | 22.6 | 11.0 | 0 |

表 5. 必須同時検出識別故障ペア数の解析

| Circuit | tp | min | max | total | ave | median | mode |
|---------|-----|-----|-----|-------|------|--------|------|
| s526 | 55 | 0 | 217 | 529 | 9.6 | 0 | 0 |
| s641 | 27 | 0 | 101 | 504 | 18.7 | 5.0 | 0 |
| s713 | 32 | 0 | 164 | 566 | 17.7 | 3.0 | 0 |
| s820 | 102 | 0 | 654 | 2630 | 23.8 | 2.0 | 0 |
| s832 | 100 | 0 | 573 | 2551 | 25.5 | 3.0 | 0 |
| s838 | 80 | 0 | 135 | 883 | 11.0 | 0 | 0 |
| s953 | 81 | 0 | 145 | 983 | 12.1 | 2.0 | 0 |