

フィールドテストにおけるk連続状態遷移に基づく状態信号系列を用いた データパスのランダムテストバリエーションの推定値に関する評価

日大生産工(院) ○豊岡雄大 日大生産工 渡辺悠樹 日大生産工 細川利典 京産大 吉村正義

1. まえがき

近年、超大規模集積回路(Very Large Scale Integrated circuits: VLSI)が社会の様々なシステムの中で利用されるようになり、医療機器、交通、自動車制御などの高い信頼性が要求されるものにも多く用いられている。一方で、半導体技術の発展により回路の複雑化、微細化、高速化が進み、製造ばらつきや回路の経年劣化への対応が問題となっている[1,2]。特に、システム稼働中の回路の経年劣化については現在でもライフタイムの予測や出荷前の信頼性試験および寿命試験が行われているが、個々の回路により実際の使用状況や使用環境は異なっており、劣化の進み具合も変化するため、それらを事前に把握することは困難である。劣化による障害発生を防ぐ手段の一つとして、現状では動作マージン設計が行われているが、回路の製造ばらつき、動作環境、使用年数などの最悪の場合を考慮しながら決定するため、過大な動作マージンとなってVLSIの性能を犠牲にする可能性がある[1]。それゆえ、製造テストに加えて、過大な動作マージンを避けるためにVLSIが搭載された後のフィールドテストが重要となる。

スキャン設計[3]と組み込み自己テスト(Built-In Self-Test: BIST)[4]を組合せたスキャンベース BIST に基づくフィールドテスト手法[5-7]が提案されている。BISTは、他のテスト手法と比較して、実動作速度テスト、テスト生成ツールの必要性の排除など、いくつかの利点[1,8]があるが、スキャンベース BIST に基づくフィールドテストではテスト実行時間の増大が課題として挙げられる。フィールドテストは電源オン/オフの短い時間でVLSIを網羅的にテストすることが理想である。そのため、データパスとコントローラから構成される

レジスタ転送レベル(Register Transfer Level: RTL)回路に対する非スキャン設計ベースのフィールドテストに焦点を当て、故障検出率の改善、小面積化、テスト実行時間の短縮を実現する手法が提案されている[9,10]。文献[9]では、故障検出率の向上を図るため、コントローラにおけるn回状態遷移被覆[9]を用いて状態信号系列を生成している。しかしながら、文献[9]ではデータパスの動作に着目していないため、データパス中のハードウェア要素(レジスタ、マルチプレクサ、演算器、信号線)のテストを十分に行うことができていない。また、文献[10]ではこれらの課題を解決するために、コントローラのn回kサイクル連続で実行される状態遷移をすべて列挙し、それらをすべて実行可能であり、かつできる限り短い状態信号系列を生成するn回k連続状態遷移被覆信号系列を用いたフィールドテスト手法が提案され、RTLでのフィールドランダムテストバリエーションの評価尺度として、テストk能率が提案された。

[10]しかしながら、算出されたテスト可能率を用いて、論理合成を実行した回路から算出した故障検出率との相関を評価した結果、強い正の相関関係は認められなかった。本論文では、新たな評価尺度として推定フィールドランダムテストバリエーションを提案し、与えられた状態信号系列から生成される制御信号系列とレジスタ転送レベルでのデータパスの構造を用いた構造的記号シミュレーションを実行し、RTLにおける推定フィールドランダムテストバリエーションを算出する。その推定フィールドランダムテストバリエーションと論理合成後の回路の故障検出率との相関を解析する。

本論文では以下のように構成されている。第2章では、非スキャンベースのフィールドテストのためのアーキテクチャを述べる。第3章では、構造的記号シミュレーションを用いたデータパスの推定フィールドランダムテストバリエーションを提案する。第4章では高位設計ベンチマーク回路[11]を用いた実験結果を示す。最後に第5章で、結論と今後の課題について述べる。

2. 非スキャンベースフィールドテスト

2.1. 非スキャン設計

一般に、現状のフィールドテストではスキャンテストが用いられることが多い。これは、テストパターンとしてランダムパターンを用いた場合でもある程度高い故障検出率が保証されているためである。しかしながら、シフト動作時には各スキャンフリップフロップ(Flip-Flop: FF)に値を設定するため、シフト動作におけるテスト実行時間の増大という問題点が挙げられる。これらの理由から、文献[9, 10]では非スキャンテストによるフィールドテストを対象とする。また、非スキャンテストの問題点である故障検出率を改善する手法を2.2節~2.3節で説明する。

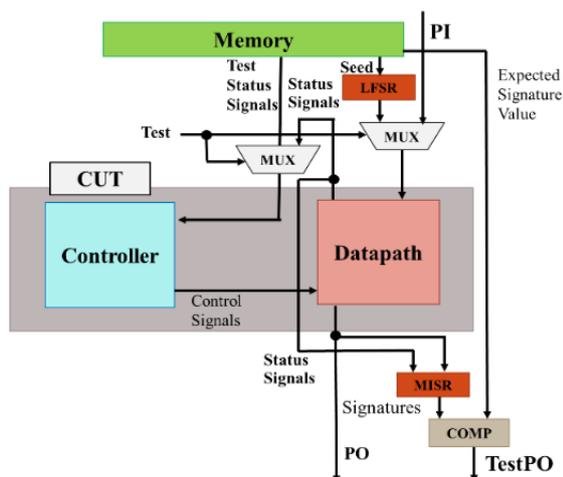


図1. フィールドテストアーキテクチャ

An Evaluation of Estimated Field Random Testability for DataPaths at Register Transfer Level Using Status Signal Sequences Based on k-Consecutive State Transitions for Field Testing

Yudai TOYOOKA, Haruki WATANABE, Toshinori HOSOKAWA and Masayoshi YOSHIMURA

2.2. n回k連続状態遷移被覆

コントローラに入力する状態信号は、故障検出率向上のために、どのような状態信号を与えるかが重要な問題となる。文献では、全てのk連続(kは自然数)状態遷移を被覆するための状態信号系列を与える。一般に、テストパターンとしてランダムパターンを用いる場合、回路動作に偏りが生じ、未検出故障数が増加する可能性がある。それゆえ、コントローラの全てのk連続状態遷移を少なくとも1回実行することで、可能な限り回路動作が偏らないようにし、新たな故障を検出する可能性を向上させる。また、更なる故障検出率の向上を達成するため、全ての状態遷移を少なくともn回(nは自然数)被覆するような状態信号系列生成を行う。

2.3. RTL フィールドテストアーキテクチャ

フィールドテスト手法を実現するために、RTL回路にテスト容易化設計(Design for Testability: DFT)を行う。図1に本論文で用いるRTL回路のアーキテクチャを示す。図1におけるCUTは、コントローラとデータパスである。また、擬似乱数パターン発生器(Pseudo Random Pattern Generator: PRPG)として線形帰還型シフトレジスタ(Linear Feedback Shift Register: LFSR) [12]、テスト応答圧縮回路(Test Response Compactor: TRC)として(Multiple Input Shift Register: MISR) [12]を用いている。さらに、LFSRの初期値となるシード値やシグネチャの期待値、n回k連続状態遷移被覆によって生成した状態信号系列をメモリから与える。コントローラの入力、データパスが出力する状態信号と、メモリに格納されているテスト用の状態信号とをマルチプレクサを用いて選択可能とする。データパスの状態信号線には故障影響が伝搬する可能性があるため、MISRに分岐することで可観測性を向上させる。データパスの入力は、本来の外部入力とLFSRが出力するランダムテストパターンとをマルチプレクサにより選択可能とする。データパスの出力は、外部出力とMISRへの入力に分岐する。MISRはデータパスの出力を圧縮し、シグネチャとして期待値とともに比較器に入力される。比較器は、シグネチャとその期待値との比較結果によって正常信号もしくは異常信号をテスト用外部出力TestPOへ出力する。フィールドテスト用に挿入したマルチプレクサの制御信号線は新たに付加した外部入力Testと接続する。

3. 構造的記号シミュレーションを用いた推定フィールドランダムテストスタビリティ算出

3.1. 構造的記号シミュレーション

データパスの構造と制御信号系列に基づいて行われるシミュレーションを構造的記号シミュレーションと呼ぶ[10]。構造的記号シミュレーションは、すべての時刻の外部入力、定数に可制御であることを示すCシンボル[10]を割当て、伝搬させ、その後外部出力から入力方向に向けて可観測であることを示すOシンボル[10]を割当て、伝搬する。構造的記号シミュレーションはテスト実行可能な信号線を判定するために実行される。

データパスはハードウェア要素とそれらを接続する信号線、及びコントローラへ出力する状態信号線から構成される。ハードウェア要素は多入力1出力の演算器、マルチプレクサ、レジスタ、外部入力、定数、外部出力、信号線がある。

(定義1: テスト可能な信号線)

時刻tで、ある信号線にCシンボルとOシンボルが割当てられている時、その信号線をテスト可能な信号線という。

(定義2: テスト実行回数)

データパスのある信号線がテスト可能である時刻数をその信号線のテスト実行回数という。

(定義3: テスト可能率)

回路全体のハードウェア要素や信号線の中でテスト可能なものの割合を百分率で表したものをテスト可能率という。

3.2. ハードウェア要素の推定フィールド

テストスタビリティ計算

A. 制御信号のないハードウェア要素(演算器, REG)

あるハードウェア要素 α の各入力信号線にLFSRを出力信号線にMISRを接続した回路を α のテストライブラリと呼ぶ。 α のテストライブラリにおいて、LFSRにあるシードを与えて擬似ランダムパターンテストを実行して得た故障検出率を α の推定フィールドランダムテストスタビリティと呼ぶ。ただし、 α は論理合成された回路であり、ランダムパターンテストを実行するサイクル数は α の出力信号線のテスト実行回数である。

B. 制御信号線のあるハードウェア要素(MUX)

あるハードウェア要素 β の各入力信号線にLFSRを、出力信号線にMISRを接続した回路を β のテストライブラリと呼ぶ。 β のテストライブラリにおいて、制御信号線に論理値、LFSRにあるシードを与えて擬似ランダムパターンテストを実行して得た故障検出率を β の推定フィールドランダムテストスタビリティと呼ぶ。ただし、 β は論理合成された論理回路である。 β の入力数を n とすると、入力信号線 i ($1 \leq i \leq n$)に対応する β の制御信号で実行するテストサイクル数は i のテスト実行回数である。したがって、 β のテスト実行サイクル数は $\sum_{i=1}^n TE_i$ である。ただし、 TE_i は信号線 i のテスト実行回数である。

(例)4 入力マルチプレクサの制御信号値 00,01,10,11に対応するマルチプレクサの入力信号線のテスト実行回数をそれぞれ2, 0, 7, 4とすると、その推定フィールドランダムテストスタビリティを算出するためには、 $2+0+7+4=13$ サイクル分擬似ランダムパターンテストを実行する。

3.3. 推定フィールドランダムテストスタビリティの計算アルゴリズム

図2は、推定フィールドランダムテストスタビリティの計算アルゴリズムである。まず、このアルゴリズムでは入力としてデータパス中の制御信号を持たないハードウェア要素の集合Hと、制御信号を持つハードウェア要素 H_C と構造的記号シミュレーション結果SSS、ハードウェア要素のテストライブラリの集合 T_L を入力とし、出力はデータパスの推定フィールドランダムテストスタビリティEFRTである。

まず、データパス中のハードウェア要素の推定検出故障数の総和EDFとハードウェア要素の故障の総和Fを0に初期化する(step2)。Hの各ハードウェア要素 i について、step4~step8の処理を繰り返す(step3)。SSSから i の出力信号線のテスト実行回数を取得し、 n に代入する(step4)。 T_L から i のテストライブラリ $tlib_i$ を取得する(step5)。 $tlib_i$ に n を与えて i に対して擬似ランダムパターンテストを n サイクル実行したときの推定

```

1. Calc_Estimated_Field_Testability
   (Input: SSS, H, HC, TL Output: EFRT) {
2.   EDF=F=0;
3.   for(each i ∈ H) {
4.     n = TestExecutionCountH(i, SSS);
5.     tlibi = Get_Testlib(i, TL);
6.     (Fi, EDFi) = Estimate_Detected_Faults_H(n, tlibi);
7.     EDF += EDFi;
8.     F += Fi;
9.   }
10.  for(each j ∈ HC) {
11.    N = TestExecutionCountHc(j, SSS);
12.    tlibj = Get_Testlib(j, TL);
13.    (Fj, EDFj) = Estimate_Detected_Faults_Hc(N, tlibj);
14.    EDF += EDFj;
15.    F += Fj;
16.  }
17.  EFRT = EDF×100 / F;
18.  return EFRT;
19. }

```

図 2. 推定フィールドテストタビリティの計算アルゴリズム

検出故障数 EDF_i を算出し、 i の故障数 F_i を取得する(step6). EDF に EDF_i を加算し EDF を更新する(step7). F に F_i を加算し F を更新する(step8). H_C の各ハードウェア要素 j についてstep11~step15の処理を繰り返す(step10). SSS から j の各入力信号線のテスト実行回数を取得し、テスト実行回数集合 N に代入する(step11). N の要素数は j の入力数である。 T_L から j のテストライブラリ $tlib_j$ を取得する(step12). $tlib_j$ に N を与えて、 j に対して擬似ランダムパターンテストを k サイクル実行した時の推定検出故障数 EDF_j を算出し、 j の故障数 F_j を取得する(step13). EDF に EDF_j を加算し EDF を更新する.(step14). F に F_j を加算し F を更新する(step15). $EFRT = \frac{EDF \times 100}{F}$ より $EFRT$ を算出する(step17). $EFRT$ を返す(step18).

以下に、 $EFRT$ を求める手順を例題回路を用いて説明する。

図3にデータパス例題回路の図を示す。例題回路において推定フィールドランダムテストタビリティ計算の対象となるハードウェア要素数は9である。制御信号を持たないハードウェア要素の集合 H 、制御信号を持つ H_C は以下の通りである。

$$H = \{ADD, LESS, R1, R2, R3, R4\} \quad H_C = \{M1, M2, M3\}$$

ハードウェア要素 $M1, M2, M3$ の制御信号線はそれぞれ $m1, m2, m3$ であり、入力数は2である。また、 SSS の結果から各ハードウェア要素のテスト実行回数は $n_{ADD}:4, n_{CMP}:3, n_{R1}:1, n_{R2}:5, n_{R3}:4, n_{M1}:(0, 1), n_{M2}:$

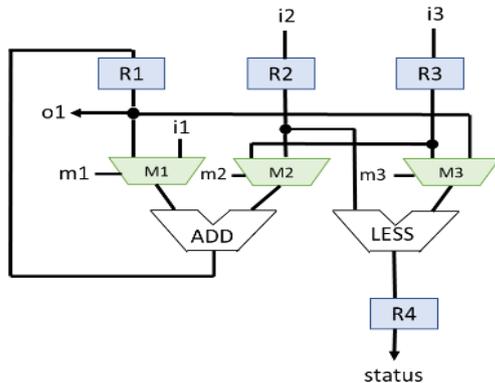


図 3. データパス例題回路

(2, 1), $n_{M3}:(1, 1)$ であるとする。各ハードウェア要素のテストライブラリ $tlib$ から推定検出故障数を算出する。マルチプレクサのテスト実行回数は制御信号値が0の場合テスト実行回数と制御信号値が1の場合のテスト実行回数を左から順に括弧で示し、”,”で区切る。各ハードウェア要素の EDF_i は各ハードウェア要素のテストライブラリ $tlib_i$ から算出される故障検出数の推定値である。この例においては以下のように示される。 $EDF_{ADD}:1328, EDF_{SUB}:1183, EDF_{R1}:64, EDF_{R2}:124, EDF_{R3}:124, EDF_{M1}:136, EDF_{M2}:243, EDF_{M3}:138$ である。したがってこれらの総和である EDF は2740である。各ハードウェア要素の故障数の総和 F は8350であることから、例題回路の推定フィールドランダムテストタビリティは $32.81\% (\frac{2740 \times 100}{8350})$ であることがわかる。

4. 実験結果

本実験では、kim, maha, sehwaの3つのRTL回路を対象回路とする。各RTL回路のコントローラに対して1回1連続状態遷移被覆する状態信号系列及び2回4連続状態遷移被覆する状態信号系列を生成し、各状態信号系列に対して推定フィールドランダムテストタビリティの算出を行った。また、コントローラの制御信号に含まれる X に対して10000回ランダムに X 割当てを行った。その後、論理合成を行いゲートレベル回路に対して故障検出率の算出を行った。故障モデルは単一縮退故障であり、データパス及びコントローラ内の全故障を評価対象とする。故障検出率の算出には、内製の故障シミュレーションツールを用いた。また、論理合成には、Synopsys社製のDesign Compilerを用いた。

図4に対象とする3つのRTL回路で1回1連続状態遷移被覆する状態信号系列を用いて相関を解析した実験結果を示す。上段に縮退故障検出率と推定フィールドランダムテストタビリティとの関係を表したグラフを示す。

図5に対象とする3つのRTL回路で2回4連続状態遷移被覆する状態信号系列を用いて相関を解析した実験結果を示す。上段に縮退故障検出率と推定フィールドランダムテストタビリティとの関係を表したグラフを示す。

図4の実験結果より、各回路の推定フィールドランダムテストタビリティと、縮退故障検出率との相関係数を算出した。kimでは0.946であり、mahaは0.795、sehwaは0.949であった。また、推定フィールドランダムテストタビリティが増加すると縮退故障検出率も増加していることがわかる。

図5の実験結果より、各回路の推定フィールドランダムテストタビリティと、縮退故障検出率との相関係数を算出した。kimでは0.511であり、mahaは-0.132、sehwaは0.976であった。kim, sehwaでは推定フィールドランダムテストタビリティが増加すると縮退故障検出率も増加していることがわかる。一方、mahaではsehwaのような強い正の相関は認められなかった。これは、mahaでは推定フィールドランダムテストタビリティの範囲が0.04%と非常に小さいため、RTLの段階で故障検出率を見積るうえで生じる最低限の誤差であると考えられる。

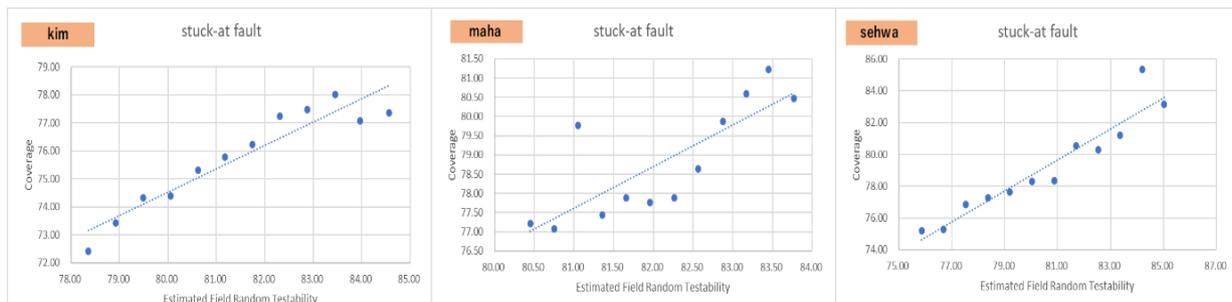


図 4. 1 回 1 連続状態遷移被覆信号系列を用いた推定フィールドテストバリティ

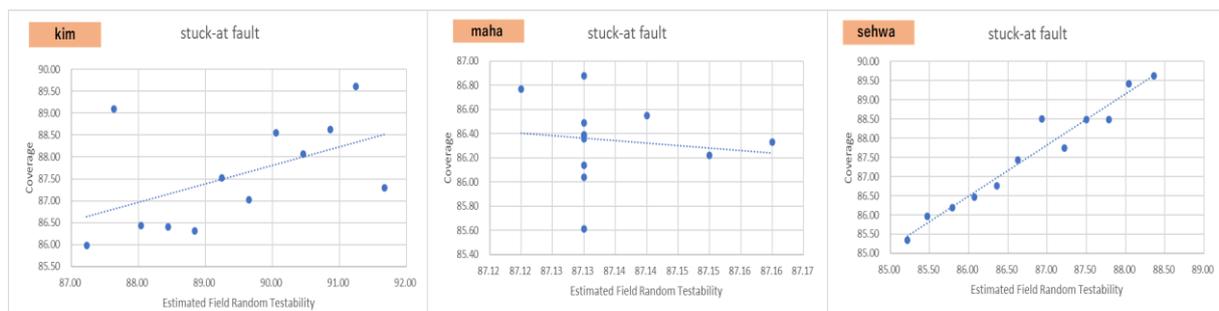


図 5. 2 回 4 連続状態遷移被覆信号系列を用いた推定フィールドテストバリティ

5. むすび

本論文では 1 回 1 連続状態遷移被覆する状態信号系列及び 2 回 4 連続状態遷移被覆する状態信号系列を用いて、構造的記号シミュレーションによる RTL における推定フィールドランダムテストバリティを算出した。その推定フィールドランダムテストバリティと論理合成後の回路での故障検出率との相関を解析したところ、平均で 0.698、最大で 0.976 と強い正の相関があると考えられる。このことから、RTL 回路における段階で論理合成を行ったゲートレベル回路でのランダムパターンテスト実行時の故障検出率を見積ることができる。

今後の課題として、SAT(boolean SATisfiability testing)などを用いて、推定フィールドランダムテストバリティを向上させるような制御信号の X 割当て手法を提案し、さらに故障検出率を増加させることが挙げられる。

参考文献

- [1] 藤原 秀雄, “デジタルシステムの設計とテスト,” 工学図書株式会社, 2004.
- [2] W. Wang, et al., “Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology,” IEEE Trans. on Device and Material Reliability, Vol.7, No.4, pp.509-517, 2007.
- [3] H. Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.
- [4] Edward J. McCluskey, “Built-In Self-Test Techniques,” IEEE Design & Test of Computers, vol.2, no.2, pp.21-28, April 1985.

- [5] J.A.Waicukauski, E.Lindbloom, B.L.Rosen, and V.S.Iyengar, “Transition fault simulation” IEEE Design and Test of Computers, Vol.4, pp.32-38, 1987
- [6] S Grosh, S Bhunia, A Raychowdhury and K Roy ”Delay Faults Localization in Test-Per-ScanBIST” 12th IEEE IOLTS’06, July 2006.
- [7] F.Yang, S.Chakravarty, N Devta-Pasanna, S.M.Reddy and I. Pomeranz “An Enhanced Logic Architecture for Online Testing” 14th IEEE IOLTS’08, July 2008.
- [8] M. Abadir and M. Breuer, “Constructing optimal test schedules for VLSI circuits having built-in test hardware,” in Proc. Int. Symp. Fault-Tolerant Comput., pp. 165–170, June 1985.
- [9] 池ヶ谷祐輝, 石山悠太, 細川利典, 吉村正義, “ n 回状態遷移被覆に基づく非スキャンオンラインテスト法,” vol. 119, no. 247, DC2019, 2019 年 10 月.
- [10] 豊岡雄大, 渡辺悠樹, 細川利典, 吉村 正義 “フィールドテストのための k 連続状態遷移に基づく状態信号系列を用いたフィールドランダムテストバリティの評価,”信学技報, vol.122, no.134, DC2022-4, pp.19-24, 2022 年 7 月.
- [11] M. T. -C. Lee, “High-Level Test Synthesis of Digital VLSI Circuits,” Artech House Publishers, 1997.
- [12] Michael L. Bushnell and Vishwani D. Agrawal. “Essentials of Electronic Testing for Digital, Memory & Mixed -Signal VLSI Circuits,” Kluwer Academic Publisher, 2000.