

2 サイクルゲート網羅故障の低消費電力テスト生成法

日大生産工(院) ○溝田桃菜 日大生産工 細川利典
京産大 吉村正義 日大生産工 新井雅之

1. まえがき

近年, 半導体集積技術の発展に伴い, 設計される超大規模集積回路(Very Large Scale Integrated circuits: VLSI)の大規模化, 複雑化, 高速化が急速に進展している. また, それに伴い不良 VLSI にはセルや信号線に物理的欠陥が存在し, 論理回路においても論理機能が故障により別な論理機能に変化する論理故障や本来の実動作速度でテストした場合に誤った動作をするタイミング故障など様々な故障が存在する[1]. したがって, 信号線における欠陥に加え, セル内の欠陥も増加している. 本論文ではセル内の欠陥に着目する. セル内の欠陥はレイアウト解析をおこなうことで, 欠陥が存在するセルに対してどの入力パターンでセルの出力信号線に故障励起可能かを判断する. セル内の欠陥の位置やタイプによっては特定の入力パターンでのみ故障励起可能な場合があり, 縮退故障などの基本的な故障モデルに対するテスト集合では検出されない場合がある[2]. つまり, セル内の欠陥は縮退故障モデルなどに比べ検出が困難である. したがって, テスト時にセル内の欠陥を見逃す可能性があり, 不良 VLSI を良品と判断するテストエスケープを引き起こす可能性がある[2].

本論文では, セル内の欠陥によりセルの出力信号線の値が遷移する際に遅延が発生する故障に着目し, このようなセル内遅延欠陥をモデル化したものを 2 サイクルゲート網羅故障モデルと呼ぶ[3]. また, 本論文では, トランジスタ回路上の説明にはセル, デジタル回路上の説明にはゲートと呼ぶ.

2 サイクルゲート網羅故障モデルは各ゲートにおける出力信号線の値が遷移する場合のゲートの各入力パターンで出力信号線の値が遅延する故障を仮定し定義する. 2 サイクルゲート網羅故障数はゲート数とゲートの入力数に依存するため, 大規模回路になるにつれ, 故障数やテストベクトル数が増大する可能性がある. したがって, テスト生成における動的テスト圧縮[4]が重要となる.

動的テスト圧縮法の 1 つとして多重目標故障テスト生成 (Multiple Target Test Generation: MTTG) が提案されている[4-5]. MTTG とは, 複数の故障を対象にテスト生成をおこなう手法である. ただし, 目標とした複数の故障は同時に考慮せず, それぞれ個別に故障の影響を考慮してテスト生成をおこなう.

また, 2 サイクルゲート網羅故障モデルはタイミング遅延を伴う欠陥の故障モデルである. 遅延故障モデルを検出するためには, 変化前の信号線値を設定するテストパターンと変化後の信号線値を確かめるテストパターンの 2 種類のテストパターンを連続して実動作速度で印加する必要がある. この方法を 2

パターンテストという. 本論文で着目している 2 サイクルゲート網羅故障モデルにおいても 2 パターンテストを使用している. また, スキャンテストにおいて, 2 パターンテストを実現するテスト方法の 1 つであるローチオンキャプチャ(Launch-on-Capture: LoC)方式[6]を用いる. LoC 方式は設計が容易, 高い故障検出率などの観点から幅広く用いられている[7]. しかしながら, 回路内部の信号線の遷移による過度な電圧降下(IR Drop)[8]を引き起こす可能性がある. 過度な電圧降下は, 遅延を増加させ, タイミング遅延を伴う故障と同じ動作を発生させる可能性があるため, 過度なキャプチャ時消費電力が発生するテストは誤テストを引き起こす可能性がある[9]. したがって, LoC 方式における実速度スキャンテストでは, キャプチャ動作時の信号線の遷移数(Launch Switching Activity: LSA)を削減することが非常に重要である.

キャプチャ時消費電力削減手法として, 擬似ブール最適化問題(Pseudo Boolean Optimization: PBO)[10]を用いた低消費電力指向テスト生成が挙げられる[11]. 文献[11]は, 自動テストパターン生成ツール(Automatic Test Pattern Generator: ATPG)で生成された初期テスト集合の中に存在する消費電力閾値を超えないキャプチャセーフテストベクトル[12]をドントケア(X)判定した後の X ビットを用いて, 消費電力閾値を超えるキャプチャアンセーフテストベクトル[12]でのみ検出可能なアンセーフ故障[12]をできるだけ多く検出するようなテスト生成法である. 各キャプチャセーフテストベクトルによって検出されるセーフ故障集合と未検出のアンセーフ故障を目標故障集合に設定し, PBO ベースのテスト生成をおこなう.

本論文では, 2 サイクルゲート網羅故障のための低消費電力指向多重目標故障テスト生成法を提案する. 提案手法は, 文献[11]と同様に PBO ベースのテスト生成法である. はじめに全 2 サイクルゲート網羅故障の中からテスト不能故障とアンセーフ故障を判定し, あらかじめ削除する. 次に, 残りの故障から複数の目標故障を選択し, PBO ベースの MTTG をおこなう. この時, 目標故障の検出数を最大かつ消費電力閾値以下になるように PBO を定式化する.

本論文の構成は以下のとおりである. 第 2 章では, セル内の欠陥や 2 サイクルゲート網羅故障モデルについて説明し, 第 3 章では, 消費電力見積もり計算手法として WSA について説明する. 第 4 章では, 2 サイクルゲート網羅故障の低消費電力指向多重目標故障テスト生成手法を提案し, 第 5 章では, 実験結果について説明する. 最後に第 6 章でまとめと今後の課題について説明する.

2. セル内欠陥と 2 サイクルゲート網羅故障モデル

本章では、本論文で着目しているセル内の欠陥とセル内の欠陥をモデル化した 2 サイクルゲート網羅故障モデルについて説明する。2.1 節でセル内の欠陥について説明し、2.2 節で 2 サイクルゲート網羅故障モデルについて説明する。

2.1 セル内欠陥

通常の VLSI テストの場合、信号線における欠陥をモデル化した縮退故障やオープン故障、ブリッジ故障、遷移故障などに対してテストをおこなう。しかしながら、車載や医療など人命に関わる製品に対するミッションクリティカルな VLSI は通常のテストに比べ、高品質なテストが要求される。このような場合、信号線における欠陥以外にセル内の欠陥も考慮する必要がある。

本論文では、セル内欠陥によりセルの出力信号線の値が遷移する際に遅延が発生する故障に着目している。

図 1 に CMOS 構成の NAND ゲートにおけるセル内の欠陥によりセルの出力信号線の値が遷移する際に遅延が発生する故障例を示す。

図 1 内の信号線値は(1 時刻目の値, 2 時刻目の値)である。また、各トランジスタは 2 時刻目の状態である。入力 B における PMOS トランジスタに半断線欠陥が存在すると仮定する。図 1 の半断線欠陥は完全に断線してはいないため、伝搬はされるが正常時に比べ、遅れて伝搬されることが前提である。1 時刻目において入力 B の値は 1 より PMOS トランジスタは OFF となり、欠陥の影響を受けず、出力 Y に正常値の 0 が出力される。2 時刻目において入力 B の値は 0 より PMOS トランジスタは ON となり、欠陥の影響を受け、出力 Y は 1 時刻目の値である 0 を次の信号線に伝搬し、遅れて 2 時刻目の正常値 1 が出力 Y に伝搬される。したがって、その遅延により FF に伝搬される値が次のクロックのキャプチャタイミングに間に合わず、正常値とは異なる値が取り込まれる。

次に、信号線における遷移故障とセル内の欠陥によりセルの出力信号線の値が遷移する際に遅延が発生する故障の違いを述べる。例えば、図 1 の 2 入力 NAND ゲートの出力信号線 Y に欠陥が存在し、値が 0 から 1 に遷移する場合に遅延が発生したとする。ある信号線において 0 から 1 への遷移が遅延する故障を立上り遷移故障(slow-to-rise: STR)という。信号線 Y における立上り遷移故障を励起する場合は、信号線 Y に(1 時刻目, 2 時刻目)=(0,1)を割当てられるような入力を与えればよい。NAND ゲートの場合、(1 時刻目の入力 AB, 2 時刻目の入力 AB)=(11,00),(11,01),(11,10)のいずれかを割当てることで信号線 Y における立上り遷移故障は故障励起が可能である。しかしながら、セル内の欠陥によりセルの出力信号線の値が遷移する際に遅延が発生する故障の場合、欠陥箇所依存する。例えば、図 1 のセル内欠陥により出力 Y の値が 0 から 1 に遷移する時間が遅延する場合は、2 時刻目の入力 AB=(00),(01)の場合は入力 A 側の PMOS トランジスタが ON となり、欠陥に影響を受けないため、出力 Y に正常値の 1 が伝搬される。しかしながら、2 時刻目の入力 AB=10 の場合は A 側の PMOS トランジスタが OFF となり、B 側の PMOS トランジスタが ON になるため、遅延欠陥が影響し、出力 Y は 1 時刻目の値 0 を次の信号線に伝搬し、

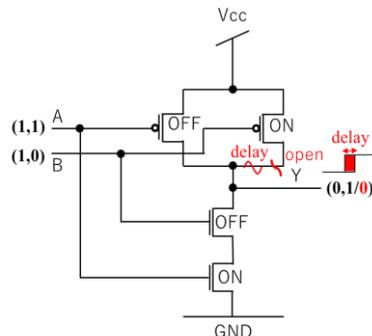


図 1. CMOS 構成の 2 入力 NAND ゲートにおけるセル内欠陥により遅延が発生した例

遅れて 2 時刻目の正常値の 1 が出力 Y に伝搬される。

以上のことから、信号線における遷移故障の場合では複数の入力パターンで故障励起可能であるが、セル内欠陥によりセルの出力信号線の値が遷移する際に遅延が発生する故障の場合では、特定の入力パターンでのみ故障励起可能な場合があり、通常の信号線における遅延故障と比べ、故障励起が困難である。また、セル内の欠陥を励起する場合はレイアウト解析をおこない、どのトランジスタで欠陥が発生しているかを解析する必要がある。したがって、本論文では、レイアウト解析をおこなわずにセル内欠陥によるセルの出力信号線の値が遷移する際に遅延が発生する故障に着目しており、この故障を 2 サイクルゲート網羅故障モデル[3]とする。次に 2 サイクルゲート網羅故障モデルについて説明する。

2.2 2 サイクルゲート網羅故障モデル

2 サイクルゲート網羅故障モデル[3]は各ゲートにおける出力信号線の値が遷移する場合に各ゲートの全入力パターンで出力信号線の値が遅延する故障を定義しており、セル内の欠陥によりセルの出力信号線の値が遷移する際に遅延が発生する故障を網羅する。

表 1 に 2 入力 AND の 2 サイクルゲート網羅故障集合を示す。出力信号線の値が遷移する場合の各入力パターンにおいて故障を定義するため、ゲートの入力数を n とした場合、2 サイクルゲート網羅故障数は $2 \times (2^n - 1)$ 個となる。表 1 の 2 サイクルゲート網羅故障数は $2 \times (2^2 - 1) = 6$ である。 f_1 から f_3 は、ゲート遅延により、出力信号線が 0 から 1 に遷移する時間が遅延した故障であり、 f_4 から f_6 は出力信号線が

表 1. 2 入力 AND ゲートにおける 2 サイクルゲート網羅故障集合

Fault ID	input		output	
	1-time	2-time	1-time	2-time
f_1	00	11	0	1/0
f_2	01	11		
f_3	10	11		
f_4	11	00	1	0/1
f_5	11	01		
f_6	11	01		

1 から 0 に遷移する時間が遅延した故障である。また、各ゲートの 2 サイクルゲート網羅故障集合は同一のテストベクトルでは検出されない独立故障集合[13]である。

3. WSA

本論文では、実速度スキャンテスト方法の 1 つである LoC 方式を用いる。実速度スキャンテスト特有の消費電力として、シフト時消費電力[14]とキャプチャ時消費電力[14]が挙げられる。本章では、VLSI の消費電力の見積もり手法である WSA について説明する。

VLSI の消費電力の見積もり手法として、消費電力と相関が高く、計算が容易な WSA が広く用いられている[14]。本論文では、WSA を用いる。WSA は電源電圧、動作周波数、負荷容量などを考慮した厳密な消費電力計算をおこなわず、ゲートの出力信号線の遷移数から消費電力の見積り値を計算する。式(1)に WSA の計算式を示す。

$$WSA(v_j) = \sum_{i=1}^G tran(g_i) \times (1 + fanout(g_i)) \quad (1)$$

式(1)において、 v_j はテストベクトル、 G は回路内に含まれる総ゲート数である。 $tran(g_i)$ はゲート g_i の出力値に遷移が発生している場合は 1 を返し、遷移が発生していない場合は 0 を返す関数である。 $fanout(g_i)$ はゲート g_i の分岐信号線数を返す関数である。1 は遷移が発生したゲートの重み付けのために足し込まれる。1 つのテストベクトルに対する回路全体の WSA 値は、回路内の各ゲートの WSA 値の合計として算出される。WSA 値が小さいテストベクトルほど値が遷移された信号線の数が少ない。すなわち、消費電力が低いことを示す。

4. 2 サイクルゲート網羅故障テストの低消費電力指向多重目標故障テスト生成法

本章では、本論文の提案手法である 2 サイクルゲート網羅故障のための低消費電力指向テスト生成法を説明する。本論文では、PBO を用いて消費電力を考慮する。4.1 節で PBO について説明し 4.2 節で低消費電力を考慮する制約の定式化について説明し、4.3 節に 2 サイクルゲート網羅故障の低消費電力指向テスト生成法のアルゴリズムについて説明する。

4.1 PBO

擬似ブール最適化(Pseudo Boolean Optimization: PBO)は、与えられたすべてのブール制約を充足し、最適化関数を最小化するブール変数割当てを求める最適化問題である。割当てが存在する場合は充足可能(Satisfiable: SAT)となり、そうでない場合は充足不可能(Unsatisfiable: UNSAT)となる。

4.1 信号線抑制制約と消費電力閾値

キャプチャ時消費電力を削減するためには、信号線の遷移を抑制する必要がある。しかしながら、遷移抑制制約は故障の検出を妨げる可能性がある。そのため、緩和変数を用いて遷移抑制制約の定式化をおこなう。式(2)に信号線 x の遷移抑制制約の定式化を示す。

$$Const_{trin}: sw + x1 \cdot x2 + \overline{x1} \cdot \overline{x2} = 1 \\ sw, x1, x2 \in \{0,1\} \quad (2)$$

式(2)における $x1$ は 1 時刻目の変数、 $x2$ は 2 時刻目の変数、 sw は緩和変数である。 $(x1, x2) = ((0,0), (1,1))$ において式(2)は充足可能である。 $x1 \cdot x2 + \overline{x1} \cdot \overline{x2}$ が充足不可能な場合は、 sw に 1 を割当てることで充足させる。

これらの遷移抑制制約を正常回路の全信号線に対して構築し sw の総和を求めることで WSA 値を算出することが可能である。本論文では、テスト生成時に WSA 値を消費電力閾値以下にする制約を追加することで、キャプチャアンセーフテストベクトルを生成しない。消費電力制約式を式(3)に示す。

$$Const_{WSA} = \sum_{i=1}^N sw_i \leq WSA_{th} \quad (3)$$

式(3)における N は緩和変数の個数、 sw_i は各信号線における緩和変数、 WSA_{th} は WSA 閾値を示す。

4.3 2 サイクルゲート網羅故障の低消費電力指向テスト生成法

本節では、提案手法である 2 サイクルゲート網羅故障の低消費電力多重目標故障テスト生成法のアルゴリズムを述べる。図 2 に全体アルゴリズムを示す。入力は回路 C 、消費電力閾値 WSA_{th} である。出力はテスト集合 T_{set} 、テスト不能故障集合 UTF_{set} 、アンセーフ故障集合 HPF_{set} 、検出故障集合 DF_{set} である。また、故障集合を F_{set} 、目標故障集合を TF 、制約式を ϕPBO 、PBO ソルバーの解を $Solution$ 、テストベクトルを tv とする。はじめに、テスト集合を初期化する(1 行目)。次に、回路から 2 サイクルゲート網羅故障集合 F_{set} を作成する(2 行目)。次に、故障ごとにテスト不能故障であるか否かを判断し、テスト不能故障の場合は UTF_{set} に追加する(3 行目)。次に、テスト不能故障と判断された故障を F_{set} から削除する(4 行目)。次に、残りの故障からさらにアンセーフ故障を探索し、 F_{set} から削除する(5,6 行目)。次に、残りの故障を未検出故障集合とし、未検出故障集合がなくなるまで 8 行目~13 行目までの工程を繰り返しテスト生成をおこなう(7 行目)。はじめに未検出故障集合から目標故障 TF を選択する(8 行目)。次に TF に対して制約式 ϕPBO を作成する(9 行目)。次に、 ϕPBO を満たすような解 $Solution$ を探索する(10 行目)。次に、 $Solution$ からテストベクトル tv を生成する(11 行目)。そして、 tv に対して故障シミュレーションをおこなない、検出された故障は DF_{set} に追加し、 F_{set} から削除する(12 行目)。最後に T_{set} に tv を追加する(13 行目)。全ての未全ての未検出故障を検出した後、 T_{set} 、 UTF_{set} 、 HPF_{set} 、 DF_{set} を返し終了する(15 行目)。

図 2. 全体アルゴリズム

```
Algorithm Low-Power Oriented Multiple Target Test Generation for 2cycle Gate Exhaustive Fault
Input : Circuit C, WSA WSAth
Output : Test set Tset, Untestable fault set UTFset, High-power Fault set HPFset, Det fault set DFset

1. Tset = φ
2. Fset = 2cycle_gate_exhaustive_fault_set(C);
3. UTFset = Untestable_Delete(C, Fset);
4. Fset = Fset - UTFset;
5. HPFset = High_Power_Fault_Delete(C, Fset, WSAth);
6. Fset = Fset - HPFset;
7. while (Fset ≠ φ) then
8.   TF = Fault_Selection(C, Fset);
9.   φPBO = PBO_Test_Generation(C, TF, WSAth);
10.  Solution = Solver(φPBO);
11.  tv = Generation_Test_Vector(Solution);
12.  (Fset, DFset) = Fault_Simulation(C, tv, Fset);
13.  Tset = Tset ∪ tv;
14. endwhile
15. return(Tset, UTFset, HPFset, DFset);
16. end
```

5. 実験結果

本章では、実験結果について説明する。提案手法はC言語で実装され、Core i7-13700、16GBメモリ搭載のPCを用いて実験をおこなった。対象回路はISCAS'89ベンチマーク回路である。ソルバーとして、Clasp3.3.4[15]を使用した。また、WSA 閾値は総信号線の20%に設定した。

表2に実験結果を示す。表2において左から回路名、2サイクルゲート網羅故障数、MTTGでWSA閾値を満たしてテスト生成が成功された故障数、消費電力制約を入れずに充足不能になる故障数(図2の3行目)、アンセーフ故障数(図2の5行目)、テストパターン数、故障検出率、1回のテスト生成におけるソルバー制限時間である。また、各故障数の括弧内の割合は全故障数の内の割合である。

表3から、2サイクルゲート網羅故障の内、平均で55.93%が消費電力制約を入れずに充足不能になる故障である。また、アンセーフ故障は平均で2.99%の割合で存在する。しかしながら、アンセーフ故障数が0である回路も複数存在する。アンセーフ故障数が0である原因として、2サイクルゲート網羅故障モデルは他の故障モデルに比べ、故障励起時の制約が多いため、元々、消費電力制約を入れずに充足不能になる故障が非常に多いからであると考えられる。またこれらの原因により、故障検出率は他の故障モデルに比べ非常に低いことがわかる。

6. まとめと今後の課題

本論文では、2サイクルゲート網羅故障のための低消費電力指向多重目標故障テスト生成法を提案した。

実験結果から、2サイクルゲート網羅故障数は平均で55.93%が消費電力制約を入れずに充足不能になることがわかった。テスト不能故障が多い原因として、故障励起時に他の故障モデルに比べ、制約数が多いことだと考えられる。

また問題点として、テスト生成時間が長いことが挙げられる。

今後の課題は、本論文ではCNF式で制約式を記述していたが、ゲートの制約式をさらに簡略化し、テスト生成時間の削減に試みることである。

参考文献

- 1) 藤原秀, デジタルシステムの設計とテスト, 工学図書株式会社, 東京, 2004, pp 135-135.
- 2) K.Y. Cho, S. Mitra, and E.J. McClusky, "Gate Exhaustive Testing", IEEE International Confere

nce on Test, Austin, USA, Nov.2005, no.31.3, p p.1-7.

- 3) Irith Pomeranz, "Efficient Identification of Undetectable Two-Cycle Gate-Exhaustive Faults", Proc. of IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2022, Volume:41 Issue 3.
- 4) G. Tromp, "Minimal Test Sets for Combinational Circuits," IEEE International Conference on Test, no.7.3, pp.204-209, Nashville, USA, Oct.1991.
- 5) J.S. Chang, and C.S. Lin, "Test set compaction for combinational circuits," Browse Journals&Magazines, vol.14, Issue.11, pp.1370-1378, Nov 1995.
- 6) J.Savir, and S.Patil "On Broad-Side Delay Test" VLSI Test Symposium, " pp.284-290 1994.
- 7) L. -T. Wang, C. -W. Wu and X. Wen "VLSI Test Principles and Architectures," Design for Testability, San Francisco, CA, USA., 2006.
- 8) J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Ireepakash and M. Hachinger, "A case study of IIR-drop in structured at-speed testing," Proc. ITC, pp. 1098-1104, 2003.
- 9) Y. Zorian, "A Distributed BIST Control Scheme for Complex VLSI Devices," Proc. VTS, pp. 4-9, 1993.
- 10) Vasco Manquinho, Ruben Martins, and Ines Lynce, "Improving Unsatisfiability-Based Algorithms for Boolean Optimization," Theory and Applications of Satisfiability Testing-SAT 2010
- 11) 三浦怜, 細川利典, 山崎紘史, 吉村正義, 新井雅之"低消費電力指向多重目標故障テスト生成法"ディベンダブルコンピューティング研究会, 2021年12月, 信学技法, vol 121, no.293, DC-2021-55, pp.1-6
- 12) X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo and K. K. Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," Proc. ETS, pp. 55-60, 2008
- 13) S. B. Akers, C. Joseph, and B. Krishnamurthy, "On the Role of Independent Fault Sets in the Generation of Minimal Test Sets", in Proc. Intl. Test Conf, 1987, pp.1100-1107.
- 14) A.Krstic, and K-T.Cheng, "Delay Fault Testing for VLSI Circuits," Springer, 1998.
- 15) M. Gebser, B. Kaufmann, A. Neumann, and T. Schaub, "Conflict-Driven Answer Set Solving," IJCAI, pp.386-392, Hyderabad, India, January 2007

表3. 実験結果

回路名	2サイクルゲート網羅故障数	検出故障数	テスト不能故障数	アンセーフ故障	テストパターン数	故障検出率 [%]	打ち切り時間 [s]
s1494	5310	219 (4.12%)	4136 (77.89%)	955 (17.98%)	17	4.12	10
s5378	13502	6556 (48.56%)	6946 (51.44%)	0 (0.00%)	872	48.56	60
s9234	23102	13533 (21.26%)	9569 (71.58%)	0 (0.00%)	1428	58.58	120
s15850	37856	16749 (44.24%)	21107 (55.76%)	0 (0.00%)	343	44.24	120
s38417	89458	71748 (80.20%)	17710 (19.80%)	0 (0.00%)	NA	80.20	120
s38584	106194	43456 (40.92%)	62738 (59.08%)	0 (0.00%)	NA	40.92	120