

レジスタ転送レベルでの診断情報を用いた 高診断分解能指向テスト生成法

日大生産工（院） ○千田 祐弥 日大生産工 細川 利典
明治大学 山崎 浩二

1. まえがき

半導体微細化技術の進歩に伴い、超大規模集積回路（Very Large Scale Integrated circuits : VLSI）において、異常動作の物理的な原因を特定する故障解析[1]は、歩留まりの向上のために重要である。故障解析では、電子顕微鏡などを用いて故障VLSI内部の観測を行うため、多大なコストを要する。そのため、故障VLSIに存在する可能性のある故障を事前に絞り込んでおく故障診断[2]が、故障解析コストの低減のために重要となる。故障診断の実施により、故障VLSIの異常な外部出力応答を裏付けることのできる故障が推定される。

診断分解能を向上させる手法として二種類の手法が提案されている。一つは、高診断分解能を指向したテスト生成[3][4]である。故障診断では、テスト集合を用いて故障を推定するため、テスト集合の診断品質が重要となる。組合せ回路やスキャン設計[1]された回路に関しては、高い故障検出率を達成するテスト集合の生成が可能となっている[5-11]。しかしながら、高い故障検出率を達成するテスト集合が必ずしも高い故障診断分解能を達成するとは限らない[12][13]。故障診断分解能向上のためには、高故障検出率かつ多くの故障ペアを識別可能なテスト集合が必要である[14]。文献[4]は、高故障活性化率を達成するテスト集合が様々な故障モデルの高故障検出率の達成と故障の影響を検出する外部出力が多様であることに着目し[15]、各故障の故障活性化率が閾値以上になるようにテスト生成を実施することで診断分解能を向上させている。

診断分解能向上のための二つ目の手法として、故障診断容易化設計(Design for Diagnosability : DFD)手法[14][16]が提案されている。文献[16]では、抽象度の高いレジスタ転送レベル(Register Transfer Level : RTL)に着目したDFD手法を提案している。RTL回路は、データバスとコントローラから成り、データバスからコントローラへの状態信号とコントローラからデータバスへ送られる制御信号が互いに接続されている。コントローラは有限状態機械で設計されていると仮定し、状態遷移時に制御信号値がデータバスに供給される。それらの制御信号値には多数のドントケア(X)が含まれており、設計の自由度が存在する。一般に、論理合成時には面積の最小化を指向してXに論理値が割当てられるが、文献[16]では、各状態遷移におけるRTLデータバスの誤り経路追跡[17]による被疑故障信号線数の削減を指向してXに論理値を割当てて、ランダムテストパターンによる故障診断で制御信号のX割当ての有効性を示している。

しかしながら、文献[16]では、誤りが観測される観測点の組合せを網羅していないため、欠陥箇所や使用

するテスト集合によっては誤りが検出される観測点に偏りが生じ、被疑故障数が増大する可能性がある。

本論文では、フルスキャン設計かつDFDが施された回路を対象とした高診断分解能指向テスト生成法を提案する。本手法はRTLのDFD情報を利用することで、高診断分解能のテスト集合の生成が可能である。RTLデータバスの信号線のテスト可能性を解析する手法として構造的記号シミュレーション[15]が提案されている。構造的記号シミュレーションにより、各状態遷移でテスト可能な信号線およびその観測点の列挙が可能である。多くの信号線が識別可能となるようにDFDを施した後、状態値、観測点、状態信号値、制御信号値を制約として与え、各状態遷移でテスト生成を実施する。テスト生成時には、各状態遷移の制約下でテスト可能な故障を観測可能なすべての観測点で1回以上検出するテスト集合を生成することで、DFDに基づくテスト生成を実行する。生成したテスト集合を用いて、後述する識別不能故障集合を算出し、その集合数とその要素数を用いて診断分解能を評価する。

本論文の構成は以下の通りである。第2章で、故障診断における前提知識、第3章で提案手法について述べ、第4章で実験結果、第5章で今後の課題を述べる。

2. 前提知識

本章では、故障診断における技術用語を定義する。

A. テスト可能信号線

（定義1：構造的記号シミュレーション）

以下に述べる手続き1～手続き4までの処理を状態遷移stにおける構造的記号シミュレーションという。

（手続き1）：レジスタの出力信号線、定数の出力信号線、外部入力に接続している信号線に制御可能なシンボル（Cシンボル）を割当てる。また、制御信号線に状態遷移stの制御信号値を割当てる。

（手続き2）：下記の伝搬規則1～3にしたがって、Cシンボルを出力方向へ伝搬する。

- ・伝搬規則1：マルチプレクサの制御信号値に対応する入力信号線にCシンボルが割当てられているとき、その出力信号線にCシンボルを割当てる。
- ・伝搬規則2：演算器のすべての入力信号線にCシンボルが割当てられているとき、その出力信号線にCシンボルを割当てる。

A High Diagnostic Resolution Oriented Test Generation Method Using Diagnostic Information at Register Transfer Level

Yuya CHIDA, Toshinori HOSOKAWA and Kouji YAMAZAKI

・**伝搬規則 3** : 分岐点において、分岐元信号線にCシンボルが割当てられているとき、その分岐先信号線にCシンボルを割当てる。

(手続き 3) : ホールド機能のないレジスタの入力信号線、ホールドレジスタうち制御信号値がロードモードであるホールドレジスタの入力信号線、外部出力に接続している信号線に観測可能なシンボル(Oシンボル)を割当てる。

(手続き 4) : 下記の伝搬規則 4～6 にしたがって、Oシンボルを入力方向へ伝搬する。

・**伝搬規則 4** : 出力信号線にOシンボルが割当てられているマルチプレクサにおいて、制御信号値に対応する入力信号線にOシンボルを割当てる。

・**伝搬規則 5** : 出力信号線にOシンボルが割当てられている演算器において、ある入力信号線以外のすべての入力信号線にCシンボルが割当てられているとき、その入力信号線にOシンボルを割当てる。

・**伝搬規則 6** : 分岐先信号線にOシンボルが割当てられているとき、その分岐元信号線にOシンボルを割当てる。

(定義2 : 状態遷移 st でテスト可能な信号線)

状態遷移 st で構造的記号シミュレーションを実行し、CシンボルとOシンボルの両方が割当てられている信号線を状態遷移 st でテスト可能な信号線という。

(定義3 : 状態遷移 st におけるレジスタRのテスト可能なロードモード故障)

状態遷移 st でデータパスの構造的記号シミュレーションを実行し、 st でレジスタRの制御信号値がホールドモードかつ、Rの入力信号線にCシンボルが割当てられているとき、Rの制御信号に発生したロードモード故障を状態遷移 st によってテスト可能なロードモード故障という。

(定義4 : 状態遷移 st におけるレジスタRのテスト可能なホールドモード故障)

状態遷移 st でデータパスの構造的記号シミュレーションを実行し、 st でレジスタRの制御信号値がロードモードかつ、Rの入力信号線にCシンボルが割当てられているとき、Rの制御信号に発生したホールドモード故障を状態遷移 st によってテスト可能なホールドモード故障という。

(定義5 : 状態遷移 st によって PO_i -テスト可能な信号線)

状態遷移 st でデータパスの構造的記号シミュレーションを実行し、 st でテスト可能な信号線の観測点が外部出力(レジスタの入力) PO_i であるとき、 PO_i -テスト可能な信号線という。

B. RTLで識別可能な信号線ペア

状態遷移 st において二つの信号線A,Bを識別するためには以下の二つの条件のいずれかを満たす必要がある。

・**条件 1** : AとBがテスト可能かつAの観測点集合とBの観測点集合が一致しない

・**条件 2** : AまたはBのどちらか一方のみがテスト可能である

また、二つの信号線A,Bを識別するためには条件 3 または条件 4 のいずれかを満たす状態遷移ペア(st_i, st_j)が必要である。

・**条件 3** : Aが st_i でテスト可能で、Bが st_j でテスト可能であり、かつAの観測点集合とBの観測点集合が一致しない

・**条件 4** : st_i または st_j においてAまたはBのどちらか一方のみがテスト可能である

C. ゲートレベルで識別可能な故障ペア

二つの故障 f_1, f_2 を識別するためにはテスト集合内に以下の二つの条件のいずれかを満たすテストパターンが必要である。

・**条件 5** : f_1 を検出した観測点集合と f_2 を検出した観測点集合が一致しない

・**条件 6** : f_1 または f_2 のどちらか一方のみを検出する

D. RTL信号線テスト情報

信号線Sが状態遷移 st によって外部出力 poi と poj でテスト可能であるとき、($st, \{poi, poj\}$)をSのRTL信号線テスト情報と呼ぶ。また、SのRTL信号線テスト情報の集合をSのRTL信号線テスト情報集合と呼ぶ。

E. 故障検出情報

故障 f がテストパターン t によって観測点 poi と poj で検出されたとき、($t, \{poi, poj\}$)を f の故障検出情報と呼ぶ。また、 f の故障検出情報の集合を f の故障検出情報集合と呼ぶ。

F. RTLの識別不能信号線集合

状態遷移集合 ST が与えられたとき、 $st_i (i \in ST)$ で構造的記号シミュレーションを実行し、各信号線のRTL信号線テスト情報集合を生成する。RTL信号線テスト情報集合の要素がすべて一致した(条件 3 または条件 4 を満たさない)信号線から構成される集合をRTLの識別不能信号線集合と呼ぶ。

G. ゲートレベルの識別不能故障集合

テスト集合 T が与えられたとき、 $t_i (i \in T)$ で故障シミュレーションを実行し、各故障の故障検出情報集合を生成する。故障検出情報集合の要素がすべて一致した(条件 5 または条件 6 を満たさない)故障から構成される集合をゲートレベルの識別不能故障集合と呼ぶ。以下に算出例を示す。

PO_1, PO_2 を外部出力とする。テスト集合 $T = \{t_1, t_2\}$ を印加し、故障 f_1, f_2, f_3, f_4 の故障シミュレーションを実行する。その結果、 t_1 によって f_1, f_2 が PO_1 で検出され、 t_2 によって f_1, f_2, f_3 が PO_1 、 f_3, f_4 が PO_2 で検出されたとする。このとき、 $\{f_1, f_3\}, \{f_1, f_4\}, \{f_2, f_3\}, \{f_2, f_4\}$ は前述の条件 6 により識別可能である。また、 $\{f_3, f_4\}$ は条件 5 より識別可能である。一方、 $\{f_1, f_2\}$ は条件 5 および条件 6 を満たさないため識別不能である。したがって、テスト集合 T の識別不能故障集合として $\{f_1, f_2\}, \{f_3\}, \{f_4\}$ の三つの集合が算出される。集合数が多く、集合の要素数が少ないほど診断分解能が高いと評価される。

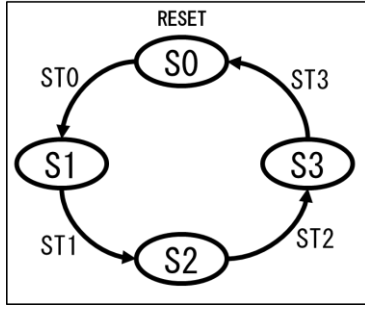


図1. コントローラ

表 1. 構造的記号シミュレーションによって得られたテスト可能信号線と観測点

module name	observable_po (ST0)	observable_po (ST1)	observable_po (ST2)	observable_po (ST3)
ADD0_input0		REG1	REG1	
ADD0_input1		REG1	REG1	REG1
ADD0_output		REG1	REG1	
mux1_input0	REG1			
mux1_input1		REG1	REG1	REG1
mux1_output	REG1	REG1	REG1	REG1
REG0_input	REG0	REG0	REG0	REG0
REG0_output	g	REG1.g	REG1.g	
REG1_input	REG1	REG1	REG1	REG1
REG1_output		REG1	REG1	
REG2_input	REG2	REG2	REG2	REG2
REG2_output		REG0		REG2

```

1. Diagnostic_ATPG( M, PO, C, ST )
2. {
3.   T = ∅;
4.   for( each st ∈ ST )
5.   {
6.     Fst = testability(mst, M, C, st);
7.     while(Fst ≠ ∅)
8.     {
9.       select fst ∈ Fst;
10.      for( each pofst ∈ PO )
11.      {
12.        t = NULL;
13.        t = CONST_ATPG(fst, pofst, C, st);
14.        if (t ≠ NULL)
15.        {
16.          Fst = fault_simulation(Fst, PO, C, t);
17.          T = T ∪ t;
18.        }
19.      }
20.    }
21.  }
22.  return T;
23. }

```

図 2. 全体アルゴリズム

3. 高診断分解能指向テスト生成法

本章では、故障診断容易化設計が施された回路に対して、より多くの故障を識別するためのテスト生成法について提案する。3.1 節で概要を説明し、3.2 節でアルゴリズムを説明する。

3.1. 概要

本手法は、RTL の DFD 情報を用いてテスト生成を行うことで、多くの故障が識別可能となるテスト集合の生成を目的とする。したがって、DFD によってコントローラに X 割当てされた回路を前提とする。なお、コントローラの設計によっては制御信号値がすべて X の無効状態が設計されることがあるが、無効状態でのテスト生成は本手法の目的から外れるため、無効状態でのテスト生成は行わないものとする。

また、本手法はフルスキャン設計された回路を前提とし、対象故障は縮退故障である。

コントローラの状態値と状態信号値、制御信号値を制約として与え、各状態遷移でテスト生成を行う。故障は検出される外部出力が異なる場合に識別可能であることから（条件 5 および条件 6）、各状態遷移のテスト生成時には構造的記号シミュレーションによって得られたテスト可能信号線および観測可能な外部出力（レジスタ）の組合せを用いる。RTL のテスト可能信号線に対応するゲートレベルの信号線の故障を目標故障とし、RTL の観測可能な外部出力（レジスタ）に属するゲートレベルの外部出力で目標故障が検出されるようにテスト生成を実施する。例えば、状態遷移 st のとき信号線 S が観測点 REG0 でテスト可能であったとする。このとき、REG0 に対応するいずれかの観測点で S の故障が検出されるようにテスト生成を行う。テスト生成の効率化のために各状態遷移の制約の下で可検査性尺度[1]を算出し、テスト不能である故障は目標故障から削除する。

3.2. アルゴリズム

図 1 のコントローラは S0, S1, S2, S3 の四つの状態と ST0, ST1, ST2, ST3 の四つの状態遷移で構成されている。DFD に基づいた X 割当てに対応した構造的記号シミュレーションの結果の一部を抜粋し表 1 に示す。表 1 には、モジュール名とそのモジュールがテスト可能な状態遷移、そのときの観測点が記載されている。

はじめに、状態遷移 ST0 のテスト生成を行う。ST0 とその制御信号値を制約として与え、テスト可能モジュールと観測点の組み合わせについてテスト生成を実施する。モジュール m_i が RTL の観測点 PO_i, PO_j で観測可能であるとき、{m_i, (PO_i, PO_j)} と表現する。表 1 より、{mux1_input0, (REG1)}, {mux1_output, (REG1)}, {REG0_input, (REG0)}, {REG0_output, (g)}, {REG1_input, (REG1)}, {REG2_input, (REG2)} が ST0 のときのテスト可能モジュールと観測点の組み合わせである。テスト可能モジュールに属する信号線を目標故障とし、それぞれが観測可能なすべての観測点で検出されるまでテスト生成を実施する。ST1, ST2, ST3 についても同様にテスト可能モジュールと観測点のすべての組み合わせについてテスト生成を実施する。

図 2 に全体アルゴリズムを示す。M は構造的記号シミュレーションによって得られた各状態遷移のテスト可能モジュール、PO は各状態遷移でテスト可能なモジュールの観測点を持ち、M に対応している。C は回路、ST は各状態遷移の制約値を示す。ST は有向状態におけるすべての状態遷移の状態割当て値、状態信号値、制御信号値を持つ。

まず、テスト集合 T を空集合に初期化する（行 3）。ST から st を一つ選択し、行 5 から行 20 をループする（行 4）。st のテスト可能モジュール m_{st} (∈ M) について可検査性尺度を計算し、st の目標故障 F_{st} を更新する（行 6）。F_{st} が空集合になるまで行 8 から行 19 をループする（行 7）。F_{st} から f_{st} を選択する（行 9）。PO から st でテスト可能な故障 f_{st} の観測点 po_{f_{st}} を選択し行 11 から行 19 をループする（行 10）。

circuit	#tp	size			#set	
		max	min	ave	total	size one
method1	304	5	1	1.966	2378	1024
method2	262	5	1	1.972	2349	981

図 3. 実験結果

テストパターン t を NULL に初期化する (行 1 2) . 状態遷移 st の制約の下, 観測点 po_{st} で目標故障 f_{st} が検出されるテストパターン t を生成する (行 1 3) . テスト生成に成功したとき, 行 1 6 と行 1 7 が実行される (行 1 4) . t で故障シミュレーションを実行し, 検出された故障を F_{st} から削除し, 故障が検出された外部出力を PO から削除する (行 1 6) . 生成されたテストパターン t を T に追加する (行 1 7) . 生成されたテスト集合 T を返す (行 2 2) .

4. 実験結果

本章では実験結果について示す. 本手法の適用にあたり, コントローラの制御信号値の X 割当てには文献[18]を使用した. MCNC ベンチマーク回路である ex1 を対象回路とし, 実験を行った.

図 3 に実験結果を示す. circuit は回路名, #tp はテストパターン数, size は識別不能故障集合のサイズ, #set は識別不能故障集合の数である. total は識別不能故障集合の合計数, size one は集合のサイズが 1 である識別不能故障集合の数である. method1 は多数の信号線が識別可能となるようにコントローラの制御信号値に X 割当てを実施し, method2 は識別可能な信号線数が少数となるようにコントローラの制御信号値に X 割当てを実施した. 実験結果より, method1 が method2 よりも識別不能故障集合の数が多く, 平均サイズが小さくなっている. また, method1 はサイズが 1 の識別不能故障集合数も多いため, 診断分解能が高いといえる.

5. むすび

本論文では, DFD 情報を用いたテスト生成法の有効性の検証を行った. 識別不能故障集合数は 29 個増加し, サイズが 1 の識別不能故障集合数は 43 個増加した. 今後の課題として, 大規模回路への適用, テストパターン数の削減が挙げられる.

文献

- [1] 藤原 秀雄, "デジタルシステムの設計とテスト", 工学図書株式会社, 2004.
- [2] V.Boppana and W. K. Fuchs, "Fault dictionary compaction by output sequence removal," Proc. ICCAD, pp.287-296, 2001.
- [3] Emmanuel Ovie Osimiry, Raimund Ubar, Sergei Kostin, Jaan Raik, "A novel random approach to diagnostic test generation", Circuits and Systems Conference, 2016.
- [4] 千田祐弥, 細川利典, 山崎浩二 "故障活性化率に基づく診断分解能向上指向テスト生成法"

ETNET2021, IEICE.

- [5] H.Fujiwara, and T.Shimono, "On the acceleration of test generation algorithms," Trans. on Computers, vol.32, pp.1137-1144, 1983.
- [6] M. Schulz, E. Trischler, and T. Serfert, "SOCRATES: A Highly Efficient Automatic TestPattern Generation System," IEEE trans. on Computer Aided Design of Integrated Circuits and Systems, Vol.7, No. 1, pp. 126 137, Jan. 1988."
- [7] M.Henftling, H.C.Wittmann, and K.J.Antreich, "A single-path-oriented fault-effect propagation in digital circuits considering multiple-path sensitization", International Conference on Computer-Aided Design, pp.304-309, 1995.
- [8] P.Goel, "An implicit enumeration algorithm to generate tests for combinational logic circuits," Trans. on Computers, vol.C-30, pp.215-222, 1981.
- [9] J.P.Roth, "Diagnosis of automata failures: A calculus and a method," IBM Journal of Research and Development, Vol.10, pp.278-291, 1966."
- [10] S.C Ma, P. Franco, and E.J. McCluskey, "An experimental chip to evaluate test techniques experiment result," Proc. 1995 International Test Conference, pp.663-672, Oct.1995.
- [11] S. M. Reddy, I. Pomeranz, and S. Kajihara, "On the effects of test compaction on defect coverage," Proc. 14th VLSI Test Symp., pp.430-435, April 1996.
- [12] L.T. and Wu, C.W. and Wen, X. Wang, VLSI Test Principles and Architectures: Design for Testability.: MORGAN KAUFMANN PUBL Incorporated, 2006.
- [13] Zhang Y. and Agrawal V. D., "A diagnostic test generation system," in 2010 IEEE International Test Conference., Nov 2010, pp. 1-9.
- [14] I.Pomeranz, S.Venkataraman, and S.M.Reddy: "Z-DFD:Design-for-Diagnosability Based on the Concept of Z-detection," Proc. Int. Test Conf., pp. 489-497, October 2004.
- [15] 細川利典 山崎浩二, 故障活性化率向上のための n 回検出テスト法," 電子 情報通信学会論文誌, pp. 1474 1482, 2007
- [16] T. Yamada and Y. Nakamura, "A Method of Diagnosing Single Stuck-AT Faults in Combinational Circuits," IEICE Trans. on Information & System, Vol. J74-D-I, No. 11, pp.774-780, 1991.
- [17]. K. Tsuchibuchi, T. Hosokawa and K. Yamazaki "A Don't Care Filling Method for Control Signal Values of Controllers to Enhance Fault Diagnosability at Register Transfer Level" 22nd Workshop on RTL and High Level Testing, 2021
- [18] 大塚裕衣, 千田祐弥, HAOFENG XU, 細川利典, 山崎浩二 "擬似ブール最適化を用いた故障診断容易化のためのコントローラの状態遷移出力のドントケア割当て法" 2022