

## 構造的記号シミュレーションによるテスト可能率 向上のためのドントケア割当て評価

日大生産工(院) ○豊岡雄大 三菱電機(株) 石山悠太 日大生産工 細川利典 京産大 吉村正義

### 1. はじめに

近年、超大規模集積回路(Very Large Scale Integrated circuits: VLSI)が社会の様々なシステムの中で利用されるようになり、医療機器、交通、自動車制御などの高い信頼性が要求されるものにも多く用いられている。一方で、半導体技術の発展により回路の複雑化、微細化、高速化が進み、製造ばらつきや回路の経年劣化への対応が問題となっている[1]-[3]。現在でもライフタイムの予測や出荷前の信頼性試験および寿命試験が行われているが、個々の回路により実際の使用状況や使用環境は異なっており、劣化の進み具合も変化するため、それらを事前に把握することは困難である。劣化による障害発生を防ぐ手段の一つとして、現状では動作マージン設計が行われている。しかしながら、動作マージンは回路の製造ばらつき、動作環境、使用年数などの最悪の場合を考慮しながら決定するため、過大な動作マージンとなって VLSI の性能を犠牲にする可能性がある[1]。それゆえ、製造テストに加えて、システムに VLSI が搭載された後のフィールドテストが重要となる。

フィールドテストは電源オン/オフの短い時間で VLSI を網羅的にテストすることが理想である。また、製造段階での面積制約を考慮する必要があるため、面積オーバーヘッドも重要な問題となる。そのため、データバスとコントローラから構成されるレジスタ転送レベル(Register Transfer Level: RTL)回路に対する非スキャン設計ベースのフィールドテストに焦点を当て、故障検出率の改善、小面積化、テスト実行時間の短縮を実現する手法が提案されている[4]。この手法では、故障検出率の向上を図るため、コントローラにおける  $n$  回状態遷移被覆[4]を用いて状態信号系列を生成している。しかしながら、文献[4]ではデータバスの動作に着目していないため、データバス中のハードウェア要素(レジスタ、マルチプレクサ、演算器、信号線など)のテストを十分に行うことができていないことが報告されている。また、文献[4]で提案されたコントローラの  $n$  回状態遷移被覆に基づく状態信号系列生成では、 $n$  の値が 2 を越えると故障検出率がほとんど向上しなくなり、その故障検出率も十分に高くないという課題を有している。

以上の理由から、本論文では、文献[5]で提案された  $n$  回  $k$  サイクル状態遷移被覆と呼ばれる  $k$  回連続で実行される状態遷移をすべて列挙し、それらをすべて実行可能であり、かつできる限り短い状態信号系列を生成する手法の状態信号系列を入力とする。文献[5]で提案された手法は故障検出率、データバスのテスト可能率、テスト実行回数を向

上させることができたことが報告されている。テスト可能率(テスト実行回数)と故障検出率との相関を評価する。通常コントローラが状態遷移時にデータバスに供給する制御信号に多数のドントケア(X)が含まれている。文献[5]では、X にランダムに論理値を割当てたコントローラを使用している。そのコントローラから、構造的記号シミュレーション[4]を実行し、テスト可能率やテスト可能実行回数を算出した。本論文では、コントローラの状態遷移における制御信号の X 割当てに着目し、X 割当てにより故障検出率、テスト可能率、テスト実行回数がどの程度変化するか評価する。

第2章では、フィールドテストについて述べる。第3章では文献[4]で提案された従来手法について述べる。第4章では、制御信号に含まれる X について述べる。第5章ではベンチマーク RTL 回路 maha を用いた実験結果を示す。最後に第6章で、結論と今後の課題について述べる。

### 2. フィールドテスト

#### 2.1. フィールドテスト

フィールドテストにおいて、システムのサービスを停止して行う VLSI のテスト方式をオフラインテストと呼ぶ。これに対して、システムのサービスを停止せずに行うテスト方式をオンラインテストと呼ぶ。本論文では、電源投入時などに行うオンラインテストを対象とする。

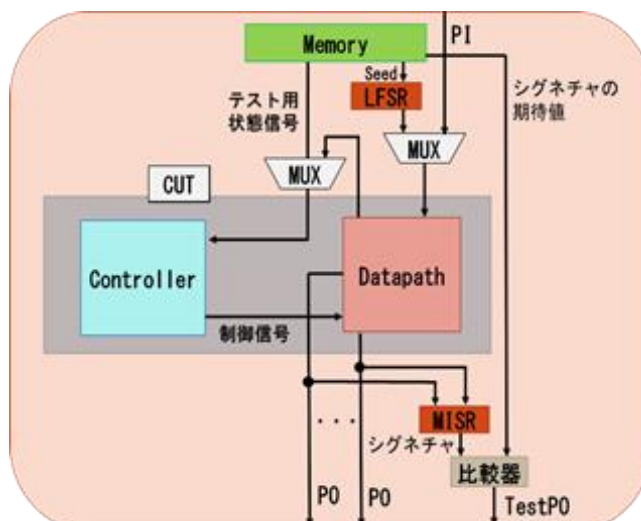


図 1. RTL フィールドテストの構造図

An Evaluation of Don't Care Filling for Controller Control Signals  
to Improve Testability Ratio Using Structure Symbol Simulation

Yudai TOYOOKA, Yuta ISHIYAMA, Toshinori HOSOKAWA and Masayoshi YOSHIMURA

## 2.2. フィールドテスト手法の概要

文献[4]では、従来のフィールドテスト手法で問題点として挙げられている面積、故障検出率、テスト実行時間に焦点を当て、これらを改善する3つのアプローチを組合せた手法が提案されている。まず1つ目のアプローチとして、非スキャンでの回路設計を行う。これにより、小面積かつ短時間でのテストを行うことができる。2つ目のアプローチとして、決定的パターンとランダムパターンを併用する。これにより、小面積で故障検出率の向上が期待できる。3つ目のアプローチとして  $n$  回状態遷移被覆を行う。この手法により、故障検出率の向上を図っている。

## 2.3. 非スキャン設計

一般に、現状のフィールドテストではスキャンテストが用いられることが多い。これは、テストパターンとしてランダムパターンを用いた場合でも、ある程度高い故障検出率が保証されているためである。しかしながら、スキャン FF は通常の FF と比較して面積が大きいため、回路が大きくなるほどスキャン FF に置き換える FF 数が増加し、面積オーバーヘッドが増大する。また、シフト動作時には各スキャン FF に値を設定するために、1つのスキャンチェーンに接続されているスキャン FF 数の最大数のサイクルが必要となる。したがって、シフト動作におけるテスト実行時間の増大という問題点も挙げられる。これらの理由から、文献[4]では非スキャンテストによるフィールドテストを対象としている。

## 2.4. RTL フィールドテストアーキテクチャ

これらのフィールドテスト手法を実現するために、RTL 回路に DFT を行う。図 1 に文献[4]で用いる RTL 回路の構造図を示す。図 1 における CUT は、コントローラとデータパスである。また、PRPG として LFSR、TRC として MISR を用いている。さらに、LFSR の初期値となるシード値やシグネチャの期待値、 $n$  回状態遷移被覆によって生成した状態信号系列をメモリから与える。コントローラの入力、データパスが出力する状態信号と、メモリに格納されているテスト用の状態信号とをマルチプレクサを用いて選択可能とする。データパスの状態信号線には故障影響が伝搬する可能性があるため、外部出力に分岐することで可観測性を向上させる。データパスの入力は、本来の外部入力と LFSR が出力するランダムテストパターンとをマルチプレクサにより選択可能とする。データパスの出力は、外部出力と MISR への入力に分岐する。MISR はデータパスの出力を圧縮し、シグネチャとして期待値とともに比較器に入力される。比較器は、シグネチャとその期待値との比較結果によって正常信号もしくは異常信号をテスト用外部出力へ出力する。

## 3. 構造的記号シミュレーション用いた評価手法

文献[4]では  $n$  回状態遷移被覆に基づく非スキャン設計フィールドテスト法が提案されている。しかしながら、データパスの動作に着目していないため、全てのハードウェア要素がテストできていない可能性がある。それゆえ、構造的記号シミュレーションを提案し、そのシミュレーションを用いて文献[4]の手法におけるデータパスの動作を解析する。データパスの構造と制御信号系列に基づいて行われるシミュレーションを構造的記号シミュレーション[8][9]と呼ぶ。構造的記号シミュレーションは、テスト実行可能なモジュールや信号線を判定するために実行される。

(定義 1 :  $k$  時間構造的記号シミュレーション)

以下に述べるデータパスの  $k$  時間展開モデルと制御信号系列に基づいて行われる処理を  $k$  時間構造的記号シミュレーションと呼ぶ。構造的記号シミュレーションは、データパスのハードウェア要素のテスト可能性を判定するための処理である。

ここで、ハードウェア要素とはデータパスのモジュール(演算器、レジスタ、マルチプレクサ)を接続する信号線と制御信号線における縮退故障のことである。

(定義 2 :  $C$  シンボル)

$C$  シンボルとは、各信号線に対して割当てられ  $C$  シンボルが割当てられた信号線は外部入力または定数から可制御であることを示す。データパスの時間展開数を  $k$ 、時刻  $t$  を 0 に設定し  $C$  シンボルの伝搬を行う。実行後、時刻  $t$  を 1 つインクリメントし、 $t < k$  が成り立つ限り  $C$  シンボルの伝搬を行う。

データパスの時間展開数を  $k$  とすると、時刻  $t$  を 0 に設定し、以下の手続き 1 と 2 を実行する。実行後、時刻  $t$  を 1 つインクリメントし、 $t < k$  が成り立つ限り、手続き 1 を繰り返し実行する。

(手続き 1)

定数の出力信号線、外部入力に接続している信号線に制御可能なシンボル ( $C$  シンボル) を割当てる。また、時刻  $t$  でコントローラから出力される制御信号値を制御信号線に割当てる。その後、下記の伝搬規則 1~7 にしたがって、 $C$  シンボルを外部入力から外部出力方向へ伝搬する。

(伝搬規則 1)

時刻  $t$  で、ある演算器のすべての入力信号線に  $C$  シンボルが割当てられている場合、時刻  $t$  でその演算器の出力信号線に  $C$  シンボルが割当てられる。

(伝搬規則 2)

時刻  $t$  で、あるマルチプレクサの制御信号線に論理値が割当てられ、かつ制御信号線の論理値に対応するマルチプレクサの入力信号線に  $C$  シンボルが割当てられている場合、時刻  $t$  で、そのマルチプレクサの出力信号線に  $C$  シンボルが割当てられる。

(伝搬規則 3)

時刻  $t$  で、あるレジスタの制御信号線に 1(ロードモード)が割当てられ、かつそのレジスタの入力信号線に C シンボルが割当てられている場合、時刻  $t+1$  で、そのレジスタの出力信号線に C シンボルが割当てられる。

(伝搬規則 4)

時刻  $t$  で、あるレジスタの制御信号線に 0(ホールドモード)が割当てられ、かつそのレジスタの出力信号線に C シンボルが割当てられている場合、時刻  $t+1$  で、そのレジスタの出力信号線に C シンボルが割当てられる。

(伝搬規則 5)

時刻  $t$  で、ある分岐元信号線に C シンボルが割当てられている場合、時刻  $t$  で、その分岐先のすべての信号線に C シンボルが割当てられる。

(伝搬規則 6)

時刻  $t$  で、あるマルチプレクサの全入力信号線に C シンボルが割当てられている場合、時刻  $t$  で、そのマルチプレクサの出力信号線に C シンボルが割当てられる。

(伝搬規則 7)

時刻  $t$  で、ある制御信号線を持たないレジスタの入力信号線に C シンボルが割当てられている場合、時刻  $t+1$  で、そのレジスタの出力信号線に C シンボルが割当てられる。

(定義 3 : 0 シンボル)

0 シンボルとは、各信号線に対して割当てられ 0 シンボルが割当てられた信号線は外部出力、または状態信号線で可観測であることを示す。

データパスの時間展開数を  $k$ 、時刻  $t$  を  $k-1$  に設定し 0 シンボルの伝搬を行う。実行後、時刻  $t$  を 1 つデクリメントし、 $t \geq 0$  が成り立つ限り 0 シンボルの伝搬を行う。

時間展開数を  $k$  とすると、時刻  $t$  を  $k-1$  に設定し、以下の手続き 3 と 4 を実行する。実行後、時刻  $t$  を 1 つデクリメントし、 $t \geq 0$  が成り立つ限り、手続き 2 を繰り返し実行する。

(手続き 2)

外部出力に接続している信号線と状態信号線に 0 シンボルを割当てる。その後、下記の伝搬規則 8~13 にしたがって、0 シンボルを外部出力から外部入力方向へ伝搬する。

(伝搬規則 8)

時刻  $t$  で、あるマルチプレクサにおいて、その出力信号線に 0 シンボルが割当てられ、かつその制御信号線に論理値が割当てられている場合、その制御信号線の論理値に対応するそのマルチプレクサの入力信号線に 0 シンボルを割当てる。

(伝搬規則 9)

時刻  $t$  で、ある演算器において、出力信号線に 0 シンボルが割当てられ、かつその演算器のある入力信号線以外の全ての入力信号線に C シンボルが割当てられている場合、その入力信号線に 0 シンボルを割当てる。

(伝搬規則 10)

時刻  $t$  で、ある制御信号線を持たないレジスタにおいて、その出力信号線に 0 シンボルが割当てられている場合、時刻  $t-1$  のそのレジスタの入力信号線に 0 シンボルを割当てる。

(伝搬規則 11)

時刻  $t$  で、ある分岐先信号線に 0 シンボルが割当てられている場合、その分岐元信号線に 0 シンボルを割当てる。

(伝搬規則 12)

時刻  $t$  で、ある制御信号線を持つレジスタにおいて、その出力信号線に 0 シンボルが割当てられ、かつ時刻  $t-1$  でそのレジスタの制御信号線に 1(ロードモード)が割当てられている場合、時刻  $t-1$  でそのレジスタの入力信号線に 0 シンボルを割当てる。

(伝搬規則 13)

時刻  $t$  で、ある制御信号線を持つレジスタにおいて、その出力信号線に 0 シンボルが割当てられ、かつ時刻  $t-1$  でそのレジスタの制御信号線に 0(ホールドモード)が割当てられている場合、時刻  $t-1$  でそのレジスタの出力信号線に 0 シンボルを割当てる。

(定義 4 : テスト可能な信号線)

時刻  $t$  で、ある信号線に C シンボルと 0 シンボルが割当てられている時、その信号線をテスト可能な信号線という。(定義 5: テスト可能なマルチプレクサの制御信号の故障)

時刻  $t$  で、あるマルチプレクサのある制御信号線  $m$  の値が  $\alpha \in \{0, 1\}$  である時、そのマルチプレクサの出力信号線がテスト可能な信号線でかつ  $m$  の値が  $\alpha$  である制御信号線に対応する入力信号線に C シンボルが割当てられていれば  $m$  の  $\alpha$  縮退故障はテスト可能である。

(定義 6 : テスト可能なレジスタの制御信号線の故障)

あるレジスタの制御信号線  $r$  の値が 1 である時、ロードモードとし、 $r$  の値が 0 である時、ホールドモードとする。

時刻  $t$  において  $r$  の値が 0 であり、 $r$  を制御信号線を持つレジスタの入力信号線と出力信号線に C シンボルが割当てられ、かつ時刻  $t+1$  においてそのレジスタの出力信号線がテスト可能であれば、 $r$  の 1 縮退故障はテスト可能である。

(定義 7 : テスト可能率)

回路全体のハードウェア要素や信号線の中でテスト可能なものの割合を百分率で表したものをテスト可能率という。

(定義 8 : テスト実行回数)

ある信号線がテスト可能である時刻数をその信号線のテスト実行回数という。

#### 4. コントローラに含まれる X

一般に、コントローラに含まれる制御信号には多数の X が存在している。この X は論理合成する際になるべく回路面積が小さくなるようにツールによって自動的に割当てが行われている。

文献[5]では、コントローラに 10000 回ランダムに X の割当てを行っているが、3 つの RTL ベンチマーク回路 kim, maha, sehwa の X の割当てによって、平均でテスト可能率は 15.45%、テスト実行回数は 14.85%改善されたことが示されている。また、これらのベンチマーク回路に含まれている制御信号の X の総数は約 250 個であり、X の割当ての場合の数と考え、探索できた割当て 10000 回は約  $1/10^{75}$  程しかない。

このように、X の割当てによってはテスト可能率及びテスト実行回数は大きく異なることから、未探索の割当てによってはさらにテスト可能率及びテスト実行回数を改善させることが可能な割当てが存在すると考えられる。

#### 5. 実験結果

本実験では、ベンチマーク RTL 回路 maha を対象回路とする。RTL 回路のコントローラの制御信号に含まれる X に対して 10000 回ランダムに X 割当てを行った。また、コントローラに対して 2 回 4 連続状態遷移被覆する信号系列を生成し、テスト可能率及びテスト実行回数の算出を行った。また、テスト可能率の分布からサンプリング回路として、合計 7 つの区間から各 1 回路ずつ回路を選択して、論理合成を行いゲートレベルに変換した。それらの回路に対して故障検出率の算出を行いテスト可能率及びテスト実行回数との相関を調べた。故障モデルは単一縮退故障および遷移故障であり、データパス及びコントローラ内の全故障を評価対象とする。故障検出率の算出には、内製の故障シミュレーションツールを用いた。また、論理合成には、Synopsys 社製の Design Compiler を用いた。

表 1 に対象とする RTL 回路での実験結果を示す。1 列目にテスト可能率の区間を示す。2 列目に区間に対応する回路の頻度を示す。3 列目にサンプリング回路のテスト可能率を示す。4 列目にサンプリング回路のテスト実行回数を示す。5 列目に縮退故障の故障検出率を示す。6 列目に遷移故障の故障検出率を示す。

表 1 の実験結果より、相関係数をそれぞれ算出したところ、テスト可能率の縮退故障に対しての相関係数は 0.50、遷移故障に対しての相関係数は 0.40 だった。

#### 6. むすび

本論文では、k 連続状態遷移被覆する状態信号系列を用いてランダムで 10000 回 X 割当てを行い、各頻度からサンプリング回路を論理合成した後故障検出率との相関係数を調べた。

表 1. サンプリング回路の故障検出率

テスト可能率 区間	頻度	テスト 可能率	テスト 実行回数	縮退故障 検出率	遷移故障 検出率
52-54	9772	53.06	24.16	78.10	71.31
54-56	18	55.10	26.69	79.97	72.72
56-58	15	57.14	36.31	79.26	71.19
64-66	172	65.31	38.83	81.50	73.99
66-68	17	67.35	41.84	79.31	72.00
68-70	5	69.39	42.92	79.26	71.19
70-72	1	70.41	31.43	80.84	74.13

求めた結果から、テスト可能率と故障検出率との間にはやや強い正の相関係数があると考えられる。今後の課題としては、より強い相関になるようにデータパスの信号線に重みを付けてテスト可能率の算出を行うことやテスト可能率を向上させるような制御信号の X 割当てを提案し、さらに故障検出率を増加させることが挙げられる。

#### 参考文献

- [1] 藤原 秀雄, “デジタルシステムの設計とテスト,” 工学図書株式会社, 2004.
- [2] 梶原誠司, “組込み自己テストによるフィード高信頼化について,” DC2012-31, 2012 年 11 月, pp. 39-4-2.
- [3] W. Wang, et al., “Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology,” IEEE Trans. on Device and Material Reliability, Vol. 7, No. 4, pp. 509-517, 2007.
- [4] 池ヶ谷祐輝, 石山悠太, 細川利典, 吉村正義, “n 回状態遷移被覆に基づく非スキャンオンラインテスト法,” vol. 119, no. 247, DC2019, 2019 年 10 月.
- [5] 豊岡雄大, 渡辺悠樹, 細川利典, フィールドテストのための k 連続状態遷移に基づく状態信号系列を用いたフィールドテストタビリティの評価” 信学技報, vol. 122, no. 134, DC2022-4, pp. 19-24, 2022 年 7 月.
- [6] Michael L. Bushnell and Vishwani D. Agrawal. “Essentials of Electronic Testing for Digital, Memory & Mixed -Signal VLSI Circuits,” Kluwer Academic Publishers,
- [7] J.E. Smith, “Measures of the Effectiveness of Fault Signature Analysis,” IEEE Trans. Computer., Vol. C-29, pp. 510-514, 1980.
- [8] K. Iwasaki and H. Goto, “Exact Expected Test Length Generated by LFSRs for Circuits Containing Hard Random-Pattern-Resistant Faults,” IEICE Trans. Fundamentals, Vol. E81 -A, No. 5, pp. 885-888, May 1998.
- [9] J. Rajski, N. Tamarapalli, and J. Tyszer, “Automated Synthesis of Phase Shifters for Built- In Self-Test Applications,” IEEE Transactions on Computer -Aided Design of Integrated Circuits and Systems, Vol. 19, Issue 10, pp. 1175-1188, 2000