

擬似ブール最適化を用いたランダムレジスタント遷移故障の低消費電力シード生成法

日大生産工 ○XU YANLING

日大生産工 三浦 怜

日大生産工 細川 利典

京産大 吉村 正義

1. はじめに

近年の半導体集積技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated Circuits: VLSI) が大規模化、高速化、微細化している。それに伴いタイミング遅延を伴う欠陥が増加している。それゆえ、遷移故障のテストが必要不可欠になっている。テストするためのコスト削減と、故障モデルの複雑化に対応するためのテストの高品質化が大きな課題となっている[1]。

製造テストコストの削減、フィールドテストへの応用が可能な組込み自己テスト手法 (BIST) [2] が広く用いられている。BIST 方式は、従来のテストタを用いてスキャン機能で印加したテストパターンに対する VLSI の応答を観測する外部テスト方法と異なり、テストパターン発生器と応答パターン圧縮器を回路内に内蔵することによって、ピン数・メモリ量・速度の点で性能の劣るテストであっても、大規模かつ高速な VLSI をテストできる。また、テストタ又は VLSI 内のメモリにテストパターンでなく、発生させる乱数の初期値のみを保持すればよいので、テストデータ量が削減可能な点、少ないピン数のみを使用してテストを実行できるので複数の VLSI を同時にテストできる点によりテストコストを削減できるという利点がある。しかしながら、BIST 方式では擬似乱数パターンによるテストを行っているため、現実的に、許容されるテストパターン数で高い故障検出率を達成することが困難である。その原因として、ランダムパターンレジスタ故障 (RPRF: Random Pattern Resistant Faults) の存在が考えられる[3]。故障検出率を向上させるために、テストパターン発生器の初期値(シード)を

入れ換えて、再び擬似ランダムパターンテストを実行するリシード技術[4]が提案されている。リシードは、多数の RPRF を検出可能なものを使用する。RPRF 故障を検出するための効果的なシード生成として、テスト対象回路 (CUT: Circuit under the Test) をシード生成モデルへ変換し、テスト生成ツール (ATPG: Automatic Test Pattern Generation) を用いた 1 パスでシード生成法が提案されている[5]。文献[5]では、遷移故障モデルに対する RPRF のシード生成を提案しているが、テスト時の消費電力が考慮されていない。

VLSI のテストでは、過度なシフト時消費電力は、回路の発熱により、熱破壊を引き起こす。また過度なキャプチャ時消費電力は、過度な電圧降下 (IR ドロップ)[6]を引き起こし、誤テストによる歩留まり損失を引き起こす[7]。したがって、歩留まり損失を抑制するため、テスト時の消費電力を削減することが重要な課題である。本研究では、キャプチャ消費電力の削減に着目する。

本論文では、疑似ブール最適化問題 (Pseudo-Boolean Optimization: PBO)[8]を用いて、RPRF の検出を目標として低消費電力指向のシード生成を行う。生成したシードから印加されるテストパターンが低消費電力であることを保証するために、消費電力の閾値制約を PBO に追加した 1 パスシード生成法を提案する。

本論文の構成は以下の通りである。第 2 章で文献[5]で提案された 1 パスシード生成モデルについて説明する。第 3 章で PBO 遷移故障検出の制約について説明する。第 4 章では PBO における低消費電力制約について説明し、第 5 章に実験結果を示

す. 第 6 章は本論文のまとめを行い. 今後の課題について述べる.

2. 1 パスワード生成モデル

本章では, 提案された遷移故障検出を行うための 1 パスワード生成モデルについて説明する. テスト生成モデルの入力にフェーズシフト付き LFSR を接続したモデルをシード生成モデルとする. そのため, テスト生成モデルの制約に加えて, 外部入力, 擬似外部入力とフェーズシフトから出力される論理値の関係性を示した制約が必要になる. フェーズシフト付き LFSR から展開されるテスト系列は制約として表現することが可能であり, 各外部入力, 擬似外部入力との関係性を連立方程式で表す. 図 1 における PPI1 についての例を示す. PPI1 に設定される論理値は 1 サイクル目におけるフェーズシフト 1 の出力値であり, 式(1)で表現できる. 同様に, 各 PI, PPI は式(2)から式(7)の方程式が成り立つ.

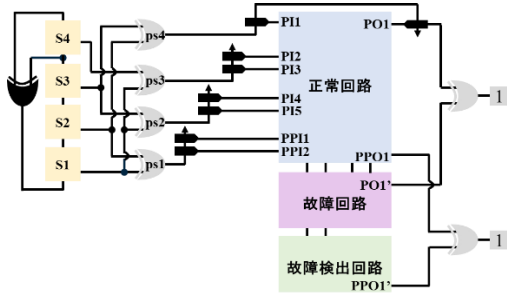


図 1. 1 パスワード生成モデル

図 2 のように 1 パターン目の組合せ回路の擬似外部出力は 2 パターン目のそれぞれ回路の擬似外部入力に接続する. また, 2 パターンテストにおいて, 外部入力は 2 パターンとも同一パターンを用いることを仮定し, 2 パターン目の回路の外部入力には 1 パターン目の外部入力と同じ値を使用する. 2 パターン目の出力については, 故障を検出する条件

を表しており, XOR および OR を接続する.

$$\begin{aligned} S1 \oplus S2 &= PPI1 & (1) \\ S1 \oplus S3 \oplus S4 &= PPI2 & (2) \\ S1 \oplus S3 &= PI4 & (3) \\ S2 \oplus S3 \oplus S4 &= PI5 & (4) \\ S1 \oplus S4 &= PI2 & (5) \\ S4 &= PI3 & (6) \\ S1 \oplus S2 &= PI1 & (7) \end{aligned}$$

3. 遷移故障検出制約

本章では, 遷移故障の 1 パスワード生成問題が PBO を用いて定式化することを提案する. 提案手法において作成される故障検出制約について説明する. 本手法では, 遷移故障のテストをブロードサイド[9]方式で行っているため, 2 時刻分の正常回路と 2 時刻目の故障回路, 及び故障検出回路を PBO の入力式とする.

図 2 に, 信号線 c の立ち上り遷移故障のテスト生成モデルの例を示す. また, 図 2 において, 信号線 a は外部入力, 信号線 b₁, c₁ は擬似外部入力, 信号線 g₂, h₂ は擬似外部出力である. また, 故障検出において, 信号線 c₁, c₂ は故障励起, 信号線 c₂', z は故障伝搬のために論理値が割当てられた信号線である. 信号線 c における立ち上り遷移故障の故障励起のため, 正常回路において (c₁, c₂) = (0, 1) を割当てる. 故障回路では, 信号線 c の立ち上がり遷移故障が発生した場合を仮定し c₂' = 0 を割当てる. 最終的に, 故障検出回路における信号線 z が z = 1 になるように論理値を割当てることで故障の検出が可能になる.

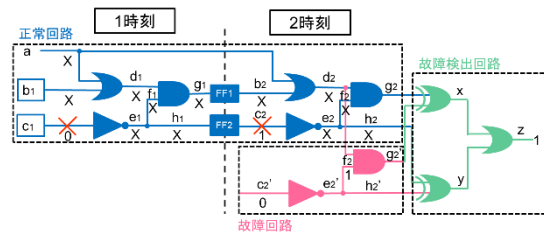


図 2. 遷移故障におけるテスト生成モデル

式(8)に図2における故障検出制約を示す。

subject to: $\varphi_h =$

$$\begin{aligned}
 &(\bar{c}_2' + \bar{e}_2' \geq 1), (c_2' + e_2' \geq 1), (d_2 + \bar{f}_2' \geq 1), (e_2' + \bar{f}_2' \geq 1), (\bar{a}_2 + \bar{e}_2' + f_2' \geq 1), (\bar{a} + d_1 \geq 1), (\bar{b}_1 + d_1 \geq 1), (a + d_1 + \bar{a}_1 \geq 1), (\bar{c}_1 + \bar{e}_1 \geq 1), (c_1 + e_1 \geq 1), (d_1 + \bar{f}_1 \geq 1), (e_1 + \bar{f}_1 \geq 1), (\bar{d}_1 + \bar{e}_1 + f_1 \geq 1), (\bar{a} + d_2 \geq 1), (\bar{b}_2 + d_2 \geq 1), (a + d_2 + \bar{a}_2 \geq 1), (\bar{c}_2 + \bar{e}_2 \geq 1), (c_2 + e_2 \geq 1), (d_2 + \bar{f}_2 \geq 1), (e_2 + \bar{f}_2 \geq 1), (\bar{a}_2 + \bar{e}_2 + f_2 \geq 1), (\bar{f}_2 + \bar{f}_2' + \bar{x} \geq 1), (\bar{f}_2 + f_2' + x \geq 1), (f_2 + \bar{f}_2' + \bar{x} \geq 1), (\bar{e} + \bar{e}_2' + \bar{y} \geq 1), (\bar{e}_2 + e_2' + y \geq 1), (e_2 + \bar{e}_2' + y \geq 1), (e_2 + e_2' + \bar{y} \geq 1), (\bar{x} + z \geq 1), (\bar{y} + z \geq 1), (x + y + \bar{z} \geq 1), (\bar{c}_1 \geq 1), (c_2 \geq 1), (\bar{c}_2' \geq 1), (z \geq 1)
 \end{aligned}
 \tag{1}$$

4. 低消費電力指向制約

本章では、消費電力制約について説明する。キャプチャ消費電力を削減するためには、信号線の遷移数を閾値以下に削減する必要がある。すなわち、1時刻目と2時刻目の論理値を同値にする信号線数を一定以上にすればよい。したがって、本手法の消費電力制約では、文献[10]と同様に信号遷移を抑制するための制約を作成する。

subject to: $\varphi_s =$

$$\begin{aligned}
 &(r_1 + a_1 \cdot a_2 + \bar{a}_1 \cdot \bar{a}_2 \geq 1), (r_2 + b_1 \cdot b_2 + \bar{b}_1 \cdot \bar{b}_2 \geq 1), (r_3 + \bar{g}_1 \geq 1), (r_3 + d_1 \cdot d_2 + \bar{d}_1 \cdot \bar{d}_2 \geq 1), (r_4 + e_1 \cdot e_2 + \bar{e}_1 \cdot \bar{e}_2 \geq 1), (r_5 + f_1 \cdot f_2 + \bar{f}_1 \cdot \bar{f}_2 \geq 1), (r_6 + g_1 \cdot g_2 + \bar{g}_1 \cdot \bar{g}_2 \geq 1), (r_7 + h_1 \cdot h_2 + \bar{h}_1 \cdot \bar{h}_2 \geq 1),
 \end{aligned}
 \tag{9}$$

式(9)に図2における信号線遷移の制約を示す。また、故障検出制約と消費電力制約を同時に充足する必要があるが、論理値の衝突により UNSAT になる場合がある。PBO を用いた低消費電力指向テスト生成法においては、故障の検出が優先されるた

め、各消費電力制約に緩和変数 $r_1, r_2, r_3, r_4, r_5, r_6, r_7$ を追加する。

式(10)に図2における消費電力制約式を示す。

式(10)において、 Net は総信号線数を示し、 WSA_{th} は消費電力閾値を示す。本論文では、総遷移可能の信号線数の20%に設定する。

$$\sum_{j=1}^{Net} r_j \leq WSA_{th} \tag{10}$$

5. 実験結果

本章では、提案手法の実験手順と実験結果を説明する。5-1節で実験手順を説明し、5-2で実験結果を示す。

5-1. 実験手順

図4に本実験のフローを示す。プログラミングの作成はC言語で実装し実験を行った。以下に図4の各ステップについて説明する。

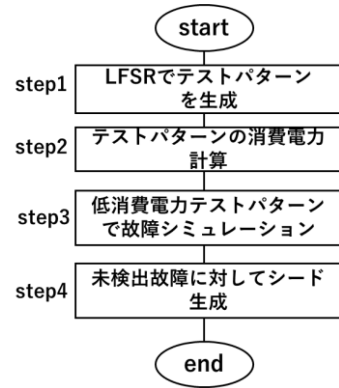


図4. 実験フローチャート

(Step1) 入力したシードから指定された数のテストパターンを生成する。

(Step2) 生成したテストパターンの消費電力を計算する、閾値以下の低消費電力テストパターンを抽出する。

(Step3) 抽出した低消費電力テストパターンを

用いて遷移故障シミュレーションを行い、未検出故障を出力する

(Step4) step3 で出力した未検出故障を RPRF とし、それを目標故障としてシード生成を行う。

5-2. 実験結果考察

表 1 に実験結果を示す, 表 1 において, 「回路名」は対象回路名を示す. 「#sc」はスキランチェーンの長さを示す. 「T_fault」は総故障数を示す. 「RPRF」は RPRF 故障の数を示す. 「D_fault」はシード生成で検出された故障数. 「%FC」は総故障検出率を示す. 「%FE」故障検出効率を示す. 「Time」は実行時間を示す. 本手法は低消費電力を考慮するため, シード生成失敗したことが多い, したがって故障検出率が低くなる可能性が考えられる.

表 1. 実験結果

回路名	#sc	T_fault	RPRF	D_fault	%FC	%FE	Time
s27	8	52	45	9	30.7%	33.0%	14.88
s208	21	416	308	77	44.4%	64.6%	56.47
s1238	46	2476	1458	112	45.6%	71.3%	587.52
s5378	263	10590	3803	51	64.5%	72.1%	13575.84

6. おわりに

本論文では, 擬似ブル最適化を用いたランダムレジスタント遷移故障の低消費電力シード生成法を提案した. 実験結果からシード生成で検出された故障数が少ないと判明した.

今後の課題として, 効果的な検出効率達成と複数の故障を同時に検出することを挙げられる.

参考文献

- [1] Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2007 Edition, 2007
- [2] 藤原秀雄, デジタルシステムの設計とテスト, 工学図書株式会社, 2004.
- [3] M. Abramovici, M. A. Breuer, and A. D. Friedman, Digital Systems Testing and Testable Design. IEEE

Press, 1990.

- [4] S.Hellebrand, B.Reed, S.tarnic, and H.-J.Wunderloch, "Pattern generation for a deterministic BIST scheme"Proc.IEEE International Conference Computer Aided Design, pp.146-149, 1984
- [5] Takanori Moriyasu, and Satoshi Ohtake, A Method of LFSR Seed Generation for Scan-Based BIST Using Constrained ATPG. CISIS pp.755-759, 2013
- [6] J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreeprakash and M. Hachinger, "A case study of IR-drop in structured at-speed testing," Proc. ITC, pp.1098-1104, 2003.
- [7] Y. Zorian, "A Distributed BIST Control Scheme for Complex VLSI Devices," Proc. VTS, pp.4-9, 1993.
- [8] Vasco Manquinho, Ruben Martins, and Inês Lynce, "Improving Unsatisfiability-Based Algorithms for Boolean Optimization", Theory and Applications of Satisfiability Testing-SAT 2010
- [9] Y. Yamato, X. Wen, K. Miyase, H. Furukawa and S. Kajihara, "A GABased Method for High-Quality X-Filling to Reduce Launch Switching Activity in At-Speed Scan Testing," Proc. IEEE PRDC, pp. 81-86, 2009.
- [10] Y.XU, R.Miura, T.Hosokawa, M.Yoshimura, "A Don't Care Filling Method for Low Power Consumption Based On Correlation Between Transition on FFR output and WSA Using Pseudo-Boolean Optimization ", DC, pp. 1-6, 2022.