

領域網羅故障テストのためのブロック分割に対するブリッジ故障検出率の評価

日大生産工（院） ○溝田桃菜 日大生産工 細川利典
京産大 吉村正義 日大生産工 新井雅之

1. まえがき

近年、半導体集積技術の発展に伴い、設計される超大规模集積回路 (Very Large Scale Integrated circuits: VLSI) の大規模化、複雑化、高速化が急速に進展している。また、それに伴い不良 VLSI には回路を構成するセルや信号線に物理的欠陥が存在し、論理回路においても論理機能が故障により別な論理機能に変化してしまう論理故障や本来の実動作速度でテストした場合に誤った動作をするタイミング故障など様々な故障が存在する[1]。

故障の中でもセル内に欠陥が存在することにより、論理機能に変化してしまう故障をセル内故障と呼ぶ[2]。セル内故障はレイアウト解析を行うことで、セルのどの入力パターンでセルの出力信号線が故障励起可能か否かを判断することが可能である。セル内故障の位置やタイプによっては特定のセルの入力パターンでのみ故障励起可能な場合があり、縮退故障などの基本的な故障モデルに対するテスト集合では検出されない場合がある[2]。よって、不良VLSIを良品と判断するテストエスケープを引き起こす可能性がある[2]。この問題を解決するために、レイアウト解析を行わずに、各ゲートの全入力パターンに対してゲートの出力が誤る故障を定義することにより、各セル内の全ての論理故障を取り扱うゲート網羅故障モデルが提案されている[2]。ゲートの入力数を n とした場合、あるゲートのゲート網羅故障数は 2^n 個となる。また、ゲート網羅故障に対するテストでは、各ゲートにおいて割当て可能な全入力パターンの組合せを入力し、故障の影響を外部出力または疑似外部出力に伝搬する。ゲート網羅故障数はゲート数や各ゲートの入力数と比例関係にあるため、ゲート数が増大するに伴いテストパターン数も増大する可能性がある。したがって、テスト生成における動的テスト圧縮[3-4]が重要になる。動的テスト圧縮法の1つとして多重目標故障テスト生成(Multiple Target Test Generation: MTTG)が提案されている[3-4]。文献[5]では Partial MaxSAT[6]を用いたテストパターン数削減のためのゲート網羅故障に対するMTTGが提案されている。しかしながら、文献[5]の手法では1つのセルを1つのゲートとし、ゲート網羅故障を定義しているため、ゲート数が増大するとゲート網羅故障数が増大し、ゲート網羅故障に対するテストパターン数も増大する。また、テスト生成時間が長いことも課題の1つである。文献[7]ではゲート網羅故障数を削減することを目的としたブロック分割手法が提案されている。文献[7]の問題点はテスト不能故障数が多いことが挙げられる。1つのセルを1つのゲートとした場合のゲート網羅故障でテスト不能と判断された故障は検出することが不可能である。しかしながら、文献[7]ではテスト不能故障について考慮していないため、テ

スト不能故障が存在するセルを含むブロックのゲート網羅故障はテスト不能故障になる可能性がある。よって、1つのセルを1つのゲートとしていた場合にはテスト不能故障が存在しなかったセルも、同じブロック内にテスト不能故障が存在するセルが含まれていた場合、テスト不能故障になり、テストされない可能性がある。また、ゲート網羅故障はブロックの入力パターンごとに故障が定義されているため、あるゲート網羅故障を検出するためにはそのブロックの入力信号線の値が確定される。文献[7]の場合、1つ当りのブロックの入力数が1つのセルを1つのゲートとする場合より大きくなる可能性がある。つまり、テスト生成を行う際に値が制御される信号線数が増大し、特定のテストパターンでしか検出されない故障に対する必須割当て値に衝突が起きる可能性が高くなり、テストパターン生成の難易度が高くなる。文献[8]ではテスト品質の向上を考慮し、セル内の故障だけでなくブロック内の故障も考慮する故障モデルが提案されている。ブロック単位のゲート網羅故障を領域網羅故障[8]と呼ぶ。

文献[9]では文献[5]、[7]の課題点を考慮したブロック分割手法を提案した。文献[9]ではテスト不能故障が存在するセルはブロックから除外し、単体で1つのブロックとすることでテスト不能故障数の削減を試みた。文献[9]はテスト不能故障を考慮したブロックの領域網羅故障モデルを定義しテストパターンが生成されている。本論文では、文献[9]で生成された領域網羅故障に対するテストパターンが他の故障モデル(支配型ブリッジ故障[11])をどの程度検出することができるかを評価する。本論文の構成は以下のとおりである。第2章では、Partial MaxSAT を用いたゲート網羅故障に対する多重目標故障テスト生成法[5]について述べる。第3章では、テスト不能故障を考慮したブロック分割手法[9]について述べる。第4章では文献[9]で生成された領域網羅故障に対するテストパターンにおける支配型ブリッジ故障シミュレーションについて述べる。第5章ではベンチマーク回路を用いた実験結果を述べる。最後に第6章ではむすびについて述べる。

2. Partial MaxSAT を用いたゲート網羅故障に対する多重目標故障テスト生成法

本論文では文献[5]のテスト生成法を用いて生成されたテストパターンを用いる。本章では Partial MaxSAT を用いたゲート網羅故障に対する多重目標故障テスト生成法[5]について説明する。2.1 節で Partial MaxSAT を用いた多重目標故障テスト生成法について述べる。3.2 節で Partial MaxSAT を用いたゲート網羅故障に対する多重目標故障テスト生成法について述べる。

A Bridging Fault Coverage Evaluation Of Block Partitioning for
Region Exhaustive Fault Testing
Momona MIZOTA, Toshinori HOSOKAWA,
Masayoshi YOSHIMURA and Masayuki ARAI

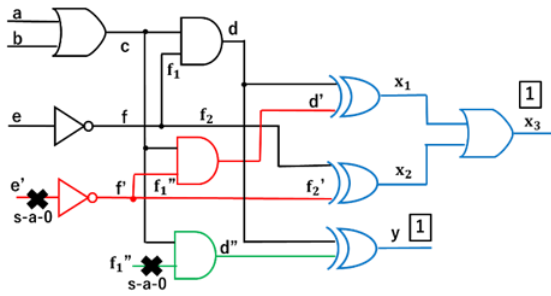


図 1. MTTG における回路モデル

2.1 Partial MaxSAT を用いた多重目標故障テスト生成法

本節では Partial MaxSAT を用いた多重目標故障テスト生成法(Multiple Target Test Generation: MTTG)について説明する。図 1 は MTTG における回路モデル例を示す。回路モデル構築後、各基本ゲートの CNF に基づいて CNF 変換を行い Partial MaxSAT 判定を行う。Partial MaxSAT とは与えられた和積標準形(Conjunctive Normal Form: CNF)に対して全ハード節を真とし、真となるソフト節の重みの総和を最大化するように命題論理式の論理変数の割当てを求める問題である。本論文では、必ず真にする必要がある回路情報と故障値の制約はハード節とし、重みは ∞ とする。また、目標故障に対する各故障検出回路の出力はソフト節とし、重みは ∞ 以外の同じ重みとする。このように設定することで PartialMaxSAT は全ハード節を真とし、真となるソフト節の重みの総和が最大値となる変数値を割当ての探索を行う。つまり、検出される目標故障数を最大にするテストパターンを探索する。充足可能の場合、真となるソフト節に対応する故障を同時検出可能なテストパターンが生成される。充足不能の場合、全ての目標故障がテスト不能故障と判定される。目標故障数が増減することにより、故障回路数や故障検出回路数が増減する。故障回路や故障検出回路が増加することにより、ゲート数や信号線が増加し、CNF の総節数が増加する。

2.2 Partial MaxSAT を用いたゲート網羅故障に対する多重目標故障テスト生成法

本節では Partial MaxSAT を用いたゲート網羅故障のための MTTG について説明する。文献[5]では 1 つのセルを 1 つのゲートとしているため、各セルのゲート網羅故障集合は各セルの全入力パターンでゲートの出力が誤る故障を仮定することで定義される。各セル内のゲート網羅故障は同じテストパターンで同時に故障検出不可能であるため、各セル内のゲート網羅故障集合は独立故障集合[10]である。

目標故障の選択方法は、あるセルのゲート網羅故障集合から 1 つ故障 f を選択する。次に、故障 f の必須割当てと既に選択されている目標故障の必須割当て集合との和集合を求め、目標故障の必須割当て集合を更新する。最後に正当化を行い、衝突が発生した集合との和集合を求め、目標故障の必須割当て集

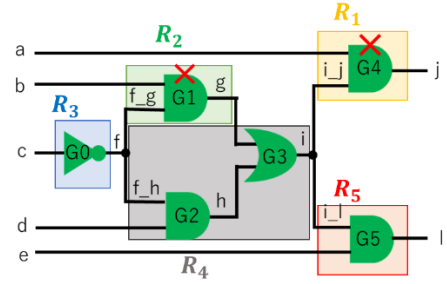


図 2. テスト不能故障を考慮したブロック分割手法例

合を更新する。最後に正当化を行い、衝突が発生した場合は故障 f の必須割当てを目標故障の必須割当て集合から削除し、衝突が発生しない場合は目標故障集合に故障 f を追加する。この動作をセル数分繰り返して実行する。そのため、最終的な目標故障数は最大でセル数となる。

目標故障集合を生成後、目標故障をできるだけ多く同時に検出するようなテストパターンを生成する。

3. テスト不能故障を考慮したブロック分割手法

本論文では文献[9]のブロック分割手法で生成された領域網羅故障に対して文献[5]のテスト生成法を用いてテストパターンが生成されている。本章ではテスト不能故障を考慮したブロック分割手法[9]について説明する。

文献[5]の課題点はセル数が増大するにつれて、ゲート網羅故障数が増大し、ゲート網羅故障に対するテストパターン数も増大することやテスト生成時間が長いことである。文献[7]の課題点は 1 つのセルを 1 つのゲートとした場合のゲート網羅故障におけるテスト不能故障について考慮していないため、1 つのセルを 1 つのゲートとしていた場合には、テスト不能故障が存在しなかったセルも、同じブロック内にテスト不能故障が存在するセルが含まれていた場合、テスト不能故障になる可能性があるということである。

よって、文献[9]では 1 つのセルを 1 つのゲートとした場合のテスト不能故障を含むセルを単体で 1 つのブロックとし、テスト不能故障を含むセルと含まないセルを混在させないようにする。

図 2 にセル G1 と G4 にテスト不能故障と判断されたゲート網羅故障が存在する場合のブロック分割手法例を示す。はじめに、テスト不能故障を含むセル

表 1. 図 2 における各ブロックの入力と出力

R	入力	出力
1	a, i_j	j
2	b, f_g	g
3	c	f
4	g, f_h, d	i
5	i_l, e	l

は単体で1つのブロックとするためG4をブロック1 (R_1), G1 をブロック 2(R_2)とする. その後, 残りのセルを単一出力になるようにブロック分割を行う.

表 1 に各ブロックの入力と出力を示す. R_4 を例に説明すると R_4 は 3 入力 1 出力のブロックであることがわかる. また, ブロックごとに領域網羅故障集合が作成される. 回路の総領域網羅故障数 NF を求める式は(1)となる.

$$NF = \sum_{i=1}^N 2^{NI(R_i)} \quad (1)$$

式(1)において N はブロック数, $NI(R_i)$ はブロック R_i の入力数である. 図 4 の領域網羅故障数は

$$2^1 + 2^1 + 2^1 + 2^3 + 2^2 = 18$$

となる.

4. 領域網羅故障に対するテストパターンにおけるブリッジ故障検出率評価

本章では, 文献[9]のブロック分割手法により定義された領域網羅故障に対するテストパターンが他の故障モデルをどの程度検出するのか評価について説明する. 本論文では評価対象となる故障モデルは支配型ブリッジ故障とする. 4-1 節でブリッジ故障について述べる. 4-2 節で支配型ブリッジ故障検出率評価について述べる.

4.1 支配型ブリッジ故障

本節では評価対象故障となる支配型ブリッジ故障について説明する. ブリッジ故障とは隣接する信号線が短絡する故障である[1]. AND 型ブリッジ故障や OR 型ブリッジ故障など様々なブリッジ故障が存在する. 本論文では, 短絡した信号線の一方の論理値に他方の論理値が影響を受ける支配型ブリッジ故障[11]について着目する. 影響を与える側の信号線を攻撃信号線(aggessor), 影響を受ける側の信号線を被害信号線(victim)と呼び, それぞれが隣接信号線となる.

本論文では, 同じ MFFC(Maximal Fanout-Free Cone)ブロック内にあり, かつ信号線のブロック内のレベルが同じ信号線同士を隣接信号線とする. レベルとはブロックの入力に近い信号線を1としゲートを通る度にレベルが1増加する. 出力信号線が1番高い値となる.

図 3 に支配型ブリッジ故障例を示す. 図 3 の回路は 3 入力 1 出力の 1 つのブロックである. 四角で囲

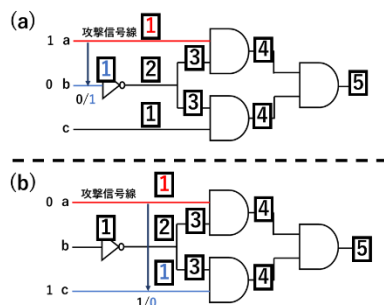


図3. ブリッジ故障定義例(攻撃信号線: 信号線a)

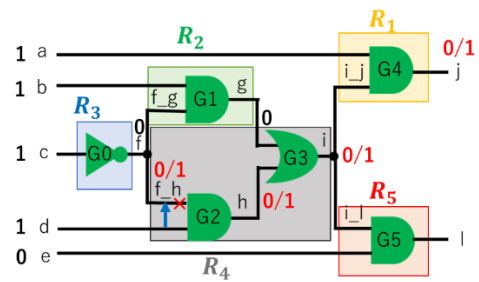


図4. 支配型ブリッジ故障シミュレーション例

表2. 故障シミュレーション結果

信号線名	正常値	故障値
a	1	1
b	1	1
c	1	1
d(aggessor)	1	1
e	0	0
f_h(victim)	0	1
j	0	1

まれている数字は各信号線のレベルを示す. 信号線aを攻撃信号線とした場合, 信号線aはブロックの入力信号線よりレベルは1となる. よって, 同じレベルである信号線b, cが隣接信号線となる. よって, (a)の場合, 信号線bは正常値0となるが, 故障時は攻撃信号線の論理値1の影響を受けて1である. (b)の場合, 信号線cは正常値1であるが, 故障時は攻撃信号線の論理値0の影響を受けて0となる. これらを各ブロックでそれぞれの信号線を攻撃信号線とし支配型ブリッジ故障を定義する.

4.2 領域網羅故障に対するテストパターンにおける支配型ブリッジ故障シミュレーション

本節では領域網羅故障に対するテストパターンにおける支配型ブリッジ故障シミュレーションについて説明する. 図4にテストパターン(a,b,c,d,e)=(1,1,1,1,0)時の信号線dを攻撃信号線とした場合の支配型ブリッジ故障シミュレーション例を, 表2に図4の故障シミュレーション結果を示す. 攻撃信号線dはブロック R_4 に所属し, かつブロック R_4 内のレベルは1より, 隣接信号線は信号線f_hまたは信号線gとなる. 今回は信号線f_hに着目する. (a,b,c,d,e)=(1,1,1,1,0)で攻撃信号線dは正常値1, 被害信号線f_hは正常値0となり, 外部出力信号線jは正常値0を出力する. しかしながら, 攻撃信号線dの影響を受けて被害信号線f_hが1となり, 故障の影響が外部出力信号線jに伝搬されていることがわかる. この場合, 攻撃信号線d, 被害信号線f_hの1誤りの支配型ブリッジ故障は今回のテストパターンでは, 検出可能である. しかしながら, 攻撃信号線d, 被害信号線f_hの0誤りの支配型ブリッジ故障は今回のテストパターンでは外部出力に故障が伝搬されないため, 検出不可能となる.

5. 実験結果

本章では実験結果を示す. 第4章の評価アルゴリ

ズムは、C 言語で実装され ISCAS'89 ベンチマーク回路に対して、Core m3-7Y30 および 8GB メモリを搭載したコンピュータを用いて実験を行った。また、Partial MaxSAT は Clasp[6]を用いる。実験では 1 MTTG あたりの Partial MaxSAT の制限時間を 10 秒に設定した。また、文献[5]で生成された 1 つのセルを 1 つのゲートとした場合のゲート網羅故障に対するテストパターンを手法 1、文献[7]で提案されたテスト不能故障を考慮しないブロック分割で定義された領域網羅故障モデルに対して生成されたテストパターンを手法 2、文献[9]のテスト不能故障を考慮したブロック分割で定義された領域網羅故障モデルに対して生成されたテストパターンを手法 3 とし比較をおこなう。

表 3 に実験結果を示す。表 2 より、支配型ブリッジ故障検出率は全ての手法においてほぼ同等であることがわかる。また、テストパターン数を考慮した場合、手法 3 は他の手法より少ないテストパターンで他の手法と同等の故障検出率であることがわかるため、他の手法に比べテスト効率がよいことを示す。

6. むすび

本論文では、文献[9]のテスト不能故障を考慮したブロック分割で定義された領域網羅故障に対するテストパターンが支配型ブリッジ故障モデルをどの程度検出できるかを評価した。

実験結果から、文献[5]の手法、文献[7]の手法、文献[9]の手法で支配型ブリッジ故障に対して、ほぼ同等な故障検出率となった。しかしながら、テストパターン数を考慮した場合、文献[9]の手法で生成されたテストパターンが1番効率がよいことがわかる。

今後の課題として、故障検出率は維持しテストパターン数を削減するようなブロック分割手法の提案や、他の故障モデルに対して、どの程度検出できるか評価する必要がある。

参考文献

- 1) 藤原秀, デジタルシステムの設計とテスト, 工学図書株式会社, 東京, 2004, pp 135-135.
- 2) K.Y. Cho, S. Mitra, and E.J. McClusky, "Gate Exhaustive Testing", IEEE International Conference on Test, Austin, USA, Nov.2005, no.31.3, pp.1-7.
- 3) G. Tromp, "Minimal Test Sets for Combinational Circuits", IEEE International Conf

- erence on Test, no.7.3, pp.204-209, Nashville, USA, Oct.1991.
- 4) J.S. Chang, and C.S. Lin, "Test set compaction for combinational circuits", Browse Journals&Magazines, Nov 1995, vol.14, Issue.11, pp.1370-1378.
- 5) R. Asami, T. Hosokawa, M.Yoshimura, and M. Arai, "A Multiple Target Generation Method for Gate-Exhaustive Faults to Reduce the Number of Test Patterns Using Partial MaxSAT", IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems, Frascati, Italy, Oct.2020, no.1, pp.19-21.
- 6) M. Gebser, B. Kaufmann, A. Neumann, and T. Schaub, "Conflict-Driven answer set solving", Artificial Intelligence, Aug.2012, vol. 187-188, pp.52-89.
- 7) A. Jas, S. Natarajan, and S. Patil, "The Region-Exhaustive Fault Model", 16th Asian Test Symposium, Beijing,China, Oct.2007, no.6, pp.13-18
- 8) I. Pomeranz, and S. Venkataraman, "InterconnectAware Tests to Complement Gate-Exhaustive Tests", IEEE 23th European Test Symposium, Bremen, Germany, May.2018, no.16, pp.109-114.
- 9) 溝田桃菜, 細川利典, 吉村正義, ゲート網羅故障のテスト高速化のためのブロック分割手法, ディペンダブルコンピューティング研究会, 2022年7月, 信学技法, vol 122, no.134, DC2022-3, pp.13-18
- 10) S. B. Akers, C. Joseph, and B. Krishnamurthy, "On the Role of Independent Fault Sets in the Generation of Minimal Test Sets", in Proc. Intl. Test Conf, 1987, pp.1100-1107.
- 11) F. Zheng, K. T. Cheng, X. Yan, J. Moondanos, Z. Hanna, "An Efficient Diagnostic Test Pattern Generation Framework Using Boolean Satisfiability", Proc. Asian Test Symposium, 007, pp.288 - 294.

表3. 実験結果

回路名	支配型ブリッジ故障数	手法	テストパターン	検出故障数	未検出故障数	故障検出率[%]
s5378	9528	1	203	9469	59	99.38
		2	201	9481	47	99.51
		3	179	9488	40	99.58
s9234	9680	1	212	9550	130	98.66
		2	291	9552	128	98.68
		3	151	9546	134	98.62
s13207	14289	1	356	14127	162	98.87
		2	366	14120	169	98.82
		3	301	14123	166	98.84