

故障診断分解能向上のための故障活性化率指向テスト生成法

日大生産工（院） ○千田 祐弥

日大生産工 細川 利典

明治大学 山崎 浩二

1. まえがき

半導体微細化技術の進歩に伴い、超大規模集積回路（Very Large Scale Integrated circuits : VLSI）において、異常動作の物理的な原因を特定する故障解析[1]は、歩留まりの向上のために重要である。故障解析では、電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため、多大なコストを要する。そのため、故障 VLSI に存在する可能性のある故障（被疑故障）の数を事前にできる限り絞り込んでおく故障診断[2]が、故障解析コストの低減のために重要となる。故障診断では、故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。

組合せ回路やスキャン設計された順序回路における単一縮退故障モデルの故障診断手法は様々なものが提案されており、被疑故障数も大きく削減できることが報告されている[2]。

被疑故障は、故障 VLSI に対してテスト集合を入力として与え、誤り経路追跡[8]や故障シミュレーションを実行することによって推定される。VLSI の設計現場では、設計された順序回路に対して高い故障検出率を達成するテスト集合を得るために、フルスキャン設計と組合せ回路のテストパターン自動生成ツール (Automatic Test Pattern Generator: ATPG) を使用したテスト設計方法が広く用いられている。順序回路にスキャン設計を施すことにより、疑似的に組合せ回路として扱うことが可能になり、組合せ回路のテスト生成技術を利用したテスト生成が可能となる。組合せ回路に関しては、効率的なテスト生成アルゴリズムが提案されており[3-7]、大規模な回路であっても、現実的な時間で高い故障検出率を達成するテスト集合の生成が可能となっている。しかしながら、高い故障検出効率を達成するテスト集合が必ずしも高い故障診断分解能を達成するとは限らない。故障診断分解能向上のためには、より多くの故障ペアを区別することが重要である。

2つの故障 f_1 と f_2 を区別するためにはテストパターンを印加した際に、以下の2つの要素のいずれかを満たす必要がある。

- f_1 のフェイル外部出力と f_2 のフェイル外部出力のうち少なくとも1つが異なる
- f_1, f_2 のうちどちらか一方のみを検出する

したがって、故障ペアを区別するためには各故障が多くての外部出力で検出され、かつ多くの経路を活性化するテスト集合が重要となる。本論文における活性化された信号線とは、外部出力で故障が

検出されたときの故障伝搬経路のことを指す。

できるだけ多くの故障伝搬経路を活性化させる手法として、故障活性化率指向 n 回検出テスト生成法 (FSOD: Fault Sensitization Coverage Oriented n Detection Test Generation) が提案されている[9]。文献[9]では、テスト品質評価尺度として故障活性化率[9]が提案されている。故障活性化率はある故障について到達可能な信号線数のうち活性化される信号線数を表したものであり、故障活性化率が高いほど多くの信号線に故障が伝搬していることを示す。本手法は、可能な限り到達可能な外部出力で故障が検出されるテストを生成し、その後、故障活性化率を向上させるテストを追加する。本手法は、 n 回検出ではないため、故障を検出した回数は考慮しない。

本論文では、故障診断分解能向上のために故障活性化率に基づき、各故障が可能な限り多くの外部出力で検出されるようなテスト生成法を提案する。そして、本手法の有用性を故障診断によって算出された被疑故障数をもとに評価する。

本論文では、2章では、故障活性化率について説明する。3章では h 、被疑故障数を削減するために4章では故障活性化率指向テスト生成法について説明する。5章では本テスト生成法の有用性を故障診断によって算出された被疑故障数をもとに評価する。6章では結論と今後の課題についてまとめる。

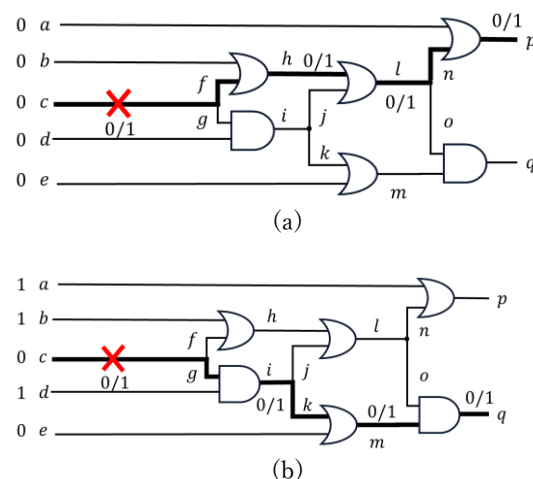


図1 故障活性化率計算

2. 故障活性化率

活性化される信号線数を考慮したテスト品質評価尺度として故障活性化率[9]を定義する。

故障 f の故障活性化率は、 f から到達可能な信号線数のうち、テスト集合 T によって f について活性化された信号線数の割合を示したものである。 f について活性化された信号線とは、 f が検出された際の故障伝搬経路である。式 (1) に故障活性化率の計算式を示す。故障活性化率を sen_f とする。

$$sen_f = \frac{f \text{ について活性化された信号線数}}{f \text{ から到達可能な信号線数}} \quad (\text{式 1})$$

図 1 の回路を用いて故障活性化率の計算例を示す。テスト集合 $T = \{(0,0,0,0,0), (1,1,0,1,0)\}$ が与えられたとき、信号線 c の 1 縮退故障の故障活性化率は以下のように求めることができる。

図 1 より信号線 c から到達可能な信号線数は $\{c, f, g, h, i, j, k, l, m, n, o, p, q\}$ の 13 本である。図 1 (a) に示すように、テストパターン $(a, b, c, d, e) = \{0, 0, 0, 0, 0\}$ で活性化される信号線は $\{c, f, h, l, n, p\}$ の 6 本である。図 1 (b) より、テストパターン $(a, b, c, d, e) = \{1, 1, 0, 1, 0\}$ で活性化される信号線は $\{c, g, i, k, m, q\}$ の 6 本である。したがって、テスト集合 T によって活性化される信号線は $\{c, f, g, h, i, k, l, m, n, p, q\}$ で 11 本であるため、信号線 c の 1 縮退故障の故障活性化率は、 $(11/13) \times 10 \approx 85[\%]$ である

3. 被疑故障数の削減

本手法は誤り経路追跡を用いて被疑故障を算出し、評価する。誤り経路追跡はフェイルパターンを印加して論理シミュレーションを実行し、フェイル外部出力から外部入力に向かって操作が行われる。したがって、被疑故障数を削減するためには、以下の 2 点が重要である。

- フェイルパターン数を増加させる
- フェイルパターンによる活性化経路数を増加させる

フェイルパターン数が増加すると、フェイル外部出力数が増加する。誤り経路追跡は各フェイル外部出力から外部入力に向かって被疑故障を算出していき、算出された被疑故障集合の積集合をとるためフェイル外部出力数が多いほど被疑故障数が削減される可能性が高くなる。また、フェイル外部出力が異なれば被疑故障数をさらに削減することができる。そして、フェイルパターンによる活性化

経路数を増加させると、誤り経路追跡の後方追跡時に活性化経路が分散され、被疑故障数の削減につながる。

したがって、本手法では可能な限り多くの外部出力で故障が検出され、高い故障活性化率を達成するテスト生成を行う。

1.	Diagnostic_ATPG(F, n_{tp}, sen, C)
2.	{
3.	$T = \phi$;
4.	$N_{po} =$ 到達可能外部出力数計算;
5.	while((検出外部出力数 < n_{po} f の処理数 j < ($n_{po} -$ 検出外部出力数)) の故障 $f \in F$ が存在)
6.	{
7.	$tp = \text{NULL}$;
8.	if(f は未検出)
9.	{
10.	$tp =$ 高可観測経路優先テスト生成(f, C);
11.	処理数 $j++$;
12.	}
13.	if($tp == \text{NULL}$)
14.	{
15.	$tp =$ 検出外部出力指定テスト生成(f, C);
16.	処理数 $j++$;
17.	}
18.	if ($tp \neq \text{NULL}$)
19.	{
20.	tp で故障シミュレーション(f, C);
21.	tp を T に挿入;
22.	検出外部出力数を更新;
23.	}
24.	}
25.	while((f の故障活性化率 < sen f の処理数 i < n_{tp}) の故障 $f \in F$ が存在)
26.	{
27.	$tp = \text{NULL}$;
28.	$tp =$ 故障活性化率向上のためのテスト生成(f, C);
29.	if ($tp \neq \text{NULL}$)
30.	{
31.	tp で故障シミュレーション(f, C);
32.	if(f の故障活性化率が増加)
33.	{
34.	tp を T に挿入;
35.	}
36.	}
37.	$j++$;
38.	}
39.	}

図 2 提案テスト生成アルゴリズム

4. 故障活性化率指向テスト生成法

故障診断分解能向上のためのテスト生成法として、故障活性化率指向テスト生成法を提案する。このテスト生成法は、各故障が構造的に到達可能な外部出力を予め求めておき、可能な限り多くの外部出力へ故障が伝搬するようなテスト集合を生成する。その後、故障活性化率に閾値を設け、各故障の故障活性化率が閾値以上になるまで、または指定したテストパターン数に到達するまでテスト生成を行う。このテスト生成により、故障が検出される外部出力と活性化される信号線を増やし、被疑故障数の削減を図る。

故障活性化率指向テスト生成のアルゴリズムを図2に示す。 F は故障集合、 n_{tp} はテスト生成数、 sen は故障活性化率の閾値、 C は回路を示す。はじめに T を空集合に初期化する(行3)。次に、すべての信号線について構造的に到達可能な外部出力 $N_{po} \in n_{po}$ を計算する(行4)。 f が検出された外部出力数が n_{po} 未満または、 f の処理数 j が n_{po} - 検出外部出力数未満の故障 $f \in F$ が存在する限り、行5から行22を繰り返す。 tp をNULLに初期化する(行7)。 f が未検出であるとき(行8)、可観測費の高い経路を優先的に伝搬経路とするテスト生成(関数:高可観測経路優先テスト生成)を実行し戻り値であるテストパターンを tp に代入する(行10)。 f の処理数 j をカウントアップする(行11)。 f がすでに1回以上検出されているとき、まだ f が検出されていない外部出力を選択し、パスセグメントの選択時に、より未活性信号線数の多いパスセグメントを選択するテスト生成(関数:検出外部出力指定テスト生成)を実行し戻り値であるテストパターンを tp に代入する(行15)。 f の処理数 j をカウントアップする(行16)。テストパターンが生成されたとき(行18)、 tp で故障シミュレーションを実行し(行20)、パスセグメントの活性化信号線情報を更新する。 tp を T に加え(行21)、検出外部出力の情報を更新する(行21)。その後、 f の故障活性化率が sen 未満または、 f の処理数 i が n_{tp} 未満の故障 $f \in F$ が存在する限り、行25から行38を繰り返す。 tp をNULLに初期化する(行27)。次に、検出外部出力を指定せず、パスセグメントの選択時に、より未活性信号線数の多いパスセグメントを選択するテスト生成(関数:故障活性化率向上のためのテスト生成)を実行し戻り値であるテストパターンを tp に代入する(行28)テストパターンが生成されたとき(行29)、 tp で故障シミュレーションを実行し(行31)、パスセグメントの活性化信号線情報を更新する。次に、 f の故障活性化率が増加したとき(行32)、 tp を T に加える(行34)。最後に処理数 i をカウントアップする(行37)。

表2 実験結果

回路名	被疑故障数				テスト数	平均故障活性化率(%)	故障検出効率(%)
	平均	最大	最小	最頻			
b10	14.02	56	1	3	345	96.1	100
s208	13.21	66	1	3	231	94.3	100

5. 実験結果

本提案手法で生成されたテスト集合を用いて誤り経路追跡と故障シミュレーションを実行し、評価する。使用回路はb10とs208である。冗長故障を除くすべての故障を挿入し誤り経路追跡を実行した。1つの故障につき生成する最大のテストパターン数を5に設定し、故障活性化率の閾値を90とした。表2に実験結果を示す。ともに、故障活性化率90%以上を達成した。しかし、テストパターン数が膨大になってしまった。故障活性化率を向上させるアルゴリズムの問題があると思われる。

6. むすび

本論文では、故障診断分解能向上のための故障活性化率指向テスト生成を提案した。高い故障活性化率を達成したが、テストパターン数が膨大になってしまった。今後の課題として、他テスト生成との比較実験や大規模回路による実験、アルゴリズムの見直しが挙げられる。

参考文献

- [1] H.Y.Chang, E.Manning and G.Metze: "Fault Diagnosis of Digital Systems", John Wiley & Sons, Inc.1970
- [2] E.Manning H.Y.Chang and G.Metze. Fault Diagnosis of Digital Systems. John Wiley & Sons, Inc., 1970.
- [3] M. Schulz, E. Trischler, and T. Serfert, "SOCRATES: A Highly Efficient Automatic Test Pattern Generation System," IEEE trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 7, No. 1, pp. 126-137, Jan. 1988.
- [4] W. Kunz, and D. Pradhan, "Recursive Learning: An Attractive Alternative to the Decision Tree for Test Generation in Digital Circuits," Proc. IEEE International Test Conference on Discover the New World of Test and Design, pp. 816-825, 1992.
- [5] M. Henftling, H.C.Wittmann, and K.J.Antreich, "A Single-Path-Oriented Fault

Effect Propagation in Digital Circuits Considering Multiple-Path Sensitization," Proc. 1995 IEEE/ACM International Conference on Computer-Aided Design, pp. 304-309, 1995.

[6] C. Wang, S. Reddy, I. Pomeranz, X. Lin, and J. Rajski, "Conflict driven techniques for improving deterministic test pattern generation," Proc. IEEE International Conference on Computer-Aided Design, pp. 87-93, 2002.

[7] E. Gizdarski, and H. Fujiwara, "SPIRIT: A Highly Robust Combinational Test Generation Algorithm" IEEE trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 21, No. 12, pp. 1446-1558, Dec. 2002.

[8] 山田輝彦 中村芳行 組合せ回路における単一縮退故障の一診断法. 電子情報通信学会論文誌, 1991

[9] 細川利典 山崎浩二, 故障活性化率向上のための n 回検出テスト法," 電子情報通信学会論文誌, pp. 1474-1482, 2007

[10] 藤原 秀雄, "デジタルシステムの設計とテスト", 工学図書株式会社, 2004. p163