

レジスタ転送レベル回路における故障診断容易化のためのコントローラの制御信号のドントケア割当て法

日大生産工 (院) ○土渕航平, 日大生産工 細川利典, 明治大学 山崎浩二

1. はじめに

半導体微細化技術の進歩に伴い, 超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) において, 異常動作の物理的な原因を特定する故障解析[1]は, 歩留まりの向上のために重要である. 故障解析では, 電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため, 多大なコストを要する. そのため, 故障 VLSI に存在する可能性のある故障 (被疑故障) の数を事前にできる限り絞り込んでおく故障診断[2]が, 故障解析コストの低減のために重要となる. 故障診断[2]では, 故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する.

これまでに, 縮退故障やブリッジ故障などの特定の故障モデルに対応した故障診断手法が多く提案されている[2-6]. また, ゲートレベルやレイアウトレベルにおけるテストポイント挿入 (Test Point Insertion: TPI) などの診断分解能を考慮した設計手法が提案されており, 被疑故障数の削減が報告されている[7-10]. しかしながら, ゲートレベルやレイアウトレベルの回路は回路を構成する部品数が非常に多く, 高速で効果的な個所にテストポイントを挿入することが困難である. また, 挿入されたテストポイントによる面積オーバーヘッドの増大や最適なタイミング設計が困難になるなどの課題が挙げられる.

本論文では, ゲートレベルやレイアウトレベルと比較して抽象度の高いレジスタ転送レベル (Register Transfer Level: RTL) に着目している. 対象とする RTL 回路はデータパスとコントローラで構成され, データパスからコントローラへの状態信号とコントローラからデータパスへの制御信号によって接続されている. また, コントローラは有限状態機械で設計されていると仮定し, 状態遷移時に制御信号値がデータパスに出力される. それらの制御信号値にはドントケア (X) が含まれる場合があり, 論理合成時に面積の最小化を指向して, X に論理値が割当てられる. 本論文では RTL での診断分解能の向上のために, 制御信号の X に論理値を割当てて手法を提案する. RTL での診断分解能を向上させるために, 以下の2点を最小化する.

- 1) 状態遷移ペアのある外部出力における共通のテスト可能な信号線数
- 2) 各状態遷移の外部出力ペアにおける共通のテスト可能な信号線数

論理故障の故障診断分解能を向上させるために, コントローラの状態遷移における制御信号の X 割当て問題を擬似ブール最適化問題で定式化した. 本論文では, フルスキャン設計を前提とし, フリップフロップ (FF)

の D 端子である疑似外部出力を外部出力として扱う. また, 論理故障を故障診断の故障モデルとした.

2. 制御信号値のドントケア割当て法

本章では各状態遷移における制御信号のドントケア割当て手法について述べる. 本手法では被疑故障数の削減のために, コントローラの制御信号値の X に論理値を割当てて. 以下の2つの戦略に基づいてドントケアの割当てを行う.

A. 故障診断のための X 割当て戦略 1

(戦略 1) 状態遷移によるテスト可能な信号線の観測点ができるだけ異なるように, 制御信号値 X に論理値を割当てて. ここでは, 状態遷移 ST1 の制御信号値の X の数は 1 であるとする. X への論理値の割当て方は 2 通りあり, ST1-1 と ST1-2 の 2 つの状態遷移が考えられる.

図 1 に ST1-1 でテスト可能な信号線と ST1-2 でテスト可能な信号線を示す. 図 3 において, R1, R2, R3 はレジスタであり, テスト可能な信号線の観測点である. 赤の破線は, R1 と R2 の両方を観測点とするテスト可能な信号線の集合を表している. この例では, ST1-2 の集合の要素数は, ST1-1 の集合の要素数よりも少ない. ST1 がフェイル状態遷移で, R1 および R2 がともにフェイル外部出力である場合, ST1-2 はより多くの故障ペアを識別可能であり, 被疑故障数を減らすことができると考えられる.

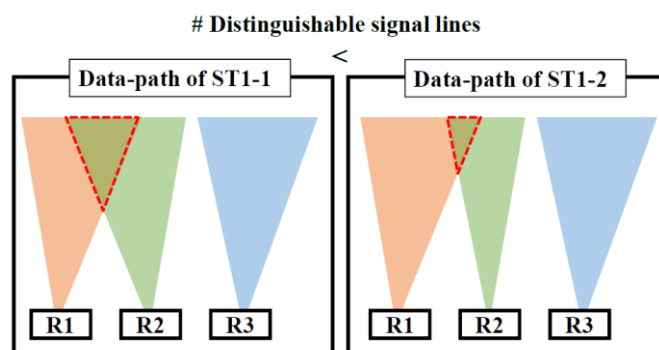


図 1. 戦略 1 の例

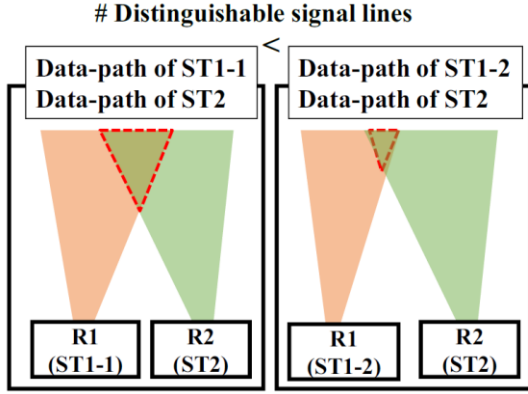


図 2. 戦略 2 の例

B. 故障診断のための X 割当て戦略 2

(戦略 2) ST1, ST2 を状態遷移とし, PO1, PO2 を外部出力とする. $SET(POi, STj)$ を $STj (i \in \{1,2\}, j \in \{1,2\})$ によって **POi-テスト可能**な信号線の集合とする. 制御信号値 X には, $|SET(PO1, ST1) \cap SET(PO2, ST2)|$ および $|SET(PO2, ST1) \cap SET(PO1, ST2)|$ が最小となるような論理値が割当てられる.

図 2 に状態遷移 ST1 と ST2 について例を挙げる. ST1 上の制御信号値に含まれる X の数は 1 であると仮定し, X への論理値の割当て方は, 状態遷移 ST1-1 と ST1-2 の 2 通りが考えられる. 図 4 において, R1, R2 はレジスタであり, テスト可能な信号線の観測点である. 図 4 の左側には, ST1-1 の R1 でテスト可能な信号線と ST2 の R2 でテスト可能な信号線を示している. 赤破線は, ST1-1 の R1 でテスト可能な信号線と ST2 の R2 でテスト可能な信号線の積集合を表す. また, 図 4 の右側には, ST1-2 の R1 でテスト可能な信号線と, ST2 の R2 でテスト可能な信号線が示されている. 赤破線は, ST1-2 による R1 テスト可能な信号線と ST2 による R2 テスト可能な信号線の積集合を表す. 右側の積集合の要素数は, 左側の積集合の要素数よりも少なくなっている. このように, ST1 と ST2 がフェイル状態遷移であり, R1 が ST1 のフェイル外部出力, R2 が ST2 のフェイル外部出力である場合, ST1-2 の X 割当ては, より多くの故障ペアを識別し, 被疑故障数を削減することができると考えられる.

データパス内の制御信号線上の故障を含む全ての信号線が, 少なくとも 1 つの状態遷移によってテスト可能となるように, 制御信号の X に論理値が割当てられる.

3. 問題定式化

本章では 3 章で述べたコントローラの制御信号値のドントケア割当て問題を擬似ブール最適化問題 (Pseudo Boolean Optimization : PBO) で定式化する.

A. 戦略 1 の定式化

$$\sum_{s=1}^M \sum_{i=1}^{N_s} \sum_{j=1}^O \sum_{\substack{h=1 \\ h \neq j}}^O |T_{s-i-j} \cap T_{s-i-h}| \times Y_{s-i} \cdots (1)$$

式(1)は前章で説明した「戦略 1」の定式化を示したものである. M は状態遷移数, N_s は状態遷移 s のドントケア割当ての場合の数 (2^{N_s}), O はスキャンレジスタを含めた外部出力数を表す. $Y_{s-i} (\in \{0,1\})$ は状態遷移 s のドントケア割当て i を PBO が選択するか否かを判定する変数であり, 1 ならば選択され, 0 ならば選択されないことを表す. また, T_{s-i-j} は状態遷移 s のドントケア割当て i の外部出力 j でテスト可能な信号線の集合を示し, T_{s-i-h} は状態遷移 s のドントケア割当て i の外部出力 h でテスト可能な信号線の集合を示す. Y_{s-i} は任意の状態遷移における識別可能な故障数を増やすことを目的として, 式(1)を最小化するように Y_{s-i} が決定される.

B. 戦略 2 の定式化

$$\sum_{s=1}^M \sum_{i=1}^{N_s} \sum_{j=1}^O \sum_{\substack{u=1 \\ u \neq s}}^M \sum_{g=1}^{N_u} \sum_{h=1}^O |T_{s-i-j} \cap T_{u-g-h}| \times Y_{s-i} \cdots (2)$$

式(2)に前章で説明した「戦略 2」の定式化を示す. M は状態遷移数, N_s は状態遷移 s のドントケア割当ての場合の数 (2^{N_s}), N_u は状態遷移 u のドントケア割当ての場合の数, O は外部出力とスキャンレジスタを含めた外部出力数を表す. $Y_{s-i} (\in \{0,1\})$ は状態遷移 s のドントケア割当て i を PBO が選択するか否かを判定する変数であり, 1 ならば選択され, 0 ならば選択されないことを表す. また, T_{s-i-j} は状態遷移 s のドントケア割当て i の外部出力 j でテスト可能な信号線の集合を示し, T_{u-g-h} は状態遷移 u のドントケア割当て g の外部出力 h でテスト可能なハードウェア要素の集合を示す. 任意の状態遷移ペアにおいて識別可能な故障数を増加させることを目的として, 式(2)を最小化するように Y_{s-i} が決定される.

故障診断容易化設計のための制御信号値の X 割当てでは, 以下のように重み付けされた式(1)と式(2)の和を最小化する式(3)を導入する. 重み α, β ($0 \leq \alpha, \beta$) は整数値である. α と β の値を設定することで, どの式が故障診断に有効かを評価することができる.

$$\alpha \times \text{式}(1) + \beta \times \text{式}(2) \cdots (3)$$

C. PBO の制約条件

$$\bigwedge_{k=1}^P \bigvee_{s=1}^M \bigvee_{i=1}^{N_s} Y_{s-i} \cdot Z_{k-s-i} = 1 \cdots (4)$$

式(4)に、すべての信号線が少なくとも 1 つの状態遷移によってテスト可能であるという制約を示す。 P は制御信号線の故障を含む全ての信号線数、 M は状態遷移数、 N_s は状態遷移 s のドントケア割当ての場合の数 ($2^{\#X}$)、 O は外部出力とスキャンレジスタを含めた外部出力数を表す。 $Y_{s-i} (\in \{0,1\})$ は状態遷移 s のドントケア割当て i を PBO が選択するか否かを判定する変数であり、 1 ならば選択され、 0 ならば選択されないことを表す。 また、 $Z_{k-s-i} (\in \{0,1\})$ は状態遷移 s のドントケア割当て i で信号線 k がテスト可能か否かを示す変数であり、 1 ならばテスト可能、 0 ならばテスト不能である。 式(4)は制御信号線のすべての故障を含む全信号線が少なくとも 1 つの状態遷移でテスト可能であることを保証することを目的としている。

$$\sum_{i=1}^{N_s} Y_{s-i} = 1 \quad (\forall s) \quad \dots\dots (5)$$

式(5)に、各状態遷移において、選択される制御信号値の X 割当ての数が 1 であるという制約を示す。 式(5)において、 N_s は状態遷移 s のドントケア割当ての場合の数 ($2^{\#X}$) を表す。 また、 $Y_{s-i} (\in \{0,1\})$ は状態遷移 s のドントケア割当て i を PBO が選択するか否かを判定する変数であり、 1 ならば選択され、 0 ならば選択されないことを表す。

D. 診断可能性のための設計の全体のアルゴリズム

図 3 に、提案手法である診断容易化設計法のアルゴリズムを示す。 入力は、RTL コントローラ C と RTL データパス D である。 出力は、X 割当てによって更新された RTL コントローラ C である。 状態遷移時にコントローラからデータパスに供給された制御信号値を用いて、データパスの構造的記号シミュレーションを実行する (4 行目から 8 行目まで)。 このとき制御信号値に X が存在する場合、構造的記号シミュレーションは、すべての X が割当てられて実行される。 したがって、状態遷移 s の制御信号値に含まれる X の数が n 個の場合、 $2^n (= N)$ 個の制御信号値で構造記号シミュレーションを行う。 その後、コントローラの各状態遷移における X 割当て問題を PBO として定式化し、評価式(3)を解くことで、制御信号値の X に割当てた論理値が得られる (9 行目)。 状態遷移ごとにコントローラの制御信号値の X に PBO で求めた論理値を代入して C を更新し (10 行目)、 X 割当て済みの C が得られる (12 行目)。

表 1. ex2 と ex4 のコントローラの実験結果

Circuit	#X	#Tran	#State	#CS	#SS
ex4	18	5	5	7	0
ex2	46	6	6	12	0

```

1. Input : RTL controller C, and RTL data-path D
2. Output : RTL controller C with X-filling
3. X-filling_Controller(C, D) {
4.   for (s=1; s < M; s++) {
5.     for (i=1; i < N; i++) {
6.       (Ts-i-1, Ts-i-2, ..., Ts-i-O) = Structural_Symbolic_Sim(D, STs-i);
7.     }
8.   }
9.   (ST1, ST2, ..., STM) = PBO(∀ Ts-i-j);
10.  C = Controller_X-filling (C, ∀ STs);
11.  return(C);
12.}

```

図 3. 提案手法のアルゴリズム

Circuit	#PI	#PO	#FF	Area	OH(%)
ex4_org	193	64	195	9763	2.55
ex4_DFD	193	64	195	10012	
ex2_org	130	32	163	10787	0.40
ex2_DFD	130	32	163	10830	

表 2. 面積オーバーヘッド

4. 実験結果

本論文では、提案した故障容易化設計法について、被疑故障数と面積のオーバーヘッドを評価した。 実験は、RTL ベンチマーク回路[11]を用いて行った。 この実験では、32 ビット幅のコントローラとデータパスで構成された回路を使用した。 これらの RTL 回路に、提案した診断容易化設計手法を適用し、状態遷移時の制御信号値の X に論理値を割当てた。 PBO ソルバーとして Clasp[12]を用いた。 RTL 回路の論理合成は、Synopsys 社の DesignCompiler を用いて行った。 被疑故障は、フェイルパターンを用いて、誤り経路追跡と故障シミュレーションを組み合わせた故障診断法[13]を用いて算出した。 CPU に AMD Ryzen 7 3700X 8-Core Processor (3.60GHz)、16GB のメモリを搭載したコンピュータを使用した。

表 1 は、2 つのベンチマーク回路 (ex4 と ex2) に対するコントローラの実験結果を示したものである。 表中の "Circuit" は回路名を、 "#X" はすべての状態遷移における制御信号値の X の総数を、 "#Tran" は状態遷移数を、 "#State" は状態数を表している。 また、 "#CS" は制御信号線数を、 "#SS" は状態信号線数を表している。

表 2 は、提案手法の面積オーバーヘッドを示している。 表中の "Circuit" は回路名を、 "#PI" は外部入力数を、 "#PO" は外部出力数を、 "#FF" はスキャン FF の数を、 "Area" はデータパスとコントローラを含む合成された回路全体の面積を表しており、 "OH" は本提案手法の診断容易化設計後の面積と元の回路の面積の比率を表している。 回路名の末尾の "org" はオリジナル回路の実験結果を、 回路名の末尾の "DFD" は提案手法である診断容易性を考慮した回路の実験結果を示している。 フルスキャン設計は、テスト容易化設計として、両方

の回路に適用されている．評価式(4)のパラメータである α と β は，ともに 1 とした．元の回路の面積オーバーヘッドは 0.40～2.55%であり，これは無視できるレベルである．

表 2 に故障診断の実験結果を示す．この表で，"Circuit"は回路の名前を示しており，"TP"はテストパターン数，"#F-VLSI"は単一縮退故障が存在すると仮定した故障回路の数(サンプル数)，"#SCF"は被疑故障数を表し，"average"は被疑故障数の平均を表しており，"mode"は最も高い頻度で判定した被疑故障数を示す．回路名の最後の "org" は，オリジナル回路の実験結果を示し，回路名の末尾の "DFD" は診断容易化設計を施した回路の実験結果を示す．各状態遷移に対して，20 個のテストパターンをランダムに生成してスキャンテストを行った．例えば，ex4 の状態遷移の数は 5 であるため，100 個のテストパターンを生成してスキャンテストを行った．RTL データパス回路の信号線に対応する論理回路の信号線にのみ縮退故障を挿入し，生成したテストパターンを用いて故障シミュレーションを行い，提案手法は，被疑故障数を平均で 63.42～65.15%削減することができた．また，"mode"については，ex4_org が 9 であるのに対し，ex4_DFD は 5 であった．このことから，提案した手法は故障診断に有効であると考えられる．

5. まとめ

本論文では，コントローラにおける制御信号値の X 割当てに基づいた診断容易化設計法を提案した．また，制御信号値の X 割当て問題を PBO として定式化した．実験の結果，本手法は，オリジナルの回路と比較して，平均 1.48%の面積オーバーヘッドで，被疑故障数を 64.29%削減できることがわかった．今後課題として，パラメータを変更しながらより多くの回路を評価することや，提案した診断容易化設計手法に基づくテスト生成手法の提案などが挙げられる．

表 3. 故障診断結果

Circuit	#TP	#F-VLSI	#SCF	
			Average	Mode
ex4_org	100	935	57.88	9
ex4_DFD			21.17	5
ex2_org	120	1132	61.12	3
ex2_DFD			21.13	3

参考文献

- [1] H.Y.Chang, E.Manning and G.Metze: "Fault Diagnosis of Digital Systems", John Wiley & Sons, Inc.1970
- [2] E.Manning H.Y.Chang and G.Metze. Fault Diagnosis of Digital Systems. John Wiley & Sons, Inc., 1970.
- [3] V.Boppana and W. K. Fuchs, "Fault dictionary compaction by output sequence removal, " Proc. ICCAD, pp.287-296, 2001.
- [4] S. D. Millman, E. J. McCluskey and J. M. Acken, "Diagnosing CMOS Bridging Faults with Stuck-at Fault Dictionaries, " Proc. ITC, pp.860-870, 1990.
- [5] S. Venkataraman and S. B. Drummonds, "A technique for logic fault diagnosis of interconnect open defects, " Proc. VTS, pp.313-318, 2000.
- [6] I. Hartanto, S. Venkataraman, W. K. Fuchs, E. M. Rudnick, J. H. Patel, S. Chakravarty, "Diagnostic simulation of stuck-at faults in sequential circuits using compact lists, " ACM Transactions on Design Automation of Electronic Systems (TODAES), pp.471-489, Volume 6, Issue 4, October 2001.
- [7] Y. Benabboud, A. Bosio, L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel, and O. Riewer, "Delay Fault Diagnosis in Sequential Circuits, " Proc. ATS, pp.355-360, 2009.
- [8] T. Yamada, K. Yamazaki, and E. J. McCluskey, "A Simple Technique for Locating Gate-Level Faults in Combinational Circuits, " Proc. ATS, pp.65-70, 1995.
- [9] I.Pomeranz, S.Venkataraman, and S.M.Reddy: "Z-DFD:Design-for-Diagnosability Based on the Concept of Z-detection, " Proc. ITC, pp. 489-497, October 2004.
- [10] N.kuji, T.Ishihara, and S.Nakajima, : "EB-Testing-PAD Method and Its Evaluation by Actual Devices, " IEICE Trans. Inf. & Syst., Vol. E85-D, No10, pp.1558-1563, October 2002.
- [11] N.Toyota, X.Wen, S.Kajihara, and M.Sanada: "Quantifying Observability for Fault Diagnosis of VLSI Circuits, " IEE 6th Workshop on RTL and High-Level Testing, Harbin, China, July 20-21, 2005
- [12] Mike Tien-Chien Lee "High-Level Test Synthesis of Digital VLSI Circuits" Artech House, London, 1997
- [13] Vasco Manquinho, Ruben Martins, and In[^]esLynce, "Improving Unsatisfiability-Based Algorithms for Boolean Optimization", Theory and Applications of Satisfiability Testing-SAT 2010.