

フィールドテストのための状態信号系列を用いた構造的記号シミュレーション によるテスト可能率の評価に関する研究

日大生産工(学部) ○豊岡雄大 日大生産工(院) 池ヶ谷裕輝

三菱電機(株) 石山悠太 日大生産工 細川利典 京産大 吉村正義

1. はじめに

近年、超大規模集積回路(Very Large Scale Integrated circuit: VLSI)が社会の様々なシステムの中で利用されるようになり、高い信頼性が要求されるものに多く用いられている。一方で、半導体技術の発展により回路の複雑化、微細化が進み、製造ばらつきや回路の経年劣化への対応が問題となっている[1][2]。現在でもライフタイムの予測や出荷前の信頼性試験および寿命試験が行われているが、回路により実際の使用状況や使用環境は異なっており、劣化の進み具合も変化するため、それらを事前に把握することは困難である。障害を回避する一つの手段として、通常動作時に回路の出力や内部信号線の値を監視するフィールドテストが用いられる[1]。

また、製造段階での面積制約を考慮する必要があるため、面積オーバーヘッドも重要な問題となる。さらに、電源の投入と同時にテストを行うため、短時間でのテストが必要である。高信頼性を達成するための手法として、あらかじめ生成したテストパターンをメモリに格納し、短時間で少しずつテストを行う手法が挙げられる。しかしながら、この手法ではメモリによる面積オーバーヘッドが増大するという問題点が挙げられる。一方で、面積オーバーヘッドを削減する手法として組込み自己テスト(Built-In Self-Test: BIST)[3]が挙げられる。この手法では、VLSIにテストパターンを生成する回路を挿入することで、テストパターンをメモリに格納する必要がなく、メモリによる面積オーバーヘッドの増大を抑制することが可能である。しかしながら、BISTのみでは、十分な故障検出率を達成可能な疑似ランダムテストパターンの生成が困難であり、高信頼性を達成することは困難である。さらにスキャン設計とBISTを組合せたSTUMPS構造[5]が提案されているが、シフト動作によるテスト実行時間の増大に対する課題が残る。

文献[4]では、データパスとコントローラから構成されるレジスタ転送レベル(Register Transfer Level: RTL)回路に対する非スキャンベースフィールドテストに焦点を当て、故障検出率の改善、小面積化、テスト実行時間の短縮を実現するためのテスト容易化設計と状態信号系列生成手法が提案されている。しかしながら、文献[4]では、コントローラの状態遷移の実行を被覆する状態信号系列をフィールドテストで用いており、データパスの動作に着目していないため、データパス中のレジスタ、マルチプレクサ、演算器のテストを十分に実行できていない可能性がある。

以上の理由から、本論文では文献[4]で提案された状態遷移を被覆する状態信号系列によるテスト不可能なハー

ドウェア要素を特定するために、スキャンテスト用の構造的記号シミュレーション[6]を非スキャンテスト用に拡張して評価する。

第2章ではコントローラの n 回状態遷移被覆[4]に基づく状態信号系列生成法を説明する。第3章では、非スキャンテストのための k 時間構造的記号シミュレーションや手法を提案する。第4章で実験結果を示し、第5章は結論と今後の課題について述べる。

2. n 回状態遷移被覆に基づく非スキャンベースフィールドテスト

2-1. 文献[4]の手法の概要

本章では、文献[4]で提案された n 回状態遷移被覆に基づく非スキャン設計ベースフィールドテスト法を説明する。文献[4]の手法において、1つ目の特徴は、非スキャン設計の回路でより小面積オーバーヘッドかつ短時間のテストを行う、2つ目の特徴は、決定的パターンとランダムパターンを併用して故障検出率の向上を図ることである。

2-2. 非スキャンテスト

現状のフィールドテストではスキャンベーステストが主流である。スキャンベーステストでは、疑似ランダムパターンを使用してある程度高い故障検出率が達成できる。しかしながら、スキャンフリップフロップ(FF)は通常のFFより面積が大きいため、回路が大規模化するほどスキャンFF数が増加し、面積オーバーヘッドが増大する。また、シフト動作で各スキャンFFに値を設定する。回路の大規模化により一つのスキャンチェーンに接続されているスキャンFF数が増加し、テスト実行時間が増大するため、シフト動作時のサイクル数も増加する。これらの理由から、本手法では非スキャン設計のフィールドテストに着目する。

2-3. コントローラの n 回状態遷移被覆

コントローラに入力する状態信号は、前述のとおり決定的パターンを用いる。その際、故障検出率向上のために、どのような状態信号を与えるかが重要な問題となる。文献[4]では、全ての状態遷移を被覆するための状態信号系列を与える。一般に、テストパターンとして疑似ランダムパターンを用いる場合、回路動作に偏りが生じ、未検出故障数が増加する可能性がある。それゆえ、コントローラの全ての状態遷移を少なくとも1回実行することで、可能な限り回路動作が偏らないようにし、新たな故障を検出する可能性を向上させる。また、更なる故障検出率

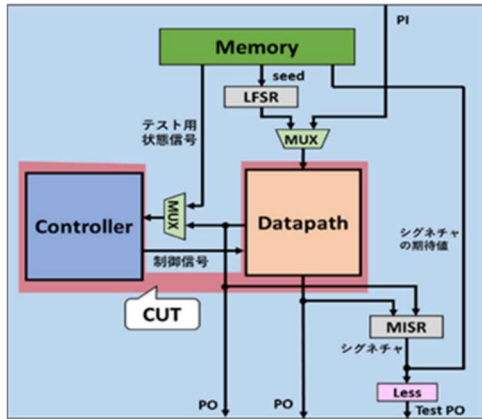


図1. RTL フィールドテストのアーキテクチャ

の向上を達成するため、全ての状態遷移を少なくとも n 回 (n は自然数) 被覆するような状態信号系列生成を行う。この状態信号系列により、全ての状態遷移を少なくとも 1 回だけ被覆する場合よりもさらに多くの故障を検出することを図る。

2-4. フィールドテストのアーキテクチャ

フィールドテスト手法を実現するために、RTL 回路にテスト容易化設計(DFT)を行う。図1に文献[4]で提案されているアーキテクチャを示す。図1においてテスト対象回路(CUT)は、コントローラとデータバスである。また、疑似ランダムテストパターン生成器として LFSR、テスト応答圧縮器として MISR を用いる。さらに LFSR の初期値となるシード値やシグネチャの期待値、 n 回状態遷移被覆によって生成した状態信号系列をメモリから与える。コントローラの入力は、データバスが出力する状態信号と、メモリに格納されているテスト用の状態信号とをマルチプレクサ(MUX)を用いて選択可能とする。データバスの状態信号線には故障影響が伝搬する可能性があるため、外部出力に接続することで可観測性を向上させる。データバスの入力は、本来の外部入力と LFSR が出力する疑似ランダムテストパターンとをマルチプレクサ(MUX)により選択可能とする。データバスの出力は、外部出力と MISR への入力に分岐する。MISR はデータバスの出力応答を圧縮し、シグネチャとして期待値とともに比較器(Less)に入力される。比較器は、シグネチャとその期待値との比較結果によって正常信号もしくは異常信号をテスト用外部出力へ出力する。

3. 構造的記号シミュレーションの概要

文献[4]で提案された手法において、故障検出率は十分に高いとは言えない。それゆえ、本論文では、コントローラの n 回状態遷移を行う状態信号系列を印加することにより、コントローラからデータバスへ出力される制御信号系列を用いてデータバスに対して構造的記号シミュレーション[6]を実行して、テスト可能な信号線とそのテスト実行回数を評価し、テストができていないデータバスのハードウェア要素を特定する。まず文献[6]で提案され

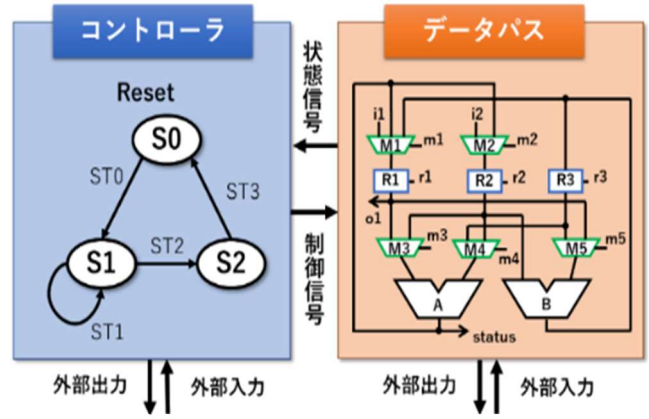


図2. RTL 回路例

たスキャンテスト用の構造的記号シミュレーションを非スキャンテスト用の構造的記号シミュレーションに拡張する。

(定義1: k 時間構造的記号シミュレーション)

以下に述べるデータバスの k 時間展開モデルと制御信号系列に基づいて行われる手続き 1~4 までの処理を k 時間構造的記号シミュレーションと呼ぶ。構造的記号シミュレーションは、データバスのハードウェア要素のテスト可能性を判定するための処理である。

ここで、ハードウェア要素とはデータバスのモジュール(演算器、レジスタ、マルチプレクサ)を接続する信号線と制御信号線の縮退故障のことである。

(定義2: C シンボル[5])

C シンボルとは、各信号線に対して割当てられ、 C シンボルが割当てられた信号線は外部入力または定数から可制御であることを示す。

(定義3: O シンボル)

O シンボルとは、各信号線に対して割当てられ、 O シンボルが割当てられた信号線は外部出力または状態信号線で可観測であることを示す。

データバスの時間展開数を k とすると、時刻 t を 0 に設定し、以下の手続き 1 と 2 を実行する。実行後、時刻 t を 1 つインクリメントし、 $t < k$ が成り立つ限り、手続き 1 と 2 を繰り返し実行する。

(手続き1)

定数の出力信号線、外部入力に接続している信号線に制御可能なシンボル (C シンボル[5]) を割当てる。また、時刻 t でコントローラから出力される制御信号値を制御信号線に割当てる。

(手続き2)

下記の伝搬規則 1~7 にしたがって、 C シンボルを外部入力から外部出力方向へ伝搬する。

(伝搬規則 1) 時刻 t で、ある演算器のすべての入力信号線に C シンボルが割当てられている場合、時刻 t でその演算器の出力信号線に C シンボルが割当てられる。

(伝搬規則 2) 時刻 t で、あるマルチプレクサの制御信号線に論理値が割当てられ、かつ制御信号線の論理値に対

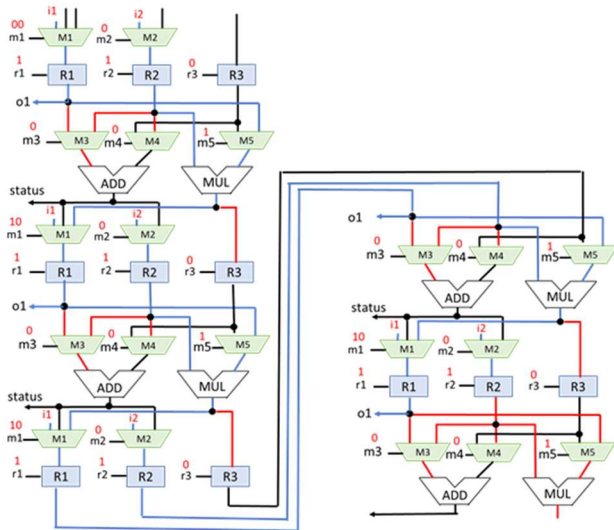


図 3. 状態遷移被覆率 50%の 4 時間展開モデル

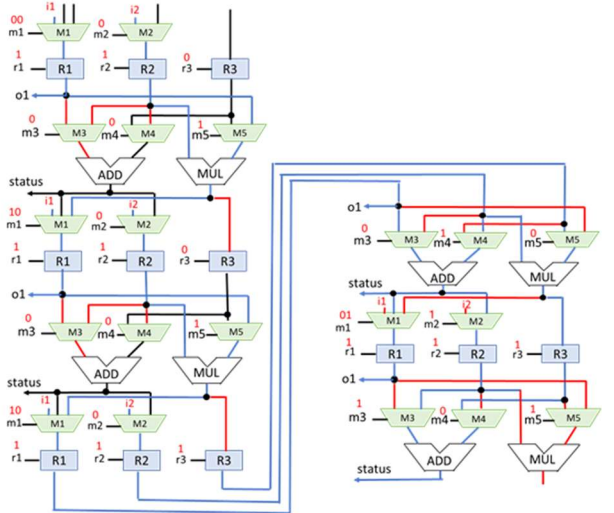


図 4. 状態遷移被覆率 100%の 4 時間展開モデル

応するマルチプレクサの入力信号線に C シンボルが割当てられている場合、時刻 t で、そのマルチプレクサの出力信号線に C シンボルが割当てられる。

(伝搬規則 3) 時刻 t で、あるレジスタの制御信号線に 1 (ロードモード) が割当てられ、かつそのレジスタの入力信号線に C シンボルが割当てられている場合、時刻 $t+1$ で、そのレジスタの出力信号線に C シンボルが割当てられる。

(伝搬規則 4) 時刻 t で、あるレジスタの制御信号線に 0 (ホールドモード) が割当てられ、かつそのレジスタの出力信号線に C シンボルが割当てられている場合、時刻 $t+1$ で、そのレジスタの出力信号線に C シンボルが割当てられる。

(伝搬規則 5) 時刻 t で、ある分岐元信号線に C シンボルが割当てられている場合、時刻 t で、その分岐先のすべての信号線に C シンボルが割当てられる。

(伝搬規則 6) 時刻 t で、あるマルチプレクサの全入力信

号線に C シンボルが割当てられている場合、時刻 t で、そのマルチプレクサの出力信号線に C シンボルが割当てられる。

(伝搬規則 7) 時刻 t で、ある制御信号線を持たないレジスタの入力信号線に C シンボルが割当てられている場合、時刻 $t+1$ で、そのレジスタの出力信号線に C シンボルが割当てられる。時間展開数を k とすると、時刻 t を $k-1$ に設定し、以下の手続き 3 と 4 を実行する。実行後、時刻 t を 1 つデクリメントし、 $t \geq 0$ が成り立つ限り、手続き 3 と 4 を繰り返し実行する。

(手続き 3)

外部出力に接続している信号線と状態信号線に 0 シンボルを割当てる。

(手続き 4)

下記の伝搬規則 8~13 にしたがって、0 シンボルを外部出力から外部入力方向へ伝搬する。

(伝搬規則 8) 時刻 t で、あるマルチプレクサにおいて、その出力信号線に 0 シンボルが割当てられ、かつその制御信号線に論理値が割当てられている場合、その制御信号線の論理値に対応するそのマルチプレクサの入力信号線に 0 シンボルを割当てる。

(伝搬規則 9) 時刻 t で、ある演算器において、出力信号線に 0 シンボルが割当てられ、かつその演算器の i 番目の入力信号線以外の全ての入力信号線に C シンボルが割当てられている場合、その演算器の i 番目の入力信号線に 0 シンボルを割当てる。

(伝搬規則 10) 時刻 t で、ある制御信号線を持たないレジスタにおいて、その出力信号線に 0 シンボルが割当てられている場合、時刻 $t-1$ のそのレジスタの入力信号線に 0 シンボルを割当てる。

(伝搬規則 11) 時刻 t で、ある分岐先信号線に 0 シンボルが割当てられている場合、その分岐元信号線に 0 シンボルを割当てる。

(伝搬規則 12) 時刻 t で、ある制御信号線を持つレジスタにおいて、その出力信号線に 0 シンボルが割当てられ、かつ時刻 $t-1$ でそのレジスタの制御信号線に 1 (ロードモード) が割当てられている場合、時刻 $t-1$ でそのレジスタの入力信号線に 0 シンボルを割当てる。

(伝搬規則 13) 時刻 t で、ある制御信号線を持つレジスタにおいて、その出力信号線に 0 シンボルが割当てられ、かつ時刻 $t-1$ でそのレジスタの制御信号線に 0 (ホールドモード) が割当てられている場合、時刻 $t-1$ でそのレジスタの出力信号線に 0 シンボルを割当てる。

(定義 2 : テスト可能な信号線)

時刻 t で、ある信号線に C シンボルと 0 シンボルが割当てられている時、その信号線をテスト可能な信号線という。

(定義 3 : テスト可能なマルチプレクサの制御信号の故障)

時刻 t で、あるマルチプレクサのある制御信号線 m の値が $\alpha \in \{0, 1\}$ である時、そのマルチプレクサの出力信号線がテスト可能な信号線であつ m の値が $\bar{\alpha}$ である制御信号線に対応する入力信号線に C シンボルが割当てられていれば m の $\bar{\alpha}$ 縮退故障はテスト可能である。

(定義4：テスト可能なレジスタの制御信号線の故障)

あるレジスタの制御信号線 r の値が 1 である時、ロードモードとし、 r の値が 0 である時、ホールドモードとする。時刻 t において r の値が 0 であり、 r を制御信号線に持つレジスタの入力信号線に C シンボルが割当てられ、かつ時刻 $t+1$ においてそのレジスタの出力信号線がテスト可能であれば、 r の 1 縮退故障はテスト可能である。

(定義5：テスト実行回数)

ある信号線(制御信号線の縮退故障)がテスト可能な時刻数をその信号線(制御信号線の縮退故障)のテスト可能回数という。

図2に示すRTL回路のコントローラに対して、 $ST0 \rightarrow ST1 \rightarrow ST1 \rightarrow ST1$ という状態信号系列(状態遷移被覆率 50%)と、 $ST0 \rightarrow ST1 \rightarrow ST2 \rightarrow ST3$ という状態信号系列(状態遷移被覆率 100%)を生成し、4 時間構造的記号シミュレーションを実行した例を図3と図4にそれぞれ表す。図3,4において、赤色の信号線は可制御であることを表し、C シンボルが割当てられている。また、青色の信号線は可制御かつ可観測であることを表し、C シンボル及び 0 シンボルが割当てられている。可制御かつ可観測な信号線は外部入力から外部出力まで値を伝搬することが可能であり、その信号線がテスト可能であることを示している。図3では状態遷移が途中から $ST1$ で固定されているため、データパスの動作に偏りが生じ、加算器やレジスタ3の出力信号線など多くの信号線がテスト不可能となっている。一方、図2ではコントローラが全状態被覆しているため制御信号が更新され、これらの信号線がテスト可能になり、データパス全体が動作していることがわかる。したがって、図3と比較して、より多くの信号線がテスト可能と判断できる。

データパスの総信号線のうち時間展開の中で一度でもテスト可能である信号線を総信号線で割った数をテスト可能率とし、各ハードウェア要素が時間展開中テスト可能であった時刻の総数を、各ハードウェア要素のテスト実行回数とする。

4. 実験結果

本実験では、自作RTL回路に対して、状態信号系列をコントローラの状態遷移被覆率が 50%、100%、および 2 状態遷移被覆 100% になるように生成し、それぞれの状態信号系列でテスト可能率と各ハードウェア要素のテスト実行回数を評価した。

表1では左から、時間展開数、状態信号系列、テスト可能率、平均テスト可能回数を示す。2 行目には状態遷移被覆率 50% の結果、2 列目には状態遷移被覆率 100% の結果、4 行目には 2 状態遷移被覆の結果を示す。

表 1. テスト可能率とテスト可能回数

時間展開数	状態信号系列	テスト可能率	平均テスト可能回数
4	0101	38.64%	1.32
4	0101	88.64%	1.86
8	01010101	95.45%	3.80

表1より、状態遷移被覆率を増加させることでテスト可能率が 50.0% 向上させることができた。また、平均テスト可能回数も 0.52 回増加した。さらに、全状態遷移を 2 回被覆することにより、さらにテスト可能率が 6.81% 向上し、平均テスト可能回数は 1.94 回増加させることができた。各ハードウェア要素のテスト実行回数を解析した結果、テスト実行回数が 0 回である信号線の多くが劇的に改善しており、故障検出率も同様に改善が見込まれる。

5. むすび

本論文では構造的記号シミュレーションを用いたデータパスのフィールドテストバリエーションの評価を行った。2 回状態遷移被覆によってテスト可能率が 56.81%、平均テスト実行回数を 2.48 回向上させることができた。今後の課題として、他の回路で実験を行うことと、故障検出率も同様に改善が見込めるため、新たに故障検出率を追評価する実験を行うことが挙げられる。さらに、コントローラが出力する制御信号値に含まれるドントケアに対して、テスト可能率やテスト実行回数を増大させるように、論理値を割当てて手法を提案することが挙げられる。

文 献

- [1] 藤原 秀雄, “デジタルシステムの設計とテスト,” 工学図書株式会社, 2004.
- [2] 梶原誠司, “組込み自己テストによるフィード高信頼化について,” DC2012-31, 2012 年 11 月, pp. 3-42.
- [3] Edward J. McCluskey, “Built-In Self-Test Techniques,” IEEE Design & Test of Computers, vol. 2, no. 2, pp. 21-28, April 1985.
- [4] 池ヶ谷祐輝, 石山悠太, 細川利典, 吉村正義, “ n 回状態遷移被覆に基づく非スキャンオンラインテスト法,” 信学技報, vol. 119, no. 247, DC2019-47, pp. 37-42, 2019 年 10 月.
- [5] 池ヶ谷祐輝, 石山悠太, 細川利典, 吉村正義, “テスト容易化機能的時間展開モデルを用いた非スキャンベースオンラインテストのための状態信号系列生成法” 信学技報, vol. 120, no. 358, DC2020-77, pp. 48-53, 2021 年 2 月.
- [6] 土渕航平・細川利典・山崎浩二 “レジスタ転送レベル回路における故障診断容易化のためのコントローラの制御信号のドントケア割当て法” 信学技報, vol. 120, no. 436, DC2020-92, pp. 73-78, 2021 年 3 月.