

## テストパターン数削減を指向したゲート網羅故障のためのブロック分割の評価

日大生産工 (学部) ○溝田桃菜 日大生産工 細川利典

京産大 吉村正義 日大生産工 新井雅之

## 1. はじめに

近年, 超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) におけるセル内部の欠陥が縮退故障や遷移故障などの基本的な故障モデルに対するテスト集合では検出されず, 不良品 VLSI を良品 VLSI と判断するテストエスケープが発生している[1]. この問題を解決するためにゲート網羅故障[1]のテスト生成が提案されている[1].

ゲート網羅故障とは, セル内部の故障を考慮している故障モデルである. あるゲートにおける各入力パターンでゲートの出力値が誤る故障を仮定することで, セル内部の故障を網羅する. ゲート数はゲート網羅故障数と比例の関係にあるため, ゲート数が増大すると, 処理対象の故障数やテストパターン数が増大する可能性がある. したがって, テスト生成における動的圧縮が重要になる. テスト圧縮法の1つとして多重目標故障テスト生成 (Multiple Target Test Generation: MTTG) が提案されている [2-4]. 文献[5]では Partial MaxSAT[6]を用いたゲート網羅故障のための MTTG が提案されている. 文献[5]の手法では1つのセルを1つのゲートと定義しているため, ゲート数が増加すると, テストパターン数や処理対象の故障数が膨大になるという課題があげられる.

本論文では, ゲート網羅故障のテストパターン数削減を指向したブロック分割手法を提案する. 複数のセルを統合し, 1つのゲートとして定義する. また, 回路をセルの集合であるブロックに分割する方法としてファンアウトフリー領域 (Fanout Free Region: FFR)[9]と極大ファンアウトフリーコーン (Maximum Fanout Free Cone: MFFC)[10]を使用する. 文献[5]の場合と比較し, テストパターン数と故障数がどの程度削減されているかを評価する.

本論文は以下のように構成されている. 第2章では1セルを1ゲートとした場合のゲート網羅故障について説明する. 第3章では複数のセルを1つのゲートとした場合のゲート網羅故障について説明する. 第4章では FFR, MFFC を使用した場合のゲート網羅故障のための多重目標故障テスト生成について説明する. 第5章では実験結果を示し, 第6章で結論と今後の課題を述べる.

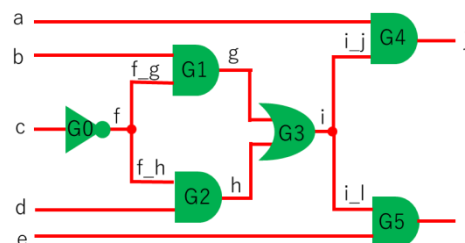


図1. 組合せ回路例

| 入力  | b   | 0 | 0 | 1 | 1 |
|-----|-----|---|---|---|---|
|     | f_g | 0 | 1 | 0 | 1 |
| 正常値 | g   | 0 | 0 | 0 | 1 |
| 故障値 | g'  | 1 | 1 | 1 | 0 |

表1. G1のゲート網羅故障集合

## 2. 1つのセルでのゲート網羅故障

本章では, 1つのセルをゲートとした場合のゲート網羅故障について説明する.

ゲート網羅故障はあるゲートにおける各入力パターンでゲートの出力値が誤る故障を仮定することで, セル内部の故障を網羅する. 例として図1の回路でのゲート網羅故障について説明を行う. 図1の回路ではG0からG5までの6つのセルが存在する. 各セルのゲート網羅故障を求める. セルG1を例に説明する. G1の入力は**b, f\_g**, 出力は**g**となる. よって2入力1出力のANDゲートと考えることができる. 表1はセルG1のゲート網羅故障集合[7]である. G1は2入力1出力のためゲート網羅故障数は $2^2$ 個となる. また, 各セルのゲート網羅故障集合は独立故障集合[8]である. ゲート網羅故障の総数  $NF$  を求める式は(1)となる.

$$NF = \sum_{i=1}^N 2^{NI(gi)} \quad (1)$$

式(1)において  $N$  はゲート数,  $NI(gi)$  はゲート  $gi$  の入力数である. 図1の回路のゲート網羅故障数は

$$2^1 + 2^2 + 2^2 + 2^2 + 2^2 + 2^2 = 22$$

となる.

# An Evaluation of Block Partitioning for Gate-Exhaustive Faults to Reduce the number of Test Patterns

Momona MIZOTA, Toshinori HOSOKAWA,  
Masayoshi YOSHIMURA, and Masayuki ARAI

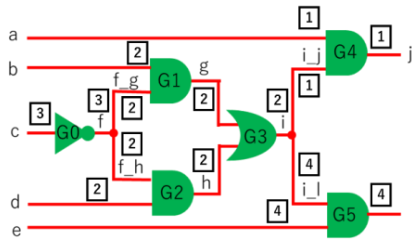


図 2. FFR 分割後のグループ分け

表 2.  $FFR_2$  のゲート網羅故障集合

|     |    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|-----|----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 入力  | b  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| f_g | 0  | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| f_h | 0  | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| d   | 0  | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 正常値 | i  | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 故障値 | i' | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |

### 3. 複数のセルでのゲート網羅故障

本章では、複数のセルを 1 つのゲートとした場合のゲート網羅故障について説明する。3-1 節では FFR について説明し、3-2 節で MFFC について説明する。

#### 3-1. FFR

FFR には 3 つの特徴がある。1 つ目は各 FFR 内には分岐が存在しないこと、2 つ目は単一出力であること、3 つ目は分岐が存在しないため任意の入力から出力までの経路は 1 つしか存在しないことである。図 2 に FFR の分割例を示す。図 2 の回路は 4 つの FFR に分割することができる。図 2 において、四角の中の数字が各信号線の FFR の番号である。各 FFR を  $FFR_i (1 \leq i \leq 4)$  とする。 $FFR_2$  を例に説明すると、 $FFR_2 = \{b, f_g, f_h, d, g, h, i\}$  となり、 $FFR_2$  の入力は  $b, f_g, f_h, d$ 、出力は  $i$  となる。よって 4 入力 1 出力のゲートと考えることができる。同様に  $FFR_1$  は 2 入力 1 出力のゲート、 $FFR_3$  は 1 入力 1 出力のゲート、 $FFR_4$  は 2 入力 1 出力のゲートと考えることができる。

このように回路分割することで、複数のセルを 1 つのゲートとして考えることができる。表 2 は  $FFR_2$  のゲート網羅故障集合[7]である。 $FFR_2$  は 4 入力 1 出力のためゲート網羅故障数は  $2^4$  個となる。また、各 FFR のゲート網羅故障集合は独立故障集合[8]である。

#### 3-2. MFFC

MFFC[10]とは極大ファンアウトフリーコーンのことである。ファンアウトが多い回路の場合、FFR 分割で統合可能なセル数が少なく、FFR 数とセル数の差が小さくなり、ゲート網羅故障数を削減できない。その解決策として、統合可能な

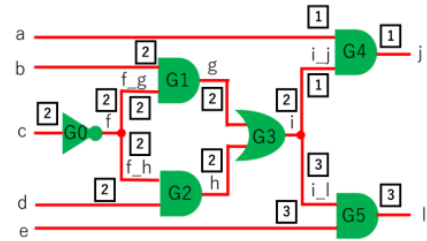


図 3. MFFC 分割後のグループ分け

FFR 同士を MFFC に統合することが考えられる。ある  $FFR_\alpha$  から外部出力へ至るいかなる経路も  $FFR_\beta$  を通る場合、 $FFR_\beta$  は  $FFR_\alpha$  の支配節点 (dominator) と呼ばれる。つまり、 $FFR_\beta$  の出力信号線に再収束することが保証される。よって、 $FFR_\alpha$  と  $FFR_\beta$  は統合することが可能である。

図 2 の FFR 分割された回路をさらに FFR 同士を統合し、MFFC 分割を行った結果を図 3 に示す。図 3 より図 2 の回路は 3 つの MFFC に分割可能である。

図 2 において、 $FFR_3$  に着目すると、 $FFR_3$  から外部出力へ至るいかなる経路も  $FFR_2$  を通る。 $FFR_2$  は  $FFR_3$  の支配節点であり、 $FFR_2$  の出力信号線  $i$  に再収束することが保証される。よって、 $FFR_2$  と  $FFR_3$  は統合可能である。各 MFFC を  $MFFC_h (1 \leq h \leq 3)$  とすると  $MFFC_2$  は  $FFR_2$  と  $FFR_3$  を統合した部分回路となる。 $MFFC_2$  の場合は 3 入力 1 出力のためゲート網羅故障数は  $2^3$  個となる。図 2、3 の組合せ回路例におけるゲート網羅故障数の総数は FFR 分割では 26 個、MFFC 分割では 16 個となる。この結果から MFFC 分割によってゲート網羅故障数を削減できたことがわかる。

### 4. ゲート網羅故障のための多重目標故障テスト生成法(FFR, MFFC)

本章では複数のセルを 1 つのゲートとして扱う場合(FFR, MFFC)のゲート網羅故障のための多重目標故障テスト生成法の全体アルゴリズムについて説明する。

```

1. Input: Circuit C
2. Output: Test set T
3. Whole_algorithm(C){
4.   MFFCc = MFFC(C);
5.   F = Undetected_Fault_Set(MFFCc);
6.   T = ∅;
7.   while(F ≠ ∅){
8.     TF = Fault_Selection(C, F);
9.     t = MTTG_GateExhaustiveFault(C, TF);
10.    F = Fault_Simulation(C, F, t);
11.    T = T ∪ {t};
12.  }
13.  return T;
14.}

```

図 4. 全体アルゴリズム

図 4 に MFFC 分割を用いたゲート網羅故障のための多重目標故障テスト生成の全体アルゴリズムを示す。入力対象回路  $C$ ，出力はテスト集合  $T$  である。

はじめに対象回路に FFC 分割を行い各 MFFC のゲート網羅故障集合を作成する(4 行目)。次に未検出故障集合  $F$  をすべてのゲート網羅故障集合で初期化し，冗長故障はあらかじめ前処理で判定し削除し(5 行目)， $T$  を空集合で初期化する(6 行目)。次に 8~11 行目の工程を  $F$  が空集合になるまで繰り返す(7 行目)。次に，多重目標故障選択を行い目標故障集合  $TF$  を求める(8 行目)。次に求められた  $TF$  に対して MTTG を実行し 1 つのテストパターン  $t$  を生成する(9 行目)。次に得られた  $t$  に対し故障シミュレーションを実行し，検出された故障を  $F$  から削除する(10 行目)。 $T$  と  $\{t\}$  の和集合を求め， $T$  を更新する(11 行目)。最後に  $T$  を返す(13 行目)。

## 5. 実験結果

本章では実験結果を示す。本論文で提案したテスト生成手法は，C 言語で実装し ISCAS'89 ベンチマーク回路に対して，Core m3-7Y30 および 8GB メモリを搭載したコンピュータを用いて実験を行った。また，Partial MaxSAT として Clasp[11]を使用した。Clasp のバージョンは 3.3.4 を使用した。実験では 1MTTG あたりの Partial MaxSAT の制限時間を 10 秒に設定した。さらに，MFFC 分割するにあたって各 MFFC の最大入力数は回路ごとに各セルの最大入力数+1 に設定した。

表 2 に提案手法の実験結果を示す。表 2 より全ての回路において従来手法に比べ故障検出率が低いことがわかる。それに伴いテスト不能故障数が増加していることもわかる。テスト不能故障数の増加は入力信号線における制約の複雑化が原因として考えられる。FFR 分割や MFFC 分割ではセルを統合しているので各 FFR，MFFC の入力数は各セルの入力数に比べ増加する。したがって，テスト生成時にその入力全ての値を正当化することが困難になり，1 セルを 1 ゲートとみなした従来手法より，テスト不能故障数が増加すると考えられる。また，分割するにあたって最大入力数を超える FFR，MFFC は再度分割し指定した入力数内に収めている。その際に入力数のバランスを考えずに分割している。例えば 15 入力の FFR が存在した場合，指定した入力数の上限を 10 とすると，10 入力の FFR と 5 入力の FFR に分割している場合もある。これもテスト不能故障を増加させる原因の 1 つと考えられる。

また，図 5 は従来手法，図 6 は提案手法(MFFC)での s713 のテスト不能故障数とゲート数の関係性を示すグラフである。横軸はゲートの入力数であり青がセル数または MFFC 数，オレンジがテスト不能故障数を示す。グラフの上に書かれてい

る数字は各入力の総故障数の内のテスト不能故障数の割合を示す。図 5 より入力数が 2 のゲートのゲート網羅故障が 1 番テスト不能故障の割合が多いことがわかる。しかし，図 6 では入力数 2 でのテスト不能故障数が 0 であり入力数 5 の時が 1 番テスト不能故障の割合が多い。このことから入力数 2 のセルが統合され入力数 5 の MFFC に含まれたことで図 6 の入力数 5 のテスト不能故障の中には図 5 の入力数 2 のテスト不能故障が含まれている可能性があることが考えられる。よって，入力数が多い MFFC ではテスト不能故障数が多くなることが考えられる。

## 6. 結論と今後の課題

本論文では，複数のセルを統合し 1 つのゲートとして定義し，文献[5]の場合と比較しテストパターン数と処理対象の故障数がどの程度削減されているかを評価した。

実行結果から，従来手法に比べ故障検出率が極めて低いことがわかる。よって，ただ FFR 分割や MFFC 分割を行うだけでは故障検出率が低下し，テストパターン数も増加していることがわかる。

今後の課題として，故障検出率の向上とテストパターン数を削減することを考慮し，回路を分割する方法の提案が挙げられる。

図 5. s713 のテスト不能故障数とゲート数 (従来手法)

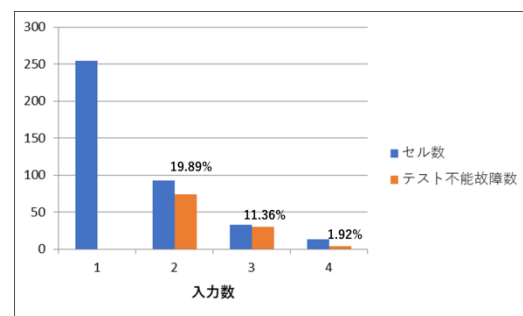
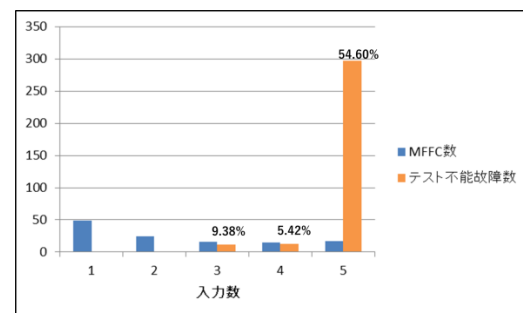


図 6. s713 のテスト不能故障数とゲート数 (MFFC)



## 参考文献

- 1) K. Cho, S. Mitra, and E. J. McClusky, "Gate Exhaustive Testing," ITC, 2005, pp. 1-7.
- 2) G. J. Tromp, "Minimal test sets for combinational circuits", in Proceedings of the Intl. Test Conf, 1991, pp. 204-209
- 3) J. S. Chang and C. S. Lin, "Test set compaction for combinational circuits," IEEE Trans. Computer-Aided Design, vol. 14, pp. 1370-1376, Nov. 1995.
- 4) S. Eggersgl  , R. Krenz-B   th, A. Glowatz, F. Hapke, and R. Drechsler, "A new SAT based ATPG for generating highly compacted test sets," in Proc. of Symp. on Design and Diagnosis of Electronic Circuits and Systems, 2012, pp. 230-235.
- 5) R. Asami, T. Hosokawa, M. Yoshimura, and M. Arai, "Gate-Exhaustive Faults to Reduce the Number of Test Patterns Using Partial MaxSAT," IEEE International Symposium, 19-21 Oct. 2020
- 6) M. Gebser, B. Kaufmann, A. Neumann, and T. Schaub, "Conflict-driven answer set solving," in Intl. Joint Conf. on Artificial Intelligence, 2007, pp. 386-392.
- 7) A. Jas, S. Natarajan and S. Patil, "The Region-Exhaustive Fault Model," in Proc. Asian Test Symposium, 2007, pp. 13-18.
- 8) S. B. Akers, C. Joseph, and B. Krishnamurthy, "On the Role of Independent Fault Sets in the Generation of Minimal Test Sets", in Proc. Intl. Test Conf., 1987, pp. 1100-1107.
- 9) A. Jas, S. Natarajan and S. Patil, "The Region-Exhaustive Fault Model," in Proc. Asian Test Symposium, 2007, pp. 13-18.
- 10) J. Cong and Y. Ding, "On Area/Depth Trade-off in LUT-based FPGA Technology Mapping," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 2, No. 2, pp. 137-148, June 1994
- 11) M. Gebser, B. Kaufmann, A. Neumann, and T. Schaub, "Conflict-driven answer set solving," in Intl. Joint Conf. on Artificial Intelligence, 2007, pp. 386-392.

表 3. 実験結果

| 回路名   | ブロックの最大入力数 | 分割   | 全故障数 | 検出故障数 | テスト不能故障数 | テストパターン数 | 故障検出率[%] | 故障検出効率[%] |
|-------|------------|------|------|-------|----------|----------|----------|-----------|
| c17a  | 3          | セル   | 26   | 26    | 0        | 7        | 100.0    | 100.0     |
|       |            | FFR  | 24   | 22    | 2        | 8        | 91.67    | 100.0     |
|       |            | MFFC | 24   | 22    | 2        | 8        | 91.67    | 100.0     |
| s27   | 3          | セル   | 36   | 36    | 0        | 10       | 100.0    | 100.0     |
|       |            | FFR  | 36   | 32    | 4        | 10       | 88.89    | 100.0     |
|       |            | MFFC | 32   | 32    | 0        | 12       | 100.0    | 100.0     |
| s208  | 4          | セル   | 350  | 332   | 18       | 39       | 94.86    | 100.0     |
|       |            | FFR  | 332  | 169   | 163      | 38       | 50.90    | 100.0     |
|       |            | MFFC | 308  | 227   | 81       | 45       | 73.70    | 100.0     |
| s400  | 5          | セル   | 788  | 720   | 68       | 73       | 91.37    | 100.0     |
|       |            | FFR  | 1106 | 568   | 538      | 77       | 51.36    | 100.0     |
|       |            | MFFC | 920  | 577   | 343      | 78       | 62.72    | 100.0     |
| s713  | 5          | セル   | 1352 | 1244  | 108      | 70       | 92.01    | 100.0     |
|       |            | FFR  | 1268 | 816   | 452      | 103      | 64.35    | 100.0     |
|       |            | MFFC | 1106 | 784   | 322      | 103      | 70.89    | 100.0     |
| s5378 | 5          | セル   | 9530 | 8135  | 1395     | 203      | 85.36    | 100.0     |
|       |            | FFR  | 9142 | 5938  | 3201     | 227      | 64.95    | 100.0     |
|       |            | MFFC | 8596 | 5523  | 3073     | 235      | 64.25    | 100.0     |