ISSN 2186-5647

2-55

FFR の遷移と消費電力の相関を用いた低消費電力指向 X 割当て法

日大生産工　○XU YANLING　　日大生産工　細川　利典
日大生産工　山崎　紘史　　京産大　吉村　正義

1. はじめに

近年の半導体集積技術の進歩に伴い，超大規模集積回路（Very Large Scale Integrated Circuits:VLSI）が大規模化，高速化，微細化している. それに伴い VLSI のテスト時の消費電力の増加が問題となっている.

VLSI のテストでは, テスト容易性向上による効率化のためにスキャン設計が施される場合が多い. キャプチャ時消費電力は, 回路部のテスト応答をフリップフロップ(Flip-Flop : FF)に格納するキャプチャ動作時に発生する. 過度なシフト時消費電力は, 回路の発熱により, 熱破壊を引き起こす. 過度なキャプチャ時消費電力は，過度な電圧降下（IR ドロップ）[2]を引き起こし，誤テストによる歩留まり損失を引き起こす[3]．したがって, 歩留り損失を抑制するため, テスト時の消費電力を削減することが重要な課題である. 本論文では, キャプチャ消費電力の削減に着目する．テスト時の消費電力の削減手法については様々な方法が提案されており，電源管理技術の利用，設計変更，テストデータの変更などが挙げられる[4]．

テストデータ変更技術は， 回路構造の変更を行わずに消費電力の削減を行う． その中の有効な手法として， ドントケアを含んだテストキューブに対し， ドントケア割当てを行うことでキャプチャ消費電力を削減することを目的に提案された X 割当て手法は SAT-Fill 手法[5]が挙げられる.

文献[5]は，各 FF の遷移がどの程度消費電力の増大に影響を与えるのかをランダムパターンシミュレーションを用いて解析し，値の遷移が消費電力に与える影響が大きいフリップフロップの遷移を優先的に抑制するドントケア割当て法を提案した.

解析したフリップフロップの 1 個の遷移が実際に消費電力に大きな影響を与えるとは限らないと考え，個別のフリップフロップの遷移ではなく，フリップフロップの集合の遷移が消費電力に影響を与えていると考える．ファンアウトフリー領域（FFR：fanout free region）の出力信号線の遷移はフリップフロップ集合の遷移の結果を反映していると考えて，本論文では，FFR 出力信号線の遷移と消費電力の相関が高い順でドントケアを持つ FFR の出力信号線の遷移を抑制するように論理式制約を生成し，充足可能性問題(Satisfiability Problem：SAT)を解くことで生成されたテストベクトルが，低消費電力であるかを評価する.

本論文の構成は以下の通りである．第 2 章で回路の消費電力の見積り値である WSA（Weighted Switching Activity：WSA）について説明する. 第 3 章で FFR と WSA の相関係数について説明し, 第 4 章で FFR の遷移と消費電力の相関を用いたドントケア割当てについて説明し. 第 6 章に実験結果を示す．第 7 章は本論文のまとめを行い. 今後の課題について述べる.

2. 回路の消費電力

回路の消費電力を正確に計算する場合，

A Don’t Care Filling Method for Low Power Consumption Using Correlation Between FFR Transition and Power Consumption
XUYANLING,Toshinori HOSOKAWA,Hiroshi YAMAZAKI,andMasayoshi YOSHIMURA

電源電圧やクロック周波数，ゲートの負荷容量など様々な要素が必要となる[6]．本論文における実験ではそれらの要素を考慮していないため，消費電力の評価として計算式を簡略化した WSA を用いる．

WSA は消費電力の近似式として使用される重み付き信号遷移である，テストベクトルV_jの WSA は次の式で表される．

$$WSA(V_j) = \sum_{i=1}^{G} tran(g_i) * (1 + fanout(g_i)) \quad (1)$$

(1) 式の G は回路中のゲート数を表す．$tran(g_i)$はゲートg_iの遷移関数であり，$fanout(g_i)$はゲートg_iのファンアウト数を表す．

3. FFR と WSA の相関係数

FFR の出力信号線の遷移数が多いほど、多くの内部信号線が遷移する．FFR と WSA の相関係数r_jは式(2)で表される．

$$r_j = \frac{\sum_{i=1}^{n}(x_{(j,\ t_i)} - A_{X_j})(\ y_{t_i} - A_Y)}{\sqrt{\sum_{i=1}^{n}\left(x_{(j,\ t_i)} - A_{X_j}\right)^2}\sqrt{\sum_{i=1}^{n}(y_{t_i} - A_Y)^2}} \quad (2)$$

$$A_{X_j} = \frac{1}{n}\sum_{i=1}^{n} x_{(j,\ t_i)} \quad (3)$$

$$A_Y = \frac{1}{n}\sum_{i=1}^{n} y_{t_i} \quad (4)$$

(2)式において，jは FFR の番号を表す．$x_{(j,\ t_i)}$はテストキューブ t から生成したランダムテストキューブ$t_i \in RT$でj番目のFFR_jの出力信号線において遷移が発生するか否かを表す．$x_{(j,\ t_i)}$が 1 の場，FFR_jはt_iで遷移が発生し，$x_{(j,\ t_i)}$が-1 の場合，FFR_jはt_iでの遷移が発生しない．A_{X_j}は、集合$X_j = \{x_{(j,\ t_i)} | \ t_i \in RT\}$の平均であり，$y_{t_i}$は、 t_iの WSA の値であり，A_Yは，集合 Y $= \{y|y_{t_i}$，$t_i \in RT\}$の平均であり，$n = |RT|$ はr_jを計算するテストベクトルのサンプル数を表す．RT_iはテストキューブ t から生成したランダムテスト集合を表す．相関係数の範囲は[-1,1]である．

4. FFR の遷移と消費電力の相関を用いたドントケア割当て

本論文では, FFR 出力信号線の遷移と消費電力の相関が大きい順でドントケアを持つ FFR の出力信号線における遷移を抑制するように論理式制約を生成し，SAT 問題を解くことでテストベクトルを生成する．本章の 4-1 節でテストキューブの CNF 変換を説明する．4-2 節で論理回路の CNF 変換を説明する．4-3 節で SAT を用いた消費電力削減指向ドントケア割当て(SAT-Filling)を説明する．

4-1. テストパターンの CNF 変換

SAT-Fill は前節で生成した CNF 式に，テストキューブの制約を与える，図 1 に回路例を示す，以下に例を示す．

図１．テストパターンの CNF の例

図 1 の四角の枠は組合せ回路部を示し,PI と PO はそれぞれ外部入力と外部出力を示す. PPI と PPO はそれぞれ同一 FF の入力信号線と出力信号線を示す． この例では，生成されたテストキューブの制約式は$\overline{PPI_1} \wedge PPI_3 \wedge PPI_4$である．

4-2. 論理回路の CNF 変換

表 1 に各論理ゲートの CNF 変換規則を示す． 各論理ゲートは規則に従い CNF に変換する. 例として 2 入力(X, Y), 1 出力(Z)の AND ゲートを考える． CNF 全体が真とな

るとは(X, Y, Z) = (0, 0, 0), (1, 0, 0), (0, 1, 0), (1, 1, 1)の 4 通りである．これにより CNF が実際の論理ゲートの動作を表現している．

4-3. SAT を用いた消費電力削減指向ドントケア割当て手法

図 2 に順序回路の FFR の値の例を示し，FFR_i_1は 1 時刻目の FFR 出力信号線を表す，FFR_i_2は 2 時刻目の FFR 出力信号線を表す．SAT-Fill はドントケアを持つ FFR の出力信号線におけるに遷移が発生しないようケアビット割当てる．そのため，ドントアをもつ FFR 出力信号線の遷移を抑制するように $\overline{FFR_1_1} \wedge FFR_2_1 \wedge \overline{FFR_3_2} \wedge FFR_4_2 \wedge (\overline{FFR_5_1} \vee FFR_5_2) \wedge (FFR_5_1 \vee \overline{FFR_5_2})$ の条件を CNF 式に追加する．

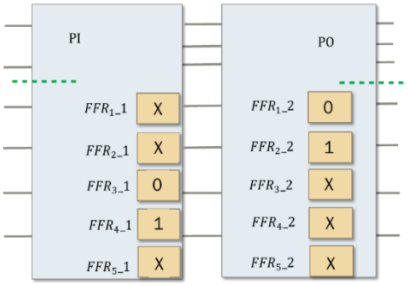

図２．SAT-Fill の例

5. 実験結果

本章では，相関を計算後，ドントケア割当てを行い，ドントケア割当てを行ったテストパターンの WSA 値を計算し，消費電力を評価する．5-1 節で実験手順を説明し，5-2 で実験結果を示す．

5-1. 実験手順

図 3 に本実験のフローを示す.プログラミングの作成は C 言語で実装し実験を行った．対象回路は ISCAS'89 ベンチマーク回路を使用した． 以下に図 3 の各ステップについて説明する．

図 3 に本実験のフローを示す．以下に図 3 の各ステップについて説明する．

図 3．実験フローチャート

(Step1)　各 FF（各 FFR の出力信号線）の遷移と WSA 相関を計算する．

(Step2)　テストキューブと論理回路を CNF 式に変換する．

(Step3)　テストキューブに対して，SAT-Fill を用いてドントケア割当てを行う．

(Step4)　割当て後のテストベクトルの WSA 値を計算する．

5−2．実験結果考察

表２に，表２において，「回路名」は対象回路名を示す，「セーフ」は生成した低消費電力のテストベクトルの数を表す．「セーフ」は生成した低消費電力ではないテストベクトルの数を表す．実験結果から WSA 値の削減を達成できなかったテストキューブが多数存在することが判明した．原因を解明するため，s208 回路のデータの解析を行った，データを表 3 に示す．「tb_id」はテストベクトルの ID を表す，次の 5 列は FFR 出力信号線の相関の優先順位の上位 20%から下位 20%まで各部分で抑制できる信号線の割合を表す，「セーフ」は生成されたテストベクトル低消費電力であるかどうかを表す，「safe」は低消費電力ベクトルと表す．最後の列は相関の上位 60%までの割合の平均を示す，この表は相関の上位 60%までの割合の平均の降順で並ぶ．この結果から低消費電力テストベク

トルは相関の上位 60%までの FFR の出力信号線の遷移は抑制できる割合は 92%以上を達成することと判明した．ですので，低消費電力ではないテストベクトル多数存在する原因として，SAT-Fill を用いてドントケア割当てを行う時 FFR 出力信号線の相関の優先順位にかなり依存する．FFR 出力信号線の遷移を抑える制約を SAT Slover で解けない場合が多かったと考えられる．

表２．実験結果

回路名	セーフ	アンセーフ
s27	0	4
s208	7	10
s344	4	37
s820	31	43
s5378	129	31

表２．テストベクトルの解析

tb_id	0%~20%	20%~40%	40%~60%	60%~80%	80%~100%	セーフ	0~60%
4	100%	100%	100%	25%	100%	safe	100%
5	100%	100%	100%	100%	100%	safe	100%
11	100%	100%	100%	25%	50%	safe	100%
13	100%	100%	100%	38%	50%	－	100%
15	100%	100%	100%	100%	100%	safe	100%
16	100%	100%	100%	25%	50%	－	100%
17	100%	100%	100%	50%	63%	safe	100%
10	100%	100%	75%	38%	75%	safe	92%
14	100%	100%	75%	50%	75%	safe	92%
6	100%	75%	88%	0%	38%	－	88%
9	100%	88%	63%	50%	50%	－	83%
2	100%	75%	63%	50%	63%	－	79%
7	100%	75%	63%	38%	38%	－	79%
12	100%	75%	63%	13%	25%	－	79%
8	100%	63%	38%	38%	75%	－	67%
1	75%	50%	38%	25%	63%	－	54%
3	75%	63%	25%	50%	63%	－	54%

６．おわりに

本論文では，ドントケアを持つ FFR に遷移が発生しないように論理式を生成し，SAT を解くことで生成されたテストパターンより，WSA 値を評価した．実験結果から低消費電力ではないテストベクトル多数存在することが判明した．

今後の課題として，大きい回路の解析を行い，同時に FFR の遷移を抑制できる手法で低消費電力指向ドントケア割当てを行うことが挙げられる．

参考文献

[1] Takaki Yoshida，Masahmi Watati，“A New Approach for Low Power Scan Testing”，International，Test Conference，pp480-487，2003

[2] J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreeprakash and M. Hachinger, "A case study of IR-drop in structured at-speed testing," Proc. ITC, pp.1098-1104,2003.

[3] Y. Zorian, "A Distributed BIST Control Scheme for Complex VLSI Devices," Proc. VTS, pp.4-9, 1993.

[4]Xiaoqing WEN，Yoshiyuki YAMASHITA，Seiji KAJIHARA，Laung-Terng WANG，Kewal K．SALUJA，Kozo KINOSHITA “ A New Method for Low-Capture-Power Test Generation for Scan Testing”，IEICE Trans Inf. & Syst，pp1679-1686，2006.

[5] M. Yoshimura, Y. Takahashi, H. Yamazaki, and T. Hosokawa, "A Don’t Care Filling Method for Low Capture Power based on Correlation of FF Transitions Using SAT," IEICE Trans. Fundamentals, Vol. E100-A, no. 12, pp. 2824-2833, 2017.

[6] S．Wang，K．Fu，and K．S．Li，“Low peak power ATPG for n-detection test，” in 2009 IEEE International Symposium on Circuits and Systems，pp．1993– 1996，2009.