強化学習を用いた低消費電力指向ドントケア割当て法

日大生産工 (院)	○平間 勇貴	日大生産工	細川 利典
		日大生産工	山崎 紘史
京都産	業大学コンピュ	ータ理工学部	吉村 正義

1 はじめに

近年,半導体の微細化技術の進歩に伴い,大規模集 積回路 (Large Scale Integrated circuits: LSI)の集積 度が増大している.また,低消費電力化のために機 能動作時には,回路の一部のみを動作させる設計が なされている.一方,LSIのテスト時には,低コスト 化のために回路全体を動作させるので,テスト時消 費電力の増大が問題となっている.

LSI のテストでは、テスト容易性向上による効 率化のためにスキャン設計が施される場合が多い. スキャン設計回路のテストでは、LoC(Launch-on-Capture) ベース [1] の実速度スキャンテストが普及 している.スキャンテストでは、全てのフリップフ ロップ (Flip Flop: FF) はシフト動作とキャプチャ動 作の2つのモードで動作するスキャン FF に置き換え られる.シフトモードではテストベクトルをスキャ ン FF に印加するシフトイン操作と、組合せ回路部の テスト応答を観測するシフトアウト操作のために利 用される.また、キャプチャモードでは、スキャン FF は通常の FF と同様にテスト応答を格納する動作 をする.

LoC ベースの実速度スキャンテストにおける消費 電力は、シフト時消費電力とキャプチャ時消費電力に 分類することができる.シフト時消費電力は、テス トベクトルの印加とテスト応答の観測の際にスキャ ン FF に多くの論理値遷移が発生する際の消費電力 である.過度のシフト時消費電力は回路の発熱に繋 がり、回路の熱破壊問題を引き起こす可能性がある. 一方、キャプチャ時消費電力は、実速度で回路を 2 サイクル間キャプチャ動作させ、回路内のゲートに 論理値遷移が発生する際の消費電力である.過度の キャプチャ時消費電力は過度の IR ドロップ [2] を引 き起こす可能性がある.それゆえ、良品を不良品と 判定する誤テストを引き起こし、歩留まり損失の原

因となる.

本論文では、キャプチャ時消費電力問題に着目 する.2 サイクル目のキャプチャ時消費電力削減 において、キャプチャ動作時の信号遷移数 (Launch Switching Activity: LSA)を削減することが非常に重 要である.キャプチャ時消費電力削減のための手法 は多数提案されており [3–8]、それらは一般に、テス トベクトル変更による手法 [3–6] と再テスト生成に よる手法 [7,8] に分類することができる.

テストベクトル変更による手法では、ドントケア (Don't care: X) 判定 [3] と, X 割当て [4-6,9] を組 み合わせた手法が提案されている. X 判定において テストベクトル中の故障検出に関係しないビットを X に変更し、テストキューブを生成する.次に、X 割当てにおいてテストキューブ中の X に低消費電力 化のための論理値を割当てる.X 判定による手法は, 低消費電力な X 割当てを効果的に行うために、1 つ のテストキューブで検出可能な故障数を平均化する 手法 [3] が提案されている.また,X割当てによる手 法は,正当化や含意操作などの決定的アルゴリズム を用いてテストキューブ中の X に低消費電力になる ように論理値を割当てる LCP-FILL [4], 確率計算を 用いてテストキューブ中の X に低消費電力になるよ うに0や1を割当てる Preferred-FILL [5], その両方 の手法を組み合わせた JP-FILL [6], FF の遷移ではな く内部信号線の遷移を抑制するように X 割当てを行 う PMSAT-FILL [9] などが挙げられる. これらの手 法は、キャプチャ動作時の FF の遷移数を削減するこ とで、キャプチャ時消費電力を削減することを目的 としている.しかしながら、文献 [4-6] では FF の遷 移の影響は FF 間で独立であるとみなして X 割当て を行っている. 文献 [10] で解析した FF 同士の遷移 の相関関係の結果は、使用したランダムパターンに 依存している可能性があり、より精度の高い解析が 求められる.

本論文では,強化学習を用いた低消費電力指向 X 割当てを提案する.従来の X 割当て手法は決定論に 行っているが,提案手法では試行錯誤によって低消 費電力指向 X 割当てを行う.

本論文の構成は以下のとおりである. 第2章では, キャプチャ時消費電力について説明する. 第3章で は,相関関係に基づくX割当て順序決定について説 明する. 第4章では,提案手法である強化学習を用 いた低消費電力指向ドントケア割当て手法について 説明する. 第5章では,実験結果を示し,第6章で は,本論文のまとめと今後の課題について述べる.

2 キャプチャ時消費電力の見積もり

本章では、キャプチャ時消費電力の見積もりについて説明する.提案手法は、キャプチャ時消費電力の削減を目標としている.回路の消費電力を正確に計算する場合、電源電圧やクロック周波数、ゲートの負荷容量など様々な要素が必要となる [11].提案手法ではそれらの要素を考慮していないため、回路のスイッチング動作との相関が強く計算が容易な重み付き信号遷移確率 (Weighted Switching Activity : WSA) [12] を用いる.テストベクトル v_i の WSA は式(1)で与えられる.

$$WSA(v_i) = \sum_{j=1}^{G} tran(g_j) \times (1 + fanout(g_j))$$
(1)

式 (1) において, *G* は回路中のすべてのゲート数を 表す. $tran(g_j)$ はゲート g_j の遷移関数であり, g_j に 遷移が発生した場合は 1, それ以外は 0 を返す関数で ある. $fanout(g_j)$ はゲート g_j の分岐先信号線数を表 す. 1 は遷移が発生したゲートの出力信号線の重み 付けのために使用される.

本論文では、キャプチャ時消費電力が閾値以下の テストベクトルをキャプチャセーフテストベクト ル[7]、閾値を超えるテストベクトルをキャプチャア ンセーフテストベクトル[7]と定義する.また、初期 テスト集合においてキャプチャアンセーフテストベ クトルのみで検出可能な故障をアンセーフ故障[7]、 それ以外検出可な故障をセーフ故障[7]と定義する.

3 相関関係に基づく X 割当て順序決定

提案手法では,FFの論理値の遷移による消費電 力への影響が大きいFF に対応するビットから順に X 割当てを行う.テスト集合 *T^c* における FF であ る FF_k の相関係数 r_k は,式 (2) で算出される [10]. $x_{(k,t_i)}$ は, $t_i \in T^c$ における FF_K の遷移を表す値であ る. $x_{(k,t_i)}$ が 1 のとき, FF_k は t_i において遷移して いことを表す. $x_{(k,t_i)}$ が 0 のとき, FF_k は t_i におい て遷移してないことを表す. A_{x_k} は,式 (3) により 算出される. y_{t_i} は, t_i の消費電力を表す値である. A_Y は,集合 $y = \{y|y_{t_i}, t_i \in T^c\}$ の平均値である. A_Y は,式 (4) により算出される. $n = |T^c|$ は, r_k を算出 するためのサンプル数である.

$$r_{k} = \frac{\sum_{i=1}^{n} \left(x_{(k,t_{i})} - A_{X_{k}} \right) \left(y_{t_{i}} - A_{Y} \right)}{\sqrt{\sum_{i=1}^{n} \left(x_{(k,t_{i})} - A_{X_{k}} \right)^{2}} \sqrt{\sum_{i=1}^{n} \left(y_{t_{i}} - A_{Y} \right)^{2}}}$$
(2)

$$A_{X_k} = \frac{1}{n} \sum_{i=1}^{n} x_i(k, t_i)$$
(3)

$$A_Y = \frac{1}{n} \sum_{i=1}^n y \tag{4}$$

提案手法では,この相関係数 *r_k* が大きい FF に対応 するビットから順に X 割当てを行う.

4 強化学習を用いた低消費電力指向 X 割 当て手法

提案手法は,2つのフェーズに分けることができ る.第1フェーズでは,モデルの学習を行う.第2 フェーズでは,学習済みモデルを用いてX割当てを 行う.

第1フェーズは,強化学習によってモデルを学習 する.1ステップにつき1ビット(疑似)外部入力の X割当てとWSA計算,学習モデルの更新を行う.X 割当てが完了した場合は,すべてXの状態に戻し, 再び1ビット目から論理値を割当てる.

第2フェーズは,実際にX判定済みテストキュー ブにX割当てを行う.テストキューブを1ビット目 から順に走査し,値がXであればQ値表を参照し, 行動価値が大きい方の論理値を割当てる.

図1に,提案手法の全体アルゴリズムを示す.*p* は、回路の外部入力数すなわちテストキューブのビッ ト数である.*R*は、FFとWSAの相関関係のデータ である.*s*は、強化学習の学習ステップ数である.*T* は、X 判定済みのテストキューブ集合である.*t*_iは、 集合*T*の要素である.

まず,モデルの学習を *s* 回行う (2 行目). 1 ビット の外部入力に対して X 割当てを行い (3 行目),得ら れたテストキューブ *t_{temp}* を用いて 3 値の論理シミュ レーションを実行し,その結果から WSA 値 *w* を計

	p: Number of (Pseudo) Primary Inputs of the Curcuit						
	R: FF-WSA Correlation Data						
	s: Number of Learning Steps						
	T: A Test Cube Set						
	$t_i: t_i \in T$						
1:	procedure RL FILL (p, R, s, T)						
2:	for $i = 1, 2, \dots s$ do						
3:	$t_{temp} \leftarrow Single \ X \ Fill()$						
4:	$w \leftarrow Logic Simulation(t_{temp})$						
5:	Update RL Model(w)						
6:	end for						
7:	for $i = 1, 2, \dots T $ do						
8:	$t_i^{sort} \leftarrow FF Sort(R, t_i)$						
9:	for $j = 1, 2, \dots p$ do						
10:	$t_i^{sort} \leftarrow Single \ X \ Fill(t_i^{sort})$						
11:	$t_i \leftarrow Inv \ FF \ Sort(R, t_i^{sort})$						
12:	$w \leftarrow Logic Simulation(t_i)$						
13:	end for						
14:	end for						
15:	return T, W						
16:	end procedure						

図1 提案手法アルゴリズム

算する (4 行目). WSA 値を計算する際, 論理値が 0→1, 1→0 と遷移する場合に加えて, 0→X, 1→X, X→0, X→1, X→X についても遷移が発生したものと みなす. wを用いて学習モデルを更新する (6 行目).

モデルの学習が終了すると、続いて、学習済みモ デルを用いて X 割当てを行う. T の全要素におい て (7 行目)、ループする. R に基づいて t_i の順番を FF-WSA 相関順にソートする (8 行目). すべての外 部入力に対して (9 行目) テストキューブ t_i^{sort} に対し て 1 ビットずつ X 割当てを行う (10 行目). t_i^{sort} は FF-WSA 相関順にソートされているため、もとの順 番に戻し t_i を得る (11 行目). t_i を用いて 3 値の論理 シミュレーションを実行し、WSA 値 w を求める (12 行目). 最後に、T, $W(w \in W)$ を返却する (15 行目).

以下に学習の例を示す. この例では,学習アルゴ リズムは簡単のため DQN [13] の基となった Q 学 習 [14] を用いる.提案手法では,行動の前後での WSA 値の減少量を報酬としている.まず,現在のテ ストキューブが XXXXXXX であり,WSA 値 $w_0 = 27$ であるとする.この状態で,1を割り当てるという 行動を選択すると,テストキューブの1ビット目 に1が割り当てられ 1XXXXXXX に更新される.この テストキューブを用いて論理シミュレーションを行 い WSA 値が $w_1 = 26$ と計算されたとき,報酬rは $r = w_1 - w_0 = 1$ となる. ここで,状態 XXXXXX のと き行動1を取る場合の価値は Q 学習 [14] の Q 値の更 新式を用いて計算し, Q(XXXXXX, 1) = 0.1と求まる. 次に,0を割り当てるという行動を選択すると,テスト キューブの2 ビット目に 0 が割り当てられ 10XXXXXX に更新される. このときの WSA 値が 24 であったと き,報酬は r = 26 - 24 = 2となる. 状態 1XXXXXX で 行動 0 の場合の Q 値は Q(1XXXXX, 0) = 0.29とな る. 同様の処理を続け,すべての状態に対してすべ ての行動を取ったときの Q 値を求める. このように して Q 値の学習を行う. この Q 値を人工ニューラル ネットワークで近似した手法が DQN [13] である.

5 実験結果

本章では,提案手法による実験結果を示す.対象 回路は ISCAS'89 ベンチマーク回路,強化学習環境は OpenAI Gym,強化学習アルゴリズムの実装セット は Stable Baselines を用いた.学習アルゴリズムは, DQN [13] と A2C [15] を採用した.WSA 閾値は,論 理値が遷移する可能性のある信号線数の 20% に設定 した.対象回路は ISCAS-89 ベンチマーク回路であ る.提案手法 RL-Fill と従来手法の比較表 1 に示す. RL-Fill が提案手法であり,括弧内は用いた強化学習 アルゴリズムを示している.safe は,キャプチャセー フテストベクトル数であり,unsafe は,キャプチャ アンセーフテストベクトル数である.s9234, s13207 では, PMSAT-Fill,提案手法の A2C を用いたもの, DQN を用いたものの順にキャプチャセーフテストベ クトルが多い結果になった.

6 おわりに

本論文では,強化学習を用いた低消費電力指向 X 割当て手法を提案した. Random-Fill や 0-Fill より は多くのキャプチャセーフテストベクトルを生成で きたものの, PMSAT-Fill と比較すると少なく,特に s5378 ではわずか 3% に留まった.提案手法では, WSA 値の減少量を即時報酬として与えていた. この 報酬の計算方法や学習アルゴリズムなどを再検討す ることで,さらなる改善が可能であると考えている.

参考文献

S. J and S. Patil, "Scan-based transition test," *IEEE Trans. Comput. Aided Design Int. Circuits & Syst.*, vol. 13, no. 8, pp. 1054–1067, 1994.

	RL-Fill(DQN)		RL-Fill(A2C)		Random-Fill		0-Fill		PMSAT-Fill [9]	
回路	safe	unsafe	safe	unsafe	safe	unsafe	safe	unsafe	safe	unsafe
s5378	4	156	0	160	0	160	0	160	142	18
s9234	72	247	211	108	3	316	36	283	228	91
s13207	269	41	302	8	1	309	253	57	308	2

表1 RL-Fill と従来手法の比較

- [2] T. Yoshida and M. Watati, "A New Approach for Low Power Scan Testing," *International Test Conference*, pp. 480–487, 2003.
- [3] K. Miyase, K. Node, H. Ito, K. Hatayama, T. Aikyo, Y. Yamato, H. Furukawa, X. Wen, and S. Kajihara, "Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-Identification," *IEEE/ACM International Conference on Computer-Aided Design.*, pp. 52–58, 2008.
- [4] X. Wen, Y. Yamashita, S. Kajihara, L. T. Wang,
 K. Saluja, and K. Kinoshita, "A New Method for Low-Capture-Power Test Generation for Scan Testing," *IEICE Trans. Inf. & Syst.*, vol. E89-D, no. 5, pp. 1679–1686, 2006.
- [5] S. Remersaro, X. Lin, Z. Zhang, S. M. Reddy, I. Pomeranz, and J. Rajski, "Preferred Fill: A Scalable Method to Reduce Capture Power for Scan Based Designs," *Proc. ITC, paper 32.2*, 2006.
- [6] X. Wen, K. Miyase, S. Kajihara, T. Suzuki, Y. Yamato, P. Girard, Y. Ohsumi, and L. T. Wang, "A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing," *Proc. ITC, paper 25.1*, 2007.
- [7] X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo, and K. K. Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," *Proc. ETS*, pp. 55–60, 2008.
- [8] T. Hosokawa, A. Hirai, Y. Yamauchi, and M. Arai, "A Low Capture Power Test Generation Method Based on Capture Safe Test Vector Manipulation," *IEICE Trans. Inf. & Syst.*, vol. E100-D, no. 9, pp. 2118–2125, 2017.
- [9] T. Hosokawa, H. Yamazaki, K. Misawa, M. Yoshimura, Y. Hirama, M. Arai, and M. Arai,

"A low capture power oriented x-filling method using partial maxsat iteratively," in 2019 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), pp. 1–6, 2019.

- [10] M. YOSHIMURA, Y. TAKAHASHI, H. YA-MAZAKI, and T. HOSOKAWA, "A don't care filling method for low capture power based on correlation of ff transitions using sat," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E100.A, no. 12, pp. 2824–2833, 2017.
- [11] S. Wang, K. Fu, and K. S. Li, "Low peak power ATPG for n-detection test," in 2009 IEEE International Symposium on Circuits and Systems, pp. 1993–1996, 2009.
- [12] S.Gerstendorfer and H-J.Wumderlich, "Minimized power consumption for scan-based BIST," *Proc. International Test Conferance*, pp. 77–84, 1999.
- [13] V. Mnih, K. Kavukcuoglu, D. Silver, A. Graves,
 I. Antonoglou, D. Wierstra, and M. A. Riedmiller,
 "Playing atari with deep reinforcement learning," *CoRR*, vol. abs/1312.5602, 2013.
- [14] Watkins C.J.C.H. and P. Dayan, "Q-learning," Mach Learn, vol. 8, pp. 279^^e2^80^93–292, 1992.
- [15] V. Mnih, A. P. Badia, M. Mirza, A. Graves, T. P. Lillicrap, T. Harley, D. Silver, and K. Kavukcuoglu, "Asynchronous methods for deep reinforcement learning," *CoRR*, vol. abs/1602.01783, 2016.