

テスト容易化機能的時間展開モデルを用いた 非スキャンベースオンラインテストのための状態信号系列生成法

日大生産工(院) ○池ヶ谷 祐輝 日大生産工(院) 石山悠大
日大生産工 細川利典 京産大 吉村正義

1. まえがき

近年, 超大規模集積回路(Very Large Scale Integrated circuit: VLSI)が社会の様々なシステムの中で利用されるようになり, 医療機器, 交通, 自動車制御などの高い信頼性が要求されるものに多く用いられている. 一方で, 半導体技術の発展により回路の複雑化, 微細化が進み, 製造ばらつきや回路の経年劣化への対応が問題となっている[1][2]. また, 微細化に伴って劣化が与える影響への懸念が高まっている[3]. 現在でもライフタイムの予測や出荷前の信頼性試験および寿命試験が行われているが, 回路により実際の使用状況や使用環境は異なっており, 劣化の進み具合も変化するため, それらを事前に把握することは困難である.

障害を回避する一つの手段として, 通常動作時に回路の出力や内部信号線の値を監視するオンラインテストが用いられる[1]. 監視の方法としては, パリティチェックや信号の安定性検知機能付きの専用 FF[4]を用いてソフトウェア等の遅延障害に対応する方法が知られている.

特に自動車に搭載されている VLSI に関しては, 人命に関わる機能を扱うため, 高い信頼性が不可欠である. また, 製造段階での面積制約を考慮する必要があるため, 面積オーバーヘッドも重要な問題となる. さらに, 電源の投入と同時にテストを行うため, 短時間でテストが必要である. 高信頼性を達成するための手法として, あらかじめ生成したテストパターンをメモリに格納し, 短時間で少しずつテストを行う手法が挙げられる. しかしながら, この手法ではメモリによる面積オーバーヘッドが増大するという問題点が挙げられる. 一方で, 面積オーバーヘッドを削減する手法として組込み自己テスト(Built-In Self-Test: BIST)[5]が挙げられる. この手法では, VLSI にテストパターンを生成する回路を挿入することで, テストパターンをメモリに格納する必要がなく, メモリによる面積オーバーヘッドの増大を抑制することが可能である. しかしながら, BISTのみでは十分な故障検出率を達成するテストパターンの生成が困難であり, 高信頼性を達成することはできない.

文献[7]では, データバスとコントローラから構成されるレジスタ転送レベル(Register Transfer Level: RTL)回路に対する非スキャンオンラインテストに焦点を当て, 故障検出率の改善, 小面積化, テスト実行時間の短縮を実現する手法が提案されている. この手法では, 故障検出率の向上を図るため, コントローラにおける n 回状態遷移被覆[7]を用いて状態信号系列を生成している. しかしながら, n 回状態遷移被覆ではデータバスの動作に着目していないため, データバス中のハードウェア要素(レジスタ, マルチプレクサ, 演算器)のテストを十分に行うことができていない可能性がある.

以上の理由から, 本論文では文献[7]でテストを実行できていないハードウェア要素を特定する. さらに, そのハードウェア要素に対してテストを実行するための状態信号系列を追加生成することで故障検出率の向上を実現する手法を提案する.

2. オンラインテスト

2.1. オンラインテストの概要

システムのサービスを停止して行う VLSI のテスト

方式をオフラインテストと呼ぶ. これに対して, システムのサービスを停止せずに行うテスト方式をオンラインテストと呼ぶ. 本論文では, 電源投入時に行うオンラインテストを対象とする.

2.2. BIST

BIST は, テスタの機能の一部をチップ内に組み込む技術であり, テスト容易化設計技術(Design For Testability: DFT)の一つである. この技術を用いて, オンラインテストが実現可能である. BIST では, パワーオン・オフ, アイドル時等に自動でテストを実行する. BIST の利点として, テスタ機能の簡略化によるコスト削減が挙げられる. また, 実動作速度でのテストが容易になるため, 高品質なテストが可能となる. 一方で, テストを行う回路を追加する必要があるため, 面積増大という欠点が挙げられる. また, テスト応答を圧縮するため, 故障診断が複雑化する. BIST には, メモリを対象としたメモリ BIST と論理回路を対象としたロジック BIST が存在する. 本論文ではロジック BIST を対象に述べる.

BIST では, テストパターンとして擬似ランダムパターンを使用する. 擬似ランダムパターン生成回路(Pseudo Random Pattern Generator: PRPG)には, 線形帰還シフトレジスタ(Linear Feedback Shift Register: LFSR)が用いられることが多い. また, 被テスト回路(Circuit Under Test: CUT)からのテスト応答や期待値のデータ量が膨大となるため, データ量を圧縮する仕組みが用いられている. テスト応答圧縮回路(Test Response Compactor: TRC)には, 多重入力シフトレジスタ(Multiple Input Shift Register: MISR)が用いられることが多い. MISR によって圧縮された出力応答の系列をシグネチャと呼び, 圧縮応答を期待値のシグネチャと比較するテスト方式をシグネチャ解析と呼ぶ.

BIST の利点として, テストで使用するテスト用メモリ容量の削減が挙げられる. BIST 回路には, テストパターンを生成してその応答から故障を検出する仕組みが備わっているため, テストパターンやテスト応答の期待値などの大量のテストデータをテストが保持する必要がない. また, 外部のテストを必要としないため, 製造テストのみではなく, 出荷後のフィールドでのテストの実施が可能である. これにより, オンラインでテストを行うことができる.

一方で BIST の欠点として, 高い故障検出率の達成が困難であることが挙げられる. PRPG によって生成した擬似ランダムパターン全てが故障検出に有効とは限らず, 検出可能な故障が重複する場合がある. また, 擬似ランダムパターンによっては検出できない故障が存在する可能性がある. それゆえ, 現実的なテスト実行時間で全てのランダムパターンを印加することは不可能である.

3. 提案手法

3.1. オンラインテスト手法の概要

本論文では, 従来のオンラインテスト手法で問題点として挙げられている面積, 故障検出率, テスト実行時間に焦点を当て, これらを改善する4つのアプロー

A Generation Method of Status Signal Sequence for Non-scan Online Testing

Using Easily Testable Functional Time Expansion Models

Yuki Ikegaya, Yuta Ishiyama, Toshinori Hosokawa and Masayoshi Yoshimura

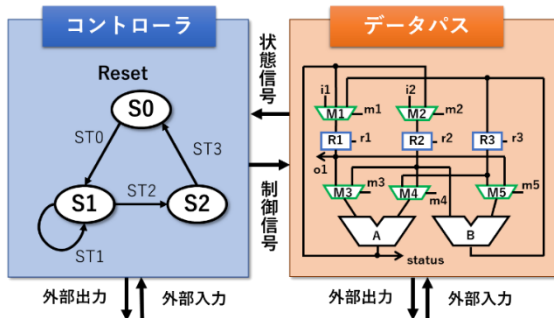


図 1. RTL 回路例

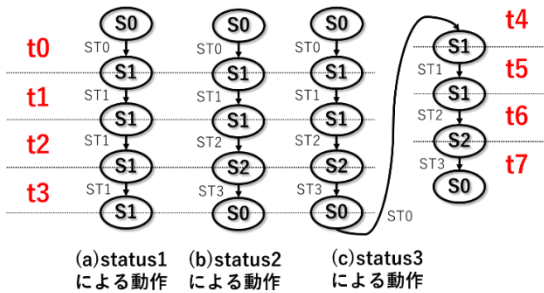


図 2. コントローラの動作例

チを組み合わせた手法を提案する。まず 1 つ目のアプローチとして、非スキャンでの回路設計を行う。これにより、小面積かつ短時間でのテストを行うことができる。2 つ目のアプローチとして、決定的パターンとランダムパターンを併用する。これにより、小面積で故障検出率の向上が期待できる。3 つ目のアプローチとして n 回状態遷移被覆、4 つ目のアプローチとしてテスト容易化機能的時間展開モデルによる状態信号系列生成を行う。この手法により、故障検出率の向上をはかる。

3.2. 非スキャン設計

一般に、現状のオンラインテストではスキャンテストが用いられることが多い。これは、テストパターンとしてランダムパターンを用いた場合でも、ある程度高い故障検出率が保証されているためである。しかしながら、スキャン FF は通常の FF と比較して面積が大きいので、回路が大きくなるほどスキャン FF に置き換える FF 数が増加し、面積オーバーヘッドが増大する。また、シフト動作時には各スキャン FF に値を設定するために、1 つのスキャンチェーンに接続されているスキャン FF 数の最大数のサイクルが必要となる。したがって、シフト動作におけるテスト実行時間の増加という問題点も挙げられる。これらの理由から、本手法では非スキャンテストによるオンラインテストを行う。また、非スキャンテストの問題点である故障検出率を改善する手法を 3.3 節~3.5 節で説明する。

3.3. 決定的パターンとランダムパターンの併用

通常 BIST では、ランダムパターンによるテストを行う。これは、決定的パターンを用いた場合よりも小面積で実現できるからである。しかしながら、ランダムパターンを用いた場合の問題点として、故障検出率が挙げられる。特にデータパスとコントローラから構成される回路を対象とした場合、データパスがコントローラに出力する状態信号を制御することが困難である。そのため、コントローラの制御が困難になり、故障検出率の低下の原因となる。それゆえ、本手法では、データパスに入力するテストパターンにランダムパターンを用い、コントローラに入力する状態信号のみに決定的パターンを用いる。この手法により、コン

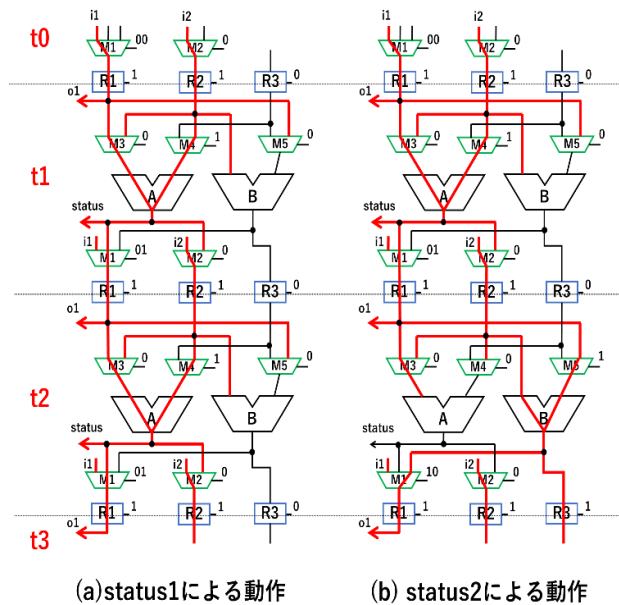


図 3. データパスの動作例

トローラに任意の状態遷移の動作を実行させることが可能となる。一般的に状態信号線数は多くないため、少ない面積オーバーヘッドで故障検出率の向上が期待できる。したがって、決定的パターンとランダムパターンの併用により、決定的パターンのみを用いた場合よりも面積オーバーヘッドを削減できる。また、ランダムパターンのみを用いた場合よりも故障検出率を向上させることができる。

3.4. n 回状態遷移被覆

コントローラに入力する状態信号は、前述のとおり決定的パターンを用いる。その際、故障検出率向上のために、どのような状態信号を与えるかが重要な問題となる。本手法では、全ての状態遷移を被覆するための状態信号系列を与える。

一般に、テストパターンとしてランダムパターンを用いる場合、回路動作に偏りが生じ、検出不可能な故障数が増加する可能性がある。それゆえ、コントローラの全ての状態遷移を最低 1 回実行することで、可能な限り回路動作が偏らないようにし、新たな故障を検出する可能性を向上させる。また、更なる故障検出率の向上を達成するため、全ての状態遷移を最低 n 回 (n は自然数) 被覆するような状態信号系列生成を行う。この状態信号系列により、全ての状態遷移を最低 1 回だけ被覆する場合よりもさらに多くの故障を検出することをはかる。

図 1 に RTL 回路例を示す。また、図 2 に図 1 の回路に対して 3 つの状態信号系列 '0111', '0101', '01010101' を与えた場合のコントローラの動作を示す。図 2 における $t_0 \sim t_7$ は時刻を表す。さらに、図 3 に状態信号系列 '0111', '0101' を与えた場合のデータパスの動作を示す。図 3 において、太線で示した信号線は、外部入力から入力されたランダムパターンが伝搬可能であることを表す。 $t_0 \sim t_3$ は時刻を表し、図 2 における時刻と対応する。初めに、図 1 のコントローラに対して状態信号系列 '0111' を与えた場合の動作を考える。図 2(a) に示すように、 $ST_0 \rightarrow ST_1 \rightarrow ST_1 \rightarrow ST_1$ と状態遷移を実行する。したがって、状態信号系列 '0111' を用いた場合、 ST_0 , ST_1 は被覆するが ST_2 , ST_3 は被覆しない。状態信号系列 '0111' を与えた場合のデータパスの動作を図 3(a) に示す。ここで、あるハードウェア要素にランダムパターンが入力さ

れ、そのハードウェア要素の出力が外部出力まで伝搬することができる場合、そのハードウェア要素はテストを実行可能であるといえる。図 3(a)の例では、演算器 *B* やマルチプレクサ *M5* のテストを行うことが不可能である。これは、時刻 *t1* と *t2* で状態遷移 *ST1* を繰り返し実行しており、それによってデータパスも同じ動作を繰り返していることが原因であるといえる。次に、図 1 のコントローラに対して状態信号系列 '0101' を与えた場合の動作を考える。図 2 (b)に示すように、*ST0*→*ST1*→*ST2*→*ST3* と状態遷移を実行する。したがって、状態信号系列 '0101' を用いた場合、図 1 のコントローラにおける全ての状態遷移を最低でも 1 回以上被覆することができる。状態信号系列 '0101' を与えた場合のデータパスの動作を図 3(b)に示す。図 3(b)の時刻 *t2* では、状態信号系列 '0111' によるデータパスの動作(図 3(a))でテストができなかった演算器 *B* やマルチプレクサ *M5* のテストを実行することが可能となる。これは、状態信号系列 '0111' では被覆できない状態遷移 *ST2* を、図 2(b)の時刻 *t2* における動作で被覆しているからである。このようにランダムパターンを用いた場合、データパスでは偏った動作が繰り返される可能性がある。一方で、全状態遷移を被覆するような状態信号を与えた場合、回路全体が動作する可能性が高く、新たな故障の検出につながりやすいといえる。

これらに加えて更なる故障検出率の向上を達成するため、全ての状態遷移を最低 *n* 回(*n* は自然数)被覆するようなテストを行う。図 1 のコントローラに対して状態信号系列 '01010101' を与えた場合の動作を考える。図 2(c)に示すように、*ST0*→*ST1*→*ST2*→*ST3*→*ST0*→*ST1*→*ST2*→*ST3* と状態遷移する。したがって、状態信号系列 '01010101' の状態信号系列を用いた場合、全ての状態遷移を最低 2 回被覆することがわかる。この操作により、状態信号系列 '0101' を用いた場合よりさらに故障を検出する可能性を向上させている。

3.5. テスト容易化機能的 *k* 時間展開モデルによる状態信号系列生成

コントローラの *n* 回状態遷移被覆を行うことで、回路をまんべんなく動作させ、故障検出率の向上が期待できる。しかしながら、*n* 回状態遷移被覆を用いてもデータパスの全てのハードウェア要素をテストすることができない可能性がある。それゆえ、*n* 回状態遷移被覆によってテストできていないハードウェア要素を特定し、そのハードウェア要素をテストできるような状態信号を新たに生成する。この手法により、*n* 回状態遷移被覆を行った場合よりもさらに高い故障検出率の達成が期待できる。

データパスの各ハードウェア要素がテスト可能かを判定するために、データパスのテスト容易な構造に着目して生成された *k* サイクルテスト生成モデルであるテスト容易化機能的時間展開モデル (Easily Testable Functional *k* Time Expansion Models: ETF*k*-TEM)[7]を用いる。ETF*k*-TEMにおいて、時刻 0 の外部入力またはスキャンレジスタからテスト対象ハードウェア要素の入力に値を伝搬でき、そのテスト対象ハードウェア要素の出力から値を時刻 *k*-1 の外部出力またはスキャンレジスタの入力まで伝搬できるものを、その ETF*k*-TEM で動作可能[8]であるという。あるハードウェア要素が動作可能なとき、そのハードウェア要素は縮退故障テスト可能であると考えられる。図 4 に、図 1 の回路をもとに生成した *k*=4 の ETF*k*-TEM の例を示す。ここで、多入力のハードウェア要素の左から *i* 番目の入力を入力 *i* ($0 \leq i \leq m-1$, *m* は入力数)と表す。図 4 の ETF4-TEM において、演算器

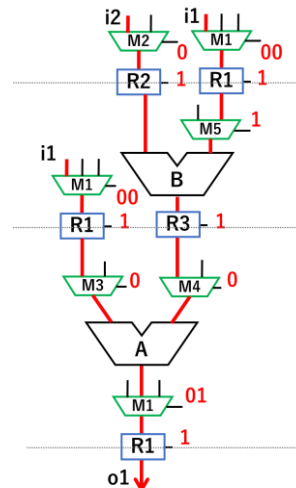


図 4. ETF4-TEM 例

A, B の入力 0 と入力 1, R1, R2, R3, M1, M2, M3, M4 の入力 0, M1, M5 の入力 1 が動作可能である。

本手法では、まず *n* 回状態遷移被覆によって外部入力から入力された値が伝搬する経路を考える。そして、その経路をもとに生成可能な全ての ETF*k*-TEM を探索する。探索した ETF*k*-TEM 中に含まれる全てのハードウェア要素はテスト可能ハードウェア要素とする。探索したどの ETF*k*-TEM 中にも含まれないハードウェア要素はテスト未実行ハードウェア要素とする。次に、テスト未実行ハードウェア要素をテスト対象とした ETF*k*-TEM を生成し、その ETF*k*-TEM の動作を実行するための状態信号制約を状態信号系列として追加する。例として図 4 の ETF4-TEM を用いて説明する。図 3(b)では、R3 やマルチプレクサ M5 の入力 0 のテストを行うことが不可能である。ここで、図 4 の ETF4-TEM の動作を実行するための状態信号制約を、図 3(b)で使用した状態信号系列 '0101' に追加する。図 4 の ETF4-TEM を用いることで R3 やマルチプレクサ M5 の入力 0 のテストを行うことが可能なため、更なる故障の検出が期待できる。

4. 実験結果

本実験では、5 つの RTL 回路を論理合成し、ゲートレベル回路に対して故障検出率を算出した。また、外部入力に LFSR が出力するランダムパターンと全状態遷移を被覆する状態信号を印加して実験を行った。故障モデルは単一縮退故障および遷移故障であり、データパス及びコントローラ内の全故障を評価対象とする。本実験では、提案手法における実験に加えて、提案手法を行わないオリジナル回路での実験を行った。

表 1 に本実験で用いた 5 つのオリジナル回路の情報を示す。1 行目に回路名を示す。2~5 行目に RTL における状態数、演算器数、制御信号数、状態信号数を示す。6~11 行目にゲートレベルにおける FF 数、ゲート数、外部入力数、外部出力数、総信号線数、回路面積を示す。

表 2 に縮退故障を対象とした実験結果、表 3 に遷移故障を対象とした実験結果を示す。表 2, 3 において、1 行目に実験で用いた回路名を示す。また、2, 3 行目にオリジナル回路に対する実験結果、4~6 行目には提案手法を用いた場合の実験結果を示す。2, 5 行目にはそれぞれのテスト系列長、3, 6 行目にはそれぞれの故障検出率を示す。4 行目には提案手法における全状態遷移の最小被覆回数を示す。提案手法におけるテスト系列に関しては、4 行目に記載する被覆回数を全

状態遷移が被覆できるように生成した。さらに、実験の条件を一致させるため、オリジナル回路で用いるテスト系列長は、提案手法でのテスト系列長と一致させた。また、被覆回数は10回まで増加させて実験を行ったが、対象回路では3回目以降の故障検出率にほとんど変化が見られなかった。

提案手法での縮退故障を対象とする故障検出率は、オリジナル回路と比較して、平均7.05%、遷移故障を対象とする故障検出率は、平均5.48%の向上を達成することができた。

5. むすび

本論文では、テスト容易化機能的時間展開モデルを用いた非スキャンベースオンラインテストのための状態信号系列生成法を提案した。提案手法では、オリジナル回路と比較して縮退故障の故障検出率を平均7.05%、遷移故障の故障検出率を平均5.48%向上させることができた。さらに、フルスキャンBIST回路と比較した場合、ほとんどの回路において、より短いテスト系列長で高い故障検出率を得ることができた。今後の課題として、テスト容易化機能的時間展開モデルを用いて状態信号系列を追加生成する手法の実装が挙げられる。

文 献

- [1] 藤原 秀雄, “デジタルシステムの設計とテスト,” 工学図書株式会社, 2004.
- [2] 梶原誠司, “組込み自己テストによるフィード高信頼化について,” DC2012-31, 2012年11月, pp.39-42.
- [3] W. Wang, et al., “Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology,” IEEE Trans. on

Device and Material Reliability, Vol.7, No.4, pp.509-517, 2007.

- [4] 宮瀬紘平, 梶原誠司, “論理回路のテストパターンに含まれるドントケア判定法について,” 情報処理学会研究報告, システム LSI 設計技術研究会, 2001-SLDM-103, 2002年11月, pp111-116.
- [5] Edward J. McCluskey, “Built-In Self-Test Techniques,” IEEE Design & Test of Computers, vol.2, no.2, pp.21-28, April 1985.
- [6] 池ヶ谷祐輝, 石山悠太, 細川利典, 吉村正義, “ n 回状態遷移被覆に基づく非スキャンオンラインテスト法,” DC2018, 2019年2月.
- [7] T. Masuda, J. Nishimaki, T. Hosokawa and H. Fujiwara, “A Test Generation Method for Data Paths Using Easily Testable Functional Time Expansion Models and Controller Augmentation,” Proc. 24th Asian Test Symposium, pp. 37-42, Nov. 2015.
- [8] Yuta Ishiyama, Toshinori Hosokawa, Hiroshi Yamazaki, “A Design for Testability Method for k-Cycle Capture Test Generation”, IEEE 25th International Symposium on On-Line Testing and Robust System Design (IOLTS'19), pp.40-43, Jul 2019.

表 1. オリジナル回路情報

回路名	sehwa	maha	kim	mc-ex2-BPF-ARF-ex2	fig17	
RTL	状態数	26	24	24	29	157
	演算器数	3	3	5	8	9
	制御信号数	18	20	20	96	65
	状態信号数	1	1	1	2	1
GL	FF数	262	198	198	678	105
	ゲート数	3024	2756	3277	34408	10267
	外部入力数	258	194	194	130	16
	外部出力数	64	32	64	32	32
	総信号線数	3282	2950	3471	34538	10285
面積	5020	4328	5003	44451	13185	

表 2. 縮退故障における実験結果

回路名	sehwa			maha			kim			mc-ex2-BPF-ARF-ex2			fig17			
オリジナル	テスト系列長	50	100	150	48	96	144	34	68	102	141	282	423	303	606	909
	故障検出率(%)	73.82	74.45	74.45	71.91	72.13	72.13	66.08	67.43	67.43	71.66	72.04	72.04	83.76	83.77	83.77
提案手法	被覆回数	1回	2回	3回	1回	2回	3回	1回	2回	3回	1回	2回	3回	1回	2回	3回
	テスト系列長	50	100	150	48	96	144	34	68	102	141	282	423	303	606	909
	故障検出率(%)	79.33	80.97	80.98	78.55	79.06	79.06	75.95	77.34	77.34	76.47	76.60	76.60	91.44	91.49	91.49

表 3. 遷移故障における実験結果

回路名	sehwa			maha			kim			mc-ex2-BPF-ARF-ex2			fig17			
オリジナル	テスト系列長	50	100	150	48	96	144	34	68	102	141	282	423	303	606	909
	故障検出率(%)	49.27	71.21	71.23	49.43	69.66	69.68	41.85	65.76	65.79	67.43	68.73	68.73	72.24	81.11	81.11
提案手法	被覆回数	1回	2回	3回	1回	2回	3回	1回	2回	3回	1回	2回	3回	1回	2回	3回
	テスト系列長	50	100	150	48	96	144	34	68	102	141	282	423	303	606	909
	故障検出率(%)	51.62	77.59	77.58	50.70	75.92	75.96	40.47	75.81	75.81	68.16	73.05	73.05	83.35	88.15	88.15