

強化学習を用いた低消費電力指向ドントケア割当ての考察

日大生産工(院) ○平間 勇貴 日大生産工 細川 利典
 日大生産工 山崎 紘史
 京都産業大学コンピュータ理工学部 吉村 正義

1 はじめに

近年、半導体の微細化技術の進歩に伴い、大規模集積回路 (Large Scale Integrated circuits : LSI) の集積度が増大している。また、低消費電力化のために機能動作時には、回路の一部のみを動作させる設計がなされている。一方、LSI のテスト時には、低コスト化のために回路全体を動作させるので、テスト時消費電力の増大が問題となっている。

LSI のテストでは、テスト容易性向上による効率化のためにスキャン設計が施される場合が多い。スキャン設計回路のテストでは、LoC(Launch-on-Capture) ベース [1] の実速度スキャンテストが普及している。実速度スキャンテストでは、全てのフリップフロップ (Flip Flop : FF) はシフト動作とキャプチャ動作の2つのモードで動作するスキャン FF に置き換えられる。シフトモードではテストベクトルをスキャンフロップフロップに印加するシフトイン操作と、組合せ回路部のテスト応答を観測するシフトアウト操作のために利用される。また、キャプチャモードでは、スキャン FF は通常の FF と同様にテスト応答を格納する動作をする。

LoC ベースの実速度スキャンテストにおける消費電力は、シフト時消費電力とキャプチャ時消費電力に分類することができる。シフト時消費電力は、テストベクトルの印加とテスト応答の観測の際にスキャン FF に多くの論理値遷移が発生する際の消費電力である。過度のシフト時消費電力は回路の発熱に繋がり、回路の熱破壊問題を引き起こす可能性がある。一方、キャプチャ時消費電力は、実速度で回路を動作させ回路内のゲートに論理値遷移が発生する際の消費電力である。過度のキャプチャ時消費電力は過度の IR ドロップ [2] を引き起こす可能性がある。それゆえ、良品を不良品と判定する誤テストを引き起こし歩留まり損失の原因となる。

本論文では、キャプチャ時消費電力問題に着目する。2 サイクル目のキャプチャ時消費電力削減において、キャプチャ動作時の信号遷移数 (Launch Switching Activity : LSA) を削減することが非常に重要である。キャプチャ時消費電力削減のための手法は多数提案されており [3-8]、それらは一般に、テストベクトル変更による手法 [3-6] と再テスト生成による手法 [7,8] に分類することができる。

テストベクトル変更による手法では、ドントケア (Don't care : X) 判定 [3] と、X 割当て [4-6,9] を組み合わせた手法が提案されている。X 判定においてテストベクトル中の故障検出に関係しないビットを X に変更し、テストキューブを生成する。次に、X 割当てにおいてテストキューブ中の X に低消費電力化のための論理値を割り当てる。X 判定による手法は、低消費電力な X 割当てを効果的に行うために、1 つのテストキューブで検出可能な故障数を平均化する手法 [3] が提案されている。また、X 割当てによる手法は、正当化や含意操作などの決定的アルゴリズムを用いてテストキューブ中の X に低消費電力になるように論理値を割り当てる LCP-FILL [4]、確率計算を用いてテストキューブ中の X に低消費電力になるように 0 や 1 を割り当てる Preferred-FILL [5]、その両方の手法を組み合わせた JP-FILL [6]、PMSAT-FILL [9] などが挙げられる。これらの手法は、キャプチャ動作時の FF の遷移数を削減することで、キャプチャ時消費電力を削減することを目的としている。しかしながら、文献 [4-6] では FF の遷移の影響は FF 間で独立であるとみなして X 割当てを行っている。文献 [10] で解析した FF 同士の遷移の相関関係の結果は、使用したランダムパターンに依存している可能性があり、より精度の高い解析が求められる。

本論文では、強化学習を用いた低消費電力指向 X 割当てを提案する。従来の X 割当て手法はアルゴリズムックに行っているが、提案手法では試行錯誤に

よって低消費電力指向 X 割当てを行う。

本論文の構成は以下のとおりである。第 2 章では、キャプチャ時消費電力について説明する。第 3 章では、強化学習手法について説明する。第 4 章では、提案手法である強化学習を用いた低消費電力指向ドントケア割当て手法について説明する。第 5 章では、実験結果を示し、第 6 章では、本論文のまとめと今後の課題について述べる。

2 キャプチャ時消費電力の見積もり

本章では、キャプチャ時消費電力の見積もりについて説明する。提案手法は、キャプチャ時消費電力の削減を目標としている。回路の消費電力を正確に計算する場合、電源電圧やクロック周波数、ゲートの負荷容量など様々な要素が必要となる [11]。提案手法ではそれらの要素を考慮していないため、回路のスイッチング動作との相関が強く計算が容易な重み付き信号遷移確率 (Weighted Switching Activity : WSA) [12] を用いる。テストベクトル v_i の WSA は式 (1) で与えられる。

$$WSA(v_i) = \sum_{j=1}^G tran(g_j) \times (1 + fanout(g_j)) \quad (1)$$

式 (1) において、 G は回路中のすべてのゲート数を表す。 $tran(g_j)$ はゲート g_j の遷移関数であり、 g_j に遷移が発生した場合は 1、それ以外は 0 を返す関数である。 $fanout(g_j)$ はゲート g_j の分岐先信号線数を表す。1 は遷移が発生したゲートの出力信号線の重み付けのために使用される。

本論文では、キャプチャ時消費電力が閾値以下のテストベクトルをキャプチャセーフテストベクトル [7]、閾値を超えるテストベクトルをキャプチャアンセーフテストベクトル [7] と定義する。また、初期テスト集合においてキャプチャアンセーフテストベクトルのみで検出可能な故障をアンセーフ故障 [7]、それ以外の故障をセーフ故障 [7] と定義する。

3 Q 学習ベースの X 割当て手法

強化学習ではさまざまな手法が考案されている。提案手法では、Q 学習 [13] を用いてモデルの学習を行っている。強化学習には環境・エージェント・状態・行動・報酬のような要素が存在する。本論文では、各要素を次のように対応させている。

環境 論理回路

エージェント X 割当てプログラム

状態 テストキューブ

行動 X に割り当てる論理値

報酬 消費電力の小ささ

強化学習では、行動価値関数あるいは Q 値とよばれる値を学習していく。Q 値は $Q(s, a)$ で表される。これは、状態 s で行動 a を取ったときの価値を表している。Q 学習における Q 値の更新式は式 (2) となる。

$$Q(s_t, a_t) \leftarrow (1 - \alpha)Q(s_t, a_t) + \alpha(r_{t+1} + \gamma \max_{a_{t+1}} Q(s_{t+1}, a_{t+1})) \quad (2)$$

s_t と a_t は、それぞれ現時刻における状態と行動であり、 s_{t+1} と a_{t+1} は、次時刻のものである。 r_{t+1} は、次時刻における報酬であり、本論文では WSA 値を -1 倍した値を報酬として用いる。 α は、学習率とよばれるパラメータで、Q 値をどれだけ急激に更新するかを制御する。 γ は、割引率とよばれ、現在において将来の価値をどれだけ割り引いて考えるかを示す。

次に、学習の例を示す。この例では、学習率 γ を 0.9、割引率 α を 0.1 としている。現在のテストキューブが XXXXXXXX であるとする。この状態で、1 を割り当てるという行動を選択すると、テストキューブの 1 ビット目に 1 が割り当てられ 1XXXXXXX に更新される。このテストキューブを用いて論理シミュレーションを行い WSA 値が 26 と計算されたとき、報酬は -26 となる。ここで、状態 XXXXXXXX のとき行動 1 を取る場合の価値は式 (2) を用いて計算される。よって、このときの Q 値は $(1 - \alpha) \times 0 + \alpha \times (-26 + 0) = -2.6$ となる。次に、0 を割り当てるという行動を選択すると、テストキューブの 2 ビット目に 0 が割り当てられ 10XXXXXX に更新される。このときの WSA 値が 24 であったとき、状態 1XXXXXX で行動 0 の場合の Q 値は $(1 - \alpha) \times (-2.6) + \alpha \times (-24 + 0) = -4.74$ となる。同様の処理を続け、すべての状態に対してすべての行動を取ったときの Q 値を求める。このようにして Q 値の学習を行う。

4 機械学習を用いた低消費電力指向 X 割当て手法

提案手法は、2 つのフェーズに分けることができる。第 1 フェーズでは、モデルの学習を行う。第 2 フェーズでは、学習済みモデルを用いて X 割当てを

```

T: A Test Cube Set
p: Number of Primary Inputs of the Circuit
s: Number of Learning Steps
1: procedure RL Fill(T, p, s)
2:   for i = 1, 2, ..., s do
3:     Single X Fill()
4:     Logic Simulation()
5:     w ← Calculate WSA()
6:     Update Q Table(w)
7:   end for
8:   for i = 1, 2, ..., |T| do
9:     for j = 1, 2, ..., p do
10:      Single X Fill()
11:    end for
12:   end for
13:   return T
14: end procedure

```

図1 提案手法アルゴリズム

行う。

第1フェーズは、第3章の手順に従ってモデルを学習する。1ステップにつき1ビットのX割当てとWSA計算、Q値の更新を行う。X割当てが完了した場合は、すべてXの状態に戻し、再び1ビット目から論理値を割当てる。

第2フェーズは、実際にX判定済みテストキューブにX割当てを行うフェーズである。テストキューブを1ビット目から順に走査し、値がXであればQ値表を参照し、行動価値が大きい方の論理値を割当てる。

図1に、提案手法の全体アルゴリズムを示す。*T*は、X判定済みのテストキューブである。*p*は、回路の外部入力数すなわちテストキューブのビット数である。*s*は、強化学習の学習ステップ数である。

まず、モデルの学習を*s*回行う(2行目)。1ビットの外部入力に対してX割当てを行い(3行目)、得られたテストキューブを用いて3値の論理シミュレーションを実行する(4行目)その結果からWSA値を求める(5行目)。WSA値を基にQ値表を更新する(6行目)。

モデルの学習が終了すると、次は、学習済みモデルを用いてX割当てを行う。すべての*T*において(8行目)、すべての外部入力に対して(9行目)1ビットずつX割当てを行う(10行目)。

表1 s5378における実験結果

最大 WSA	2650
平均 WSA	2088.66
最小 WSA	1678

5 実験結果

本章では、提案手法による実験結果を示す。対象回路はISCAS'89ベンチマーク回路、強化学習環境はOpenAI Gym、強化学習アルゴリズムの実装セットはStable Baselinesを用いた。学習方法は、Q学習の中で行動価値関数を人工ニューラルネットワークで近似するDQN [14]を採用した。学習ステップ数は回路の入力ピン数の100倍、学習率は0.99、割引率は0.0005とした。WSA閾値は、論理値が遷移する可能性のある信号線数の20%に設定した。

本論文では、s5378でのみ実験を行った。提案手法を用いてX割当てを行ったあとのテストベクトルについてWSA値を計算した結果を表1に示す。また、s5378のWSA閾値は911である。よって、すべてのテストベクトルがキャプチャアンセーフテストベクトルとなってしまった。X割当てを実行したものの、キャプチャセーフテストベクトルを生成することができなかった。

6 おわりに

本論文では、強化学習を用いた低消費電力指向X割当て手法を提案した。しかしながら、目的通りの学習をすることができず、キャプチャセーフテストベクトルを生成することができなかった。提案手法では、X割当てを左のビットから順に行っていた。この方法や、行動の種類、報酬の計算方法、学習アルゴリズムなどを再検討することで、強化学習を用いた低消費電力指向X割当てが可能であると考えている。そのため、学習モデルの再設計が今後の課題である。

参考文献

- [1] S. J and S. Patil, "Scan-based transition test," *IEEE Trans. Comput. Aided Design Int. Circuits & Syst.*, vol. 13, no. 8, pp. 1054–1067, 1994.
- [2] T. Yoshida and M. Watati, "A New Approach for Low Power Scan Testing," *International Test Con-*

- ference, pp. 480–487, 2003.
- [3] K. Miyase, K. Node, H. Ito, K. Hatayama, T. Aikyo, Y. Yamato, H. Furukawa, X. Wen, and S. Kajihara, “Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-Identification,” *IEEE/ACM International Conference on Computer-Aided Design.*, pp. 52–58, 2008.
 - [4] X. Wen, Y. Yamashita, S. Kajihara, L. T. Wang, K. Saluja, and K. Kinoshita, “A New Method for Low-Capture-Power Test Generation for Scan Testing,” *IEICE Trans. Inf. & Syst.*, vol. E89-D, no. 5, pp. 1679–1686, 2006.
 - [5] S. Remersaro, X. Lin, Z. Zhang, S. M. Reddy, I. Pomeranz, and J. Rajski, “Preferred Fill: A Scalable Method to Reduce Capture Power for Scan Based Designs,” *Proc. ITC, paper 32.2*, 2006.
 - [6] X. Wen, K. Miyase, S. Kajihara, T. Suzuki, Y. Yamato, P. Girard, Y. Ohsumi, and L. T. Wang, “A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing,” *Proc. ITC, paper 25.1*, 2007.
 - [7] X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo, and K. K. Saluja, “A Capture-Safe Test Generation Scheme for At-Speed Scan Testing,” *Proc. ETS*, pp. 55–60, 2008.
 - [8] T. Hosokawa, A. Hirai, Y. Yamauchi, and M. Arai, “A Low Capture Power Test Generation Method Based on Capture Safe Test Vector Manipulation,” *IEICE Trans. Inf. & Syst.*, vol. E100-D, no. 9, pp. 2118–2125, 2017.
 - [9] T. Hosokawa, H. Yamazaki, K. Misawa, M. Yoshimura, Y. Hirama, M. Arai, and M. Arai, “A low capture power oriented x-filling method using partial maxsat iteratively,” in *2019 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT)*, pp. 1–6, 2019.
 - [10] M. YOSHIMURA, Y. TAKAHASHI, H. YAMAZAKI, and T. HOSOKAWA, “A don’t care filling method for low capture power based on correlation of ff transitions using sat,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E100.A, no. 12, pp. 2824–2833, 2017.
 - [11] S. Wang, K. Fu, and K. S. Li, “Low peak power ATPG for n-detection test,” in *2009 IEEE International Symposium on Circuits and Systems*, pp. 1993–1996, 2009.
 - [12] S. Gerstendorfer and H.-J. Wunderlich, “Minimized power consumption for scan-based BIST,” *Proc. International Test Conference*, pp. 77–84, 1999.
 - [13] Watkins C.J.C.H. and P. Dayan, “Q-learning,” *Mach Learn*, vol. 8, pp. 279–292, 1992.
 - [14] V. Mnih, K. Kavukcuoglu, D. Silver, A. Graves, I. Antonoglou, D. Wierstra, and M. A. Riedmiller, “Playing atari with deep reinforcement learning,” *CoRR*, vol. abs/1312.5602, 2013.