

レジスタ転送レベルにおけるテストスケジューリング情報に基づく 多重目標故障テスト生成法

日大生産工(院) ○浅見 竜輝 日大生産工 細川 利典
日大生産工 山崎 紘史 京産大 吉村 正義 日大生産工 新井 雅之

1. はじめに

近年、超大規模集積回路(Very Large Scale Integrated Circuits : VLSI)のテストコスト増大に伴い、テストパターン数の削減が重要視されている[1]。テストパターン数削減のためのテスト圧縮法[2-3][13]やテストパターン数削減のためのテスト容易化設計手法(Design-for-Testability: DFT) [4-8]があり、多くの故障を並列にテストするテスト並列化手法によってテストパターン数の削減をおこなっている。

文献[8]は、テストポイント挿入とコントローラ拡大を用いた手法である。しかしながら、この手法には2つの課題が存在する。第1に、この手法はテストポイントとしてマルチプレクサ(Multiplexer: MUX)を挿入するため、回路面積や遅延のオーバーヘッドが増大する可能性がある。第2に、演算器以外のハードウェアに対する並列テストを考慮していないため、テストパターン数が大きく削減されない回路が存在する。

上記の課題点を解決するために、テストパターン数削減のためのコントローラ拡大[9-12]を用いたデータパス中のハードウェアである演算器と MUX の並列テストのためのDFT 手法[12]が提案されている。文献[12]ではテストポイントとして MUX は用いず、コントローラ中の無効状態に対してハードウェアの並列テストが可能な制御信号を明に記述することによってハードウェアの並列テストを実現している。しかしながら、実験結果では対象回路のテストパターン数を大幅に削減を行うことができなかった。この原因として、使用した市販の自動テストパターン生成ツール(Automatic Test Pattern Generator : ATPG) がコントローラ拡大時に生成したテストスケジューリングの情報を考慮していない点とデータパス中のハードウェアである MUX の制御信号線 m p テストを考慮していない点が挙げられる。

本論文ではテストスケジューリングの情報を考慮したテスト生成法を提案する。故障モデルは単一縮退故障モデルで行う。テスト生成は Partial MAXSAT を用いた多重目標故障テスト生成 (Multiple Target Test Generation : MTTG)[13]を用いて実現する。

本論文の構成は以下のとおりである。2 章で前提知識について説明し、3 章でテストスケジューリング情報を用いたテスト生成法を提案する。4 章で実験結果について説明し、5 章でまとめと今後の課題について述べる。

2. 前提知識

本章では前提知識について説明する。2.1 節にハードウェア要素のテストレジスタについて述べる。2.2 節にハードウェア要素のテスト並列化を実現するためのコントローラ拡大について述べる。2.3 節にテストスケジューリングについて述べる。

2.1 ハードウェア要素のテストレジスタ

本論文で対象とするレジスタ転送レベル(Register Transfer Level : RTL)回路はデータパスとコントローラから構成されるものとする。RTL データパスのハード

ウェア要素 j が他のレジスタを介さずに入力方向もしくは出力方向に到達可能なレジスタを j のレジスタと定義する。ここで、 j の入力 i から入力方向に到達可能な j のレジスタを j の入力 i の入力レジスタ、 j の出力から出力方向に到達可能な j のレジスタを j の出力レジスタとする。また、ある制御信号における j のテスト実行時に j の入力 i にテストパターンを印加することが可能なレジスタを j の入力 i の入力テストレジスタ、その出力応答を観測することが可能なレジスタを j の出力テストレジスタと定義する。 j の入力テストレジスタと出力テストレジスタを併せて j のテストレジスタと定義する。

以下に j のテスト可能の定義をする。以下の2つの条件を満たす場合、 j がテスト可能となる。

- j の全ての入力に対して異なるテストレジスタが割当てられている。
- j の出力に対して出力テストレジスタが少なくとも1つ以上割当てられている。

2.2 コントローラ拡大

通常のコントローラはテスト時にのみ遷移が可能な状態であるテスト活性化状態(Test Sensitization State : TSS)[11]は明に記述されていない。したがって、テスト活性化状態とその状態遷移を設計するためにコントローラ拡大をおこなう必要がある。コントローラ拡大とは、元の有限状態機械に状態や状態遷移を追加する手法である。

コントローラには、機能動作時には遷移しない無効状態が存在する可能性がある。本論文ではスキャンテストを対象とするため、テスト時においてコントローラは無効状態にも遷移可能となる。したがって、本手法ではコントローラに存在する無効状態を用いてコントローラ拡大をおこなうことで、テスト時にのみ遷移が可能な状態を TSS とする。なお、コントローラ拡大時に無効状態数が不足する場合はコントローラの状態レジスタにスキャンフリップフロップ(Flip Flop : FF)を追加してコントローラの無効状態を増加させる。図1にコントローラ拡大の例を示す。図1(a)に通常のコントローラ、図1(b)にコントローラ拡大によって TSS が2 状態追加されたコントローラの例を示す。図1(a)のコントローラは2 ビットの FF で構成されているため4 つの状態が定義可能である。しかしながら、有効状態が3 状態定義されているため、TS

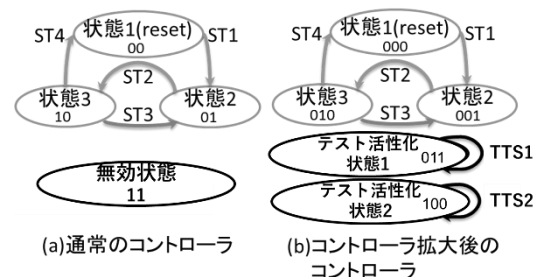


図1. コントローラ拡大

ハードウェア要素のテスト並列化を実現する TSS の出力する制御信号は、データパス中の MUX と、割当てられたテストレジスタの情報を用いて、RTL データパスから容易に求めることが可能である。

本節ではテストスケジューリングについて、図2のRTL データパスと図3のテストスケジューリング結果を用いて説明する。図2中の演算器の右下に書かれている数値は演算器のテストパターン数を示す。テストスケジューリングとはハードウェア要素をテストする際に用いるテストレジスタの割当て結果である。本手法ではテストスケジューリングを用いることで最小のテストパターン数で演算器と MUX を並列にテストすることが可能なテストレジスタ割当てを求める。

60																
50																
40																
30	TSS2	R1	R2	R3	R3	R4	R1,R4	○	○				○	○		
20	TSS1	R1	R2	R1	R1	R2	R3	○			○	○				○
10																
0	State Transi on	In1	In2	Out	In1	In2	Out	In1	In2	In1	In2	In1	In2	In1	In2	
		A			B					M1	M2		M3	M4		
		Operational Unit						MUX								

a) テスト活性化状態1(TSS1)における状態遷移時のテストレジスタ割当て

b) テスト活性化状態2(TSS2)における状態遷移時のテストレジスタ割当て

パターンを印加する入力テストレジスタ名、テスト応答の矩形内にテスト応答を格納する出力テストレジスタ名を表す。MUX の入力の上部にはテストが完了した場合、「o」が表される。また、MUX の入力上部の矩形は状態遷移に対応している。

図 4(b)に TSS2 におけるテストレジスタ割当ての結果を示す。A の入力 In1(In2)の入力テストレジスタは $R1$, ($R2$), 出力テストレジスタは $R3$ に割当てられている。したがって、A の入出力テストレジスタが割当てられ、A のテスト可能となる。このテストレジスタ割当てにおいて A の 20 パターン分のテストと M2 の入力 In1 のテストが実行される。また、B の入力 In1(In2)の入力テストレジスタは $R3$, ($R4$), 出力テストレジスタは $R1$, $R3$ に割当てられている。このテストレジスタ割当てによって、B の 20 パターン分のテストと B と M3 の入力 In2, M4 の入力 In2, M1 の入力 In2 のテストが実行される。以上のテストレジスタ割当てによってすべての演算器と MUX の入出力のテストが実行される。

本章ではテストスケジューリング情報を用いたテスト生成法について説明する。3.1 節に最大充足割当問題について述べる。3.2 節に多重目標故障テスト生成について述べる。3.3 節に **Partial MaxSAT** を用いた MTTG について述べる。3.4 節でテストスケジューリング情報に基づく多重目標故障テスト生成法について述べる。

最大充足割当問題(Maximum Satisfiability Problem : MaxSAT)とは，論理和標準形(Conjunctive Normal Form : CNF)の命題論理式が与えられたとき，真となる節数の総和を最大化する問題である。MaxSAT の節に重みを考慮した問題を Partial MaxSAT と呼ぶ。

— 156 —

る節をハード節, 真になった際に設定した重みが発生する節をソフト節と呼ぶ。ソフト節は必ずしも真とする必要がなく, 任意の値に重みを設定できる。ハード節は, 必ず真とするため, 重みは無限大である。また, CNF で与えられたハード節の命題論理式が真となる論理変数の組合せが存在しない場合, 命題論理式は充足不能(Unsatisfiability: UNSAT)であるという。

3.2 多重目標故障テスト生成

本節では, 多重目標故障テスト生成(Multiple Target Test Generation: MTTG)[13]について説明する。MTTGとは複数の目標故障を対象に実行するテスト生成手法である。ただし, 多重故障ではないので, 複数の故障影響は同時に考慮せず, それぞれ個別に故障影響を考慮してテスト生成を行う。

MTTGでは対象回路に対してテスト生成に必要な範囲特定を行う。範囲特定はテスト生成対象の故障箇所から出力方向に到達可能な範囲 (Transitive Fan-Out: TFO)で行う。故障回路は故障箇所に対する TFO とするが, MTTG では複数の故障を対象としているため, 各故障に対して故障回路の範囲を特定する。この範囲特定を行うことにより, 故障回路の規模を削減することができる。テスト生成モデルの正常回路はすべての故障回路の外部出力に対して入力方向に到達可能な範囲(Transitive Fan-In: TFI)となる。

故障回路に対する範囲特定後, 1つの正常回路と目標故障数分の故障回路を用意し, 各故障回路の外部出力に対応する正常回路の外部出力と EXOR 演算を行う。1つの故障回路に複数の外部出力が含まれる場合は EXOR 演算した結果に対して OR 演算を行う。ここでは, 各故障回路に対応する正常回路の外部出力との EXOR 演算(もしくは OR 演算)を各故障回路に対する故障検出回路と呼ぶ。MTTGでは, すべての目標故障の同時検出が目的であるため, 各故障検出回路の出力をすべて 1 とする必要がある。

目標故障数が増減することにより, 故障回路数や故障検出回路数が増減する。故障回路や故障検出回路が

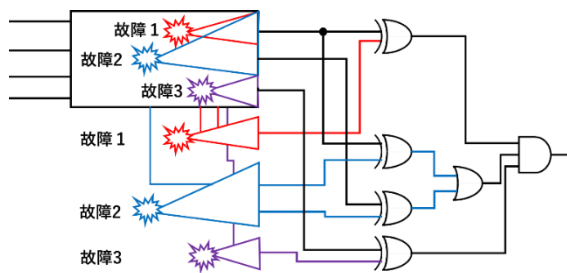


図 5. MTTG 例

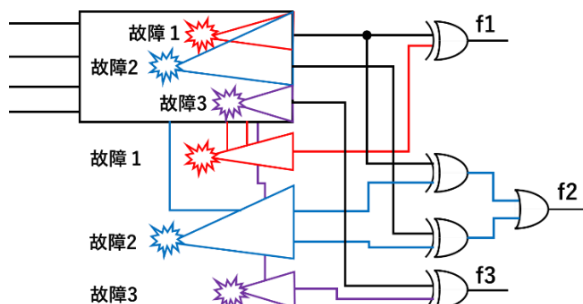


図 6. 提案するテスト生成モデル

増加することにより, ゲート数や信号線が増加し, CNF の総節数が増加する

3.3 Partial MaxSAT を用いた MTTG

Partial MaxSAT を用いた MTTG では, 各故障検出回路の出力をソフト節とする。ソフト節には ∞ 以外の同じ重みを与える。回路情報の CNF と縮退故障による故障値の制約節にすべて重み ∞ を与え, ハード節とする。各故障検出回路の外部出力をソフト節とすることにより, Partial MaxSAT は真となるソフト節の総和の最大値を探索する。充足可能となった場合は, 真となるソフト節に対応する故障が同時検出できるテストパターンを生成する。充足不能となった場合は, すべての故障が検出不能故障となる。そのため, Partial MaxSAT を用いた MTTG ではテスト生成モデルの再生成が不必要である。

Partial MaxSAT を用いた MTTG では図 6 で示したようなテスト生成モデルを CNF に変換し, Partial MaxSAT 判定を行うことで MTTG を実現している。各ゲートを CNF へ変換し, 変換した各ゲートの CNF 式を論理積することでテスト生成モデルの変換は可能である。各故障検出回路の外部出力である $f1, f2, f3$ には ∞ 以外の同値の重みを与え, ソフト節とすることでテスト生成モデルが生成される。

3.4 テストスケジューリング情報に基づく多重目標故障テスト生成法

本節ではテストスケジューリング情報に基づくテスト生成法を説明する。図 7 は提案手法であるテストスケジューリング情報に基づく多重目標故障テスト生成法の全体アルゴリズムを示す。本アルゴリズムの入力は回路 C とテストスケジューリング情報 TS , 故障集合 F であり, 出力はテスト集合 T である。 TS は状態遷移と各状態遷移における見積りテストパターン数のペアの酒豪である。

最初に T を空集合で初期化する(4 行目)。6 行目から 13 行目の処理は F が空集合になるまで繰り返し実行される(5 行目)。 TS から状態遷移を選択する(6 行目)。7 行目で選択した状態遷移 ts_i でテスト可能であるハードウェア要素に該当する信号線の故障を未検出故障集合から選択し目標故障 TF に設定する(7 行目)。現在の状態遷移で生成したテストパターン数 num_tp を初期化する(8 行目)。10 行目から 13 行目までの処理は, num_tp が選択した状態遷移の見積りテストパターン数 $ts_i.num_tp$ を超えるまで繰り返し実行される(9 行目)。選択した ts_i に対し, 3.3 節で説明した Partial MaxSAT を用いた MTTG を状態遷移の状態割当て $ts_i.st$ を制約として与え実行し, テスト

```

1. Input: Circuit C, Test Scheduling TS and Fault set F
2. Output: Test Set T
3. MTTG_based_on_Test_Scheduling(C, TS, F){
4.   T = ∅;
5.   while(F ≠ ∅) {
6.     for(each  $ts_i \in TS$ )
7.        $TF = \text{Fault\_Selection}(C, TS, F)$ ;
8.        $num\_tp = 0$ ;
9.       for( $num\_tp < ts_i.num\_tp$ )
10.         $t = \text{Partial\_MaxSAT\_MTTG}(C, ts_i.st, TF)$ ;
11.         $F = \text{Fault\_Simulation}(C, t, F)$ ;
12.         $T = T \cup \{t\}$ ;
13.         $num\_tp++$ ;
14.     }
15.   }
16. }
17. return T;
18. }
```

図 7. 全体アルゴリズム

パターン t を生成する(10行目). 生成した t に対し故障シミュレーションを実行し, 検出した故障を F から削除する(11行目). T と f の和集合を求め, T を更新する(12行目). num_tp に 1 追加する(13行目). T を返す(17行目).

図2 で示した RTL データバスと図3 で示したテストスケジューリングを用いて例を示す. テストスケジューリングでは TSS1 の遷移の際に演算器 A と M1 の In1, 2 の In2, M3 の In1, M1 の In1 がテスト可能状態となっている. テストレジスタは R1, R2, R3 である. したがって演算器 A に該当する信号線の故障, M1 の In1, M2 の In2, M3 の In1, M1 の In1 に該当する信号線の故障, テストレジスタ R1, R2, R3 に該当する信号線の故障を未検出故障集合から選択し, 目標故障集合とする. 作成した目標故障集合を Partial MaxSAT を用いた MTTG の入力とする. Partial MaxSAT を用いた MTTG で生成したテストパターンで故障シミュレーションを行い, 検出故障を未検出故障集合から削除する. 削除後, 未検出故障集合が空集合となれば本手法は終了する. 空集合とならない場合は再度, 目標故障集合の作成から行う.

4. 実験結果

本章では実験結果について説明する. 提案手法は C 言語で実装し, 5 つの RTL 回路に対して, Core i7 8700(3.2GHz)および 16GB メモリを搭載したコンピュータを用いて実験を行った. 本手法では Partial MaxSAT として Clasp[14]を使用した. Clasp のバージョンは 3.3.4 を使用した. 実験では 1MTTG 当たりの Partial MaxSAT の制限時間を 500 秒に設定した. 対象故障モデルは縮退故障モデルである. 今回の実験では状態遷移の選択手法として以下の 2 つを用いる

1. 各状態遷移の見積りテストパターン数分連続して選択する.
2. 各状態遷移の見積りテストパターンから比率を算出し, 各状態遷移を巡回して選択する.

表 1 に本手法の実験結果を示す. "Circuit"は回路名を示し, "#ALL"は回路内の総故障数を示す. "#DET"は検出故障数を示し, "#RED"は冗長故障数を示す. "non"はテストスケジューリング情報を用いずに Partial MaxSAT を用いた多重目標故障テスト生成のみを実行したときのテストパターン数である. "Proposed"は提案手法であるテストスケジューリング情報に基づいた Partial MaxSAT を用いた多重目標故障テスト生成でのそれぞれの選択手法ごとのテストパターン数である. 結果としては 5 つ中 3 つの回路でテストパターン数の削減を実現することができた.

5. まとめと今後の課題

本論文ではスケジューリング情報に基づくテスト生成法を提案した.

今後の課題は, 対象回路内でテストパターン数の削

減を実現できなかった回路に対してコントローラ拡大を変更し, テストパターン数の削減を可能にする.

参考文献

- [1]. Y. Sato, T. Ikeya, M. Nakao, and T. Nagumo, "A BIST Approach for Very Deep Sub-Micron (VDSM) Defects," Proc. ITC, pp. 283-291, Oct. 2000.
- [2]. S. Kajihara, I. Pomeranz, K. Kinoshita, "Cost-Effective Generation of Minimal Test Sets for Stuck-at Faults in Combinational Logic Circuits," IEEE TCAD Vol.14 Issue12, pp.1496-1504, Dec.1995.
- [3]. S. Kajihara, I. Pomeranz, K. Kinoshita and S. M. Reddy, "On Compaction Test Sets by Addition and Removal of Test Vectors," VLSI Test Symposium, 1994 Proceedings 12th IEEE, pp.202-207, NJ, USA, Apr.1994.
- [4]. M. J. Geuzebroek, J. Th. van der Linden, and A. J. van de Goor, "Test Point Insertion for Compact Test Sets," Test Conference 2000. Proceedings. International, pp.292-301, NJ, USA, Oct.2000.
- [5]. S. Remersaro, J. Rajsiki, T. Rinderknecht, Sudhakar M. Reddy, I. Pomeranz, "ATPG Heuristics Dependant Observation Point Insertion for Enhanced Compaction and Data Volume Reduction," IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems, pp.385-393, MA, USA, Oct.2008.
- [6]. M. Yoshimura, T. Hosokawa, and M. Ohta, "A Test Point Insertion Method to Reduce the Number of Test Patterns," IEEE the 11th Asian Test Symposium, pp.298-304, Guam, USA, Nov. 2002.
- [7]. Kedarnath J. Balakrishnam and Lei Fang, "RTL Test Point Insertion to Reduce Delay Test Volume," 25th IEEE VLSI Test Symposium, pp.325-332, CA, USA, May.2007.
- [8]. T. Hosokawa, S. Takeda, H. Yamazaki, M. Yoshimura, "Controller Augmentation and Test Point Insertion at RTL for Concurrent Operational Unit Testing," IEEE IOLTS'17 23rd, pp.17-20, Thessaloniki, Greece, July.2017.
- [9]. L. M. FLottes, B. Rouzeyre, L. Volpe, "A controller resynthesis based method for improving datapath testability," IEEE International Symposium on Circuits and Systems, pp.347-350, Geneva, Switzerland, May.2000.
- [10]. T. Masuda, J. Nishimaki, T. Hosokawa, and H. Fujiwara, "A Test Generation Method for Datapaths Using Easily Testable Functional Time Expansion Models and Controller Augmentation," IEEE the 24th Asian Test Symposium, pp.37-42, Mumbai, India, Nov.2015.
- [11]. S.Ohtake, T.Masuzawa, and H.Fujiwara, "A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency," Journal .of Electronic Testing: "Theory and Applications (JETTA) Vol. 16 No 5, pp553-566, Taipei, Taiwan, Oct. 2000.
- [12]. 武田 俊, 細川 利典, 山崎 紘史, 吉村 正義, 「コントローラ拡大を用いたレジスタ転送レベルにおけるテストパターン数削減のためのハードウェアのテストレジスタ割当て法」, デザインガイア, 2017 年.
- [13]. G. J. Tromp, "Minimal Test Sets for Combinational Circuits," Proc. ITC, pp. 204-209, 1991.
- [14]. M. Gebser, B. Kaufmann, A. Neumann, and T. Schaub, "Conflict-driven answer set solving," in Intl. Joint Conf. on Artificial Intelligence, 2007, pp. 386-392.

表 1. 実験結果

Circuit	#ALL	#DET	#RED	Non	Proposed	
					Method 1	Method2
ex2	21311	21274	37	65	73	68
ex4	19173	19168	5	62	69	68
maha	7983	7961	22	124	123	120
sewha	9156	9140	16	113	111	105
kim	11722	11702	20	95	104	93