

レジスタ転送レベル回路における故障診断容易化のためのコントローラのドントケア割当て法の評価

日大生産工(院) ○土淵航平, 日大生産工 細川利典, 明治大学 山崎浩二

1. はじめに

半導体微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) において、異常動作の物理的な原因を特定する故障解析[1]は、歩留まりの向上のために重要である。故障解析では、電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため、多大なコストを要する。そのため、故障 VLSI に存在する可能性のある故障 (被疑故障) の数を事前にできる限り絞り込んでおく故障診断[2]が、故障解析コストの低減のために重要となる。故障診断[2]では、故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。

組合せ回路やスキャン設計された順序回路における単一縮退故障モデルの故障診断手法は様々なものが提案されており、被疑故障数も大きく削減できることが報告されている[2]。

さらなる被疑故障数削減のためにゲートレベルやレイアウトレベルにおけるテストポイント挿入 (Test Point Insertion: TPI) などの診断容易設計が提案されている[3,4,5]。しかしながら、ゲートレベルやレイアウトレベルの回路は部品数が多く、高速で効果的な個所にテストポイントを挿入するのが困難である。また、テストポイント挿入はデータバス自体の改良にあたるため面積オーバーヘッドの観点からも推奨されない。

本論文では、ゲートレベルやレイアウトレベルに比較して抽象度の高いレジスタ転送レベル (Register Transfer Level: RTL) に着目し、コントローラの各状態遷移における制御信号のドントケア割当て法を提案する。なお、フルスキャン設計を施した回路を対象とし、本論文ではレジスタと外部出力を区別せずに外部出力と呼ぶ。

2. 前提知識

本章では、本論文で用いる用語や前提知識について述べる。

2-1 データバスとコントローラ

図 1 に RTL 回路のデータバスとコントローラの接続関係を示す。本論文で対象とする RTL 回路はコントローラ(a)とデータバス(b)から構成されている。

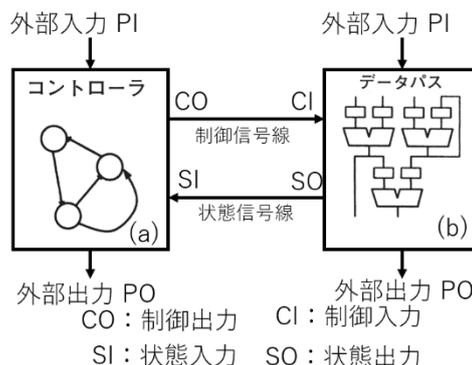


図 1. RTL 回路のデータバスとコントローラ

また、コントローラは有限状態機械として設計されており、データバスの制御を行っている。コントローラには制御する必要のない制御信号に対してドントケア (Don't care: X) が割当てられている。本手法ではこのドントケアに着目している。

2-2 テスト可能なハードウェア要素

RTL 回路における各状態遷移におけるテスト可能なハードウェア要素について定義する。

図 2, 表 1, にデータバスと状態遷移 ST3 における各制御信号値を示す。図 2 において、 a, b, c, d, e, f, g は外部入力、 y は外部出力、 $R1, R2$ はホールドレジスタ、 $R3$ はホールド機能の無いレジスタ、 $+$ は加算器、 $*$ は乗算器、 $M1 \sim M5$ はマルチプレクサを示す。また、 $m1 \sim m4, r1, r2$ は制御信号線の値を示す。

本論文では入力側レジスタから出力側レジスタまで活性化されている経路がある場合、その経路上のハードウェア要素をテスト可能なハードウェア要素として定義する。

図 3 に図 2 のデータバスのうち、表 1 の制御信号値で活性化されている経路を示す。図 3 より、テスト可能なハードウェアは $R1$ の out , $R3$ の out , $M3$ の $input_2$, $M4$ の $input_2$ と加算器 $+$, $R3$ の in が図 2 のデータバスの状態遷移 ST3 でテスト可能なハードウェア要素である。ここで、マルチプレクサに n 個の入力が存在する場合、マルチプレクサの入力信号線は、左側から順に $input_0, input_1, \dots, input_n-1$ と表す。

An Evaluation of Don't Care filling Method to Enhance Fault Diagnosability
for Register Transfer Level Circuits

Kohei TSUCHIBUCHI, Toshinori HOSOKAWA, and Koji YAMAZAKI

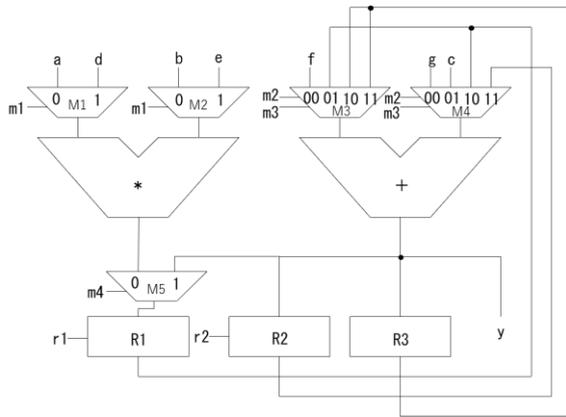


図 2. データバス例

表 1. 状態遷移 ST3 の制御信号値

状態遷移	m1	m2	m3	m4	r1	r2
ST3	X	1	0	X	0	0

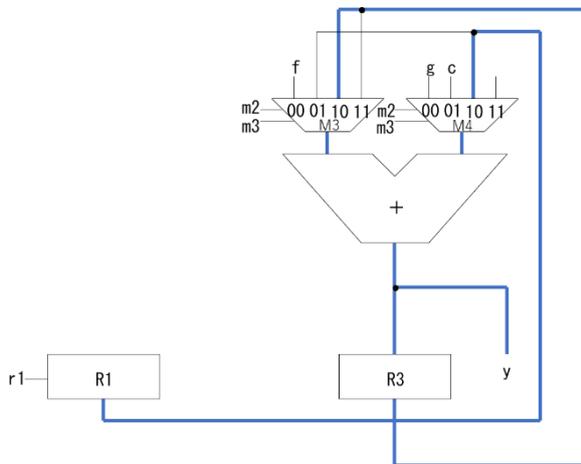


図 2. 状態遷移 ST3 のテスト可能なハードウェア要素

2-3 フェイル外部出力とパス外部出力

被検査回路にテストパターンを印加した際、その外部出力で得られる出力応答に基づいて、外部出力は次のように分類される。外部出力において、テストパターンに対する期待値と異なる論理値を観測した時、その外部出力を**フェイル外部出力**と呼ぶ。一方、外部出力においてテストパターンに対する期待値と同一の論理値を観測した時、その外部出力を**パス外部出力**と呼ぶ。

2-4 フェイルパターンとパスパターン

被検査回路にテストパターンを印加した際、その外部出力で得られる出力応答からテストパターンを次のように分類する。テストパターンが印加された被検査回路の外部出力において少なくとも 1 つの外部出力がフェイル外部出力であるならば、そのテストパタ

ーンを被検査回路に対する**フェイルパターン**と呼ぶ。一方、すべての外部出力がパス外部出力ならば、そのテストパターンを被検査回路に対する**パスパターン**と呼ぶ。

2-5 誤り経路追跡

誤り経路追跡はフェイルパターンを印加して論理シミュレーションを行い、フェイル外部出力から外部入力に向かって行われる。各ゲートにおいて入力信号線が非制御値である場合、すべての入力信号線を選択し後方追跡を行う。一方、各ゲートにおいて入力信号線に制御値が存在する場合、制御値を持つ入力信号線を任意に 1 本選択し後方追跡を行う。後方追跡により選択された信号線が被疑故障信号線となる。

図 2 にフェイルパターン(A,B,C)=(1,0,1)を印加した時の誤り経路追跡の回路例を示す。信号線 F に 1 縮退故障が発生した場合を想定すると、外部出力 H で異常値が観測されるため、フェイル外部出力 H から後方追跡が行われ、入力信号線 F が選択される。信号線 F の入力信号線は信号線 A と信号線 D であるが、AND ゲートの制御値 0 を持つ信号線は信号線 D であるため、信号線 D が選択される。その後、信号線 D の後方追跡を行い、信号線 B が選択される。信号線 D は外部入力であるため、(A,B,C)=(1,0,1)での誤り経路追跡は終了である。後方追跡によって選択された信号線{B,D,F,H}が(A,B,C)=(1,0,1)のときの被疑故障信号線である。

図 3 にフェイルパターン(A,B,C)=(1,0,0)を印加した時の誤り経路追跡の回路例を示す。外部出力 H と外部出力 J で異常値が観測されているため、フェイル外部出力 H とフェイル外部出力 J について後方追跡を行う。まず、外部出力 H の後方追跡を考える。図 1 と同様の後方追跡が行われ、信号線{B,D,F,H}が選択される。次に、フェイル外部出力 J の後方追跡を行うと、信号線{B,C,D,E,F,G,I,J}が選択される。次に、H の後方追跡によって選択された信号線の集合{B,D,F,H}と J の後方追跡によって選択された信号線の集合{B,C,D,E,F,G,I,J}の積集合を求める。積集合によって信号線{B,D,F}が(A,B,C)=(1,0,0)を印加した時の被疑故障信号線であることが求まる。

フェイルパターン(A,B,C)=(1,0,1)と(A,B,C)=(1,0,0)のそれぞれの被疑故障信号線{B,D,F,H}と{B,D,F}の積集合をとることで最終被疑故障信号線を算出することができる。

以上より最終被疑故障信号線{B,D,F}が算出される。

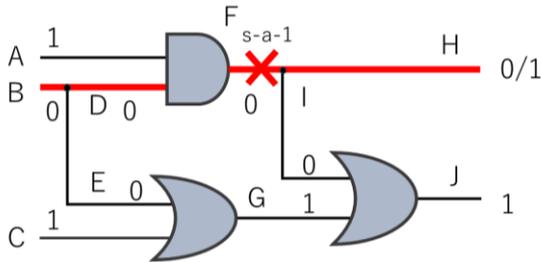


図 2. (A,B,C)=(1,0,1)を印加した回路例

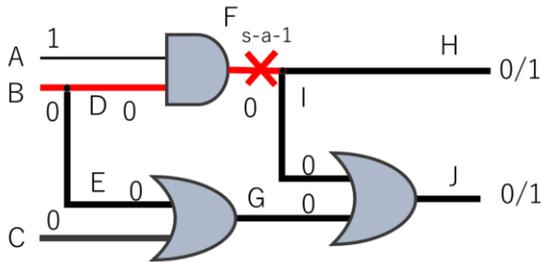


図 3. (A,B,C)=(1,0,0)を印加した回路例

3. 制御信号のドントケア割当て法

本章では各状態遷移における制御信号のドントケア割当て法について述べる。以下に述べる 3 つの条件をなるべく満たすようにコントローラの制御信号のドントケアを割当てることによって被疑故障数の削減を行う。

3-1 被疑故障数を削減するための条件 1

条件 1：各状態遷移でテスト可能なハードウェア要素がなるべく異なるようにする。

各状態のテスト可能なハードウェア要素を異なるようにすることで故障の分解が容易になり、被疑故障数の削減につながる。

3-2 被疑故障数を削減するための条件 2

条件 2：全ての状態遷移の中で可能な限り多数の経路を活性化させる。

多くの外部出力やのレジスタに到達するように制御することで故障の影響が多くの外部出力に伝搬できるため、被疑故障数の削減につながる。

3-3 被疑故障数を削減するための条件 3

条件 3：全ハードウェア要素が少なくとも 1 つの状態遷移でテスト可能なようにする。

マルチプレクサやホールドレジスタの制御信号の縮退故障も考慮することでより故障の分解が可能と

なる。

4. ドントケア割当て例

本章では、ex2[6]を基にドントケア割当ての例を示す。

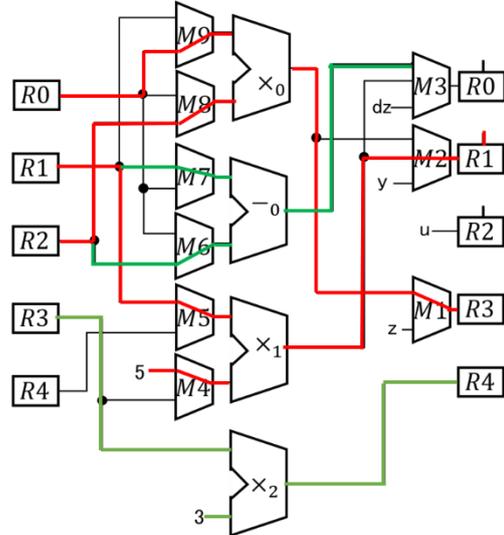


図 7. ex2 状態遷移 ST1 ドントケア割当て後

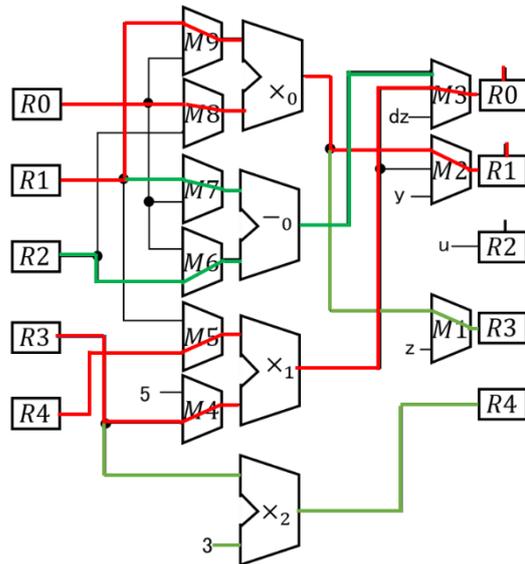


図 8. ex2 状態遷移 ST2 ドントケア割当て後

表 2. ex2 の状態遷移 ST1 と ST2 の制御信号

状態遷移	m1	m2	m3	m4	m5	m6	m7	m8	m9	r1	r2	r3
ST1	1	01	10	1	1	0	1	0	0	0	1	0
ST2	0	10	01	0	0	0	1	1	1	1	1	0

図 7,8 にそれぞれ状態遷移 ST1, ST2 の制御信号のドントケア割当て後の回路図を示す. なお, 赤線が元から活性化されていた経路で緑線がドントケア割当てを行って活性化された経路である.

図 7 ではレジスタからマルチプレクサ M3 の 3 番目の入力までの経路を活性化しておくことで R0 の制御信号の 1 縮退故障と M3 の制御信号線の検出が可能になっている.

図 8 では M1 の 2 番目の入力の経路を活性化することで到達可能なレジスタが増え, 故障の影響が R1 以外の他のレジスタにも到達可能となり, 故障の分解が容易となる.

5. 実験結果

本論文では RTL ベンチマーク回路[6]の ex2,Shewa, 2 つの回路に対してコントローラのドントケア割当てを行い, ランダムに 500 個故障を挿入し, 誤り経路追跡を用いて実験を行った. また, Synopsys 社製の TetraMax を用いてそれぞれの回路のテスト生成を行った.

表 1 は ex2 のドントケア割当て前と後の回路で誤り経路追跡を用いて故障診断した結果である. 表 1 よりドントケア割当てによって総故障数が 176 個増加し, 平均被疑故障数も 26.93 個増加してしまっている. また, ドントケア割当てによる面積オーバーヘッドは 2.2%程度だった. テストパターン数については 5 個程度の増加だった.

表 2 は Shewa のドントケア割当て前と後の回路で誤り経路追跡を用いて故障診断した結果である. 表 2 よりドントケア割当てによって総故障数が 206 個増加しているのに対し, 平均被疑故障数を 19.946 個削減することができている. また, テストパターン数については 7 個の増加し, 面積オーバーヘッドは 4.9%程度であった.

表 1. ex2 の故障診断結果

回路名	挿入故障数	総故障数	テストパターン数	平均被疑故障数	面積
ex2	500	6296	47	86.324	1529
ex2_Xfill	500	6472	52	113.254	1563
差分		176	5	26.93	34

表 2. Shewa の故障診断結果

回路名	挿入故障数	総故障数	テストパターン数	平均被疑故障数	面積
Shewa	500	5246	56	86.324	941
Shewa_Xfill	500	5452	63	66.378	988
差分		206	7	-19.946	47

6. まとめ

本論文では, レジスタ転送レベルのコントローラの制御信号のドントケア割当て法を提案した.

故障診断分解能向上のためのドントケアの割当てを行うことで被疑故障数を 20 個程度削減することができた. しかしながら, ex2 では 27 個ほど平均被疑故障数が増加してしまっている. これは故障診断を全く考慮していないテストパターンを用いたことも要因の一つと考えられる.

今後の課題としては被疑故障数の増加の原因の解析やドントケア割当てを PBO[7]を用いて定式化することなどが挙げられる.

参考文献

- [1] H.Y.Chang, E.Manning and G.Metze: "Fault Diagnosis of Digital Systems", John Wiley & Sons, Inc.1970
- [2] E.Manning H.Y.Chang and G.Metze. Fault Diagnosis of Digital Systems. John Wiley & Sons, Inc., 1970.
- [3] I.Pomeranz, S.Venkataraman, and S.M.Reddy: "Z-DFD:Design-for-Diagnosability Based on the Concept of Z-detection," Proc. ITC, pp. 489-497, October 2004.
- [4] N.kuji, T.Ishihara, and S.Nakajima,: "EB-Testing-PAD Method and Its Evaluation by Actual Devices," IEICE Trans. Inf. & Syst., Vol. E85-D, No10, pp.1558-1563, October 2002.
- [5] N.Toyota, X.Wen, S.Kajihara, and M.Sanada: "Quantifying Observability for Fault Diagnosis of VLSI Circuits," IEE 6th Workshop on RTL and High Level Testing, Harbin, China, July 20-21, 2005
- [6] Mike Tien-Chien Lee "High-Level Test Synthesis of Digital VLSI Circuits" Artech House, London, 1997
- [7]Vasco Manquinho, Ruben Martins, and In^esLynce, "Improving Unsatisfiability-Based Algorithms for Boolean Optimization", Theory and Applications of Satisfiability Testing-SAT 2010.