

フリップフロップ集合の遷移情報と消費電力の相関解析

日大生産工 ○XU YANLING

日大生産工 細川 利典

日大生産工 山崎 紘史

京産大 吉村 正義

1. はじめに

近年の半導体集積技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated Circuits: VLSI) が大規模化、高速化、微細化している。それに伴い VLSI のテスト時の消費電力の増加が問題となっている。

VLSI のテストでは、テスト容易性向上による効率化のためにスキャン設計が施される場合が多い。スキャン設計回路のテストでは、テストパターンの印加とテスト応答の観測の際に、通常動作では起こりえない、多くの消費電力が発生する。

実速度スキャンテストにおけるテスト時消費電力は、シフト時消費電力とキャプチャ時消費電力に分類される。シフト時消費電力は、シフトインによるテストベクトルの印加とシフトアウトによるテスト応答の観測を行うシフト動作時に発生する。キャプチャ時消費電力は、回路部のテスト応答をフリップフロップ (Flip-Flop : FF) に格納するキャプチャ動作時に発生する。過度なシフト時消費電力は、回路の発熱により、回路の熱破壊を引き起こす。過度なキャプチャ時消費電力は、過度な電圧降下 (IR ドロップ) [2] を引き起こし、誤テストによる歩留まり損失を引き起こす [3]。したがって、歩留まり損失を抑制するため、テスト時の消費電力を削減することが重要な課題である。テスト時の消費電力の削減手法については様々な方法が提案されており、電源管理技術の利用、設計変更、テストデータの変更などが挙げられる [4]。

テストデータ変更技術は、回路構造の変更を行わずに消費電力の削減を行う。その中の有効な手法として、ドントケアを含んだテストキューブに

対し、ドントケア割当てを行うことでキャプチャ電力を削減することを目的に提案された X 割当て手法 [6-13] があり、J-Fill, P-Fill, SAT-Fill, JP(Justification-Probability)-Fill, 手法 [7] が挙げられる。しかしながら、JP-Fill はドントケアのほとんどをゲートの遷移確率の計算に基づいて割当てを行う。そのため、ドントケアを持つ FF で遷移を多く発生させてしまう可能性がある。

文献 [6-13] の X 割当て法は、FF の遷移を抑制することによって消費電力の抑制を試みている。文献 [7-12] の X 割当てにおいて、FF の遷移を抑制するための優先順位は、その遷移を抑制するための値割当てや遷移の抑制できる確率などに基づいている。文献 [13] は、各 FF の遷移がどの程度消費電力の増大に影響を与えるのかをランダムパターンシミュレーションを用いて解析し、値の遷移が消費電力に与える影響が大きいフリップフロップの遷移を優先的に抑制するドントケア割当て法を提案した。解析したフリップフロップの 1 個の遷移が実際に消費電力に影響を与えないと考え、個別のフリップフロップの遷移ではなく、フリップフロップの集合の遷移が消費電力に影響を与えていると推測する。ファンアウト自由領域

(FFR ; fanout free region) の出力遷移はフリップフロップ集合の遷移の結果を反映している可能性が高いため、本論文では、FFR と消費電力の相関を解析する。

本論文の構成は以下の通りである。第 2 章で回路の消費電力の見積り値である WSA (Weighted Switching Activity : WSA) について説明する。第 3 章で FF と WSA の相関係数について説明し、第 4

Correlation Analysis between Transition Information of Flip-Flop sets and Power Consumption

XUYANLING, Toshinori HOSOKAWA, Hiroshi YAMAZAKI, and Masayoshi YOSHIMURA

章で FFR 分割について説明し、第 5 章で FFR の相関係数について説明し、第 6 章に実験結果を示す。第 7 章は本論文のまとめを行い、今後の課題について述べる。

2. 回路の消費電力

回路の消費電力を正確に計算する場合、電源電圧やクロック周波数、ゲートの負荷容量など様々な要素が必要となる[5]。本論文における実験ではそれらの要素を考慮していないため、消費電力の評価として計算式を簡略化した WSA を用いる。

WSA は消費電力の評価として重み付き信号遷移である、テストベクトル V_j の WSA 次の式で表される。

$$WSA(V_j)$$

$$= \sum_{i=1}^G tran(g_i) * (1 + fanout(g_i)) \quad (1)$$

(1) 式の G は回路中のゲート数を表す。

$tran(g_i)$ はゲート g_i の遷移数であり、

$fanout(g_i)$ はゲート g_i のファンアウト数を表す。

3. FF と WSA の相関係数

FF の遷移数が多いほど、多くの内部信号線が遷移する。FF の遷移数と WSA に相関があると考え、相関の評価を相関係数で表す。相関係数 r_k は式(2)で表される。

$$r_k = \frac{\sum_{i=1}^n (x_{(k, t_i)} - A_{X_k})(y_{t_i} - A_Y)}{\sqrt{\sum_{i=1}^n (x_{(k, t_i)} - A_{X_k})^2} \sqrt{\sum_{i=1}^n (y_{t_i} - A_Y)^2}} \quad (2)$$

$$A_{X_k} = \frac{1}{n} \sum_{i=1}^n x_{(k, t_i)} \quad (3)$$

$$A_Y = \frac{1}{n} \sum_{i=1}^n y \quad (4)$$

(2)式において、 k はフリップフリップフロップの番号を表す。 $x_{(k, t_i)}$ は $t_i \in T^c$ で k 番目のフリップフロップ FF_k の遷移が発生するか否かを表す。

($x_{(k, t_i)}$ が 1 の場合、 FF_k は t_i で遷移がある、 $x_{(k, t_i)}$ が -1 の場合、 FF_k は t_i で遷移がない) A_{X_k} は、集合 $X_k = \{x_{(k, t_i)} | t_i \in T^c\}$ の平均であり、

y_{t_i} は、 t_i の WSA の値であり、 A_Y は、集合 $Y = \{y | y_{t_i}, t_i \in T^c\}$ の平均であり、 $n = |T^c|$ は r_k を計算するテストベクトルのサンプル数を表す。

T^c はテストキューブを表す。相関係数の範囲は $[-1, 1]$ である。

4. FFR 分割

組合せ回路は FFR (fan-out free-region) に分割することができる。図 1 に回路を FFR に分割した例を示す。

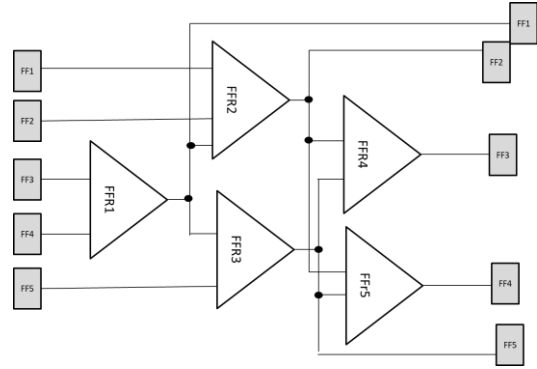


図 1. FFR 分割

図 1 に示すように FFR1 は FF3 と FF4 の影響を受ける。FFR2 は FF1 と FF2 の影響を受ける、FFR3 は FF3, FF4 と FF5 の影響を受ける、FFR4 と FFR5 はすべての FF の影響を受ける。

5. FFR の相関係数

FFR の遷移数が多いほど、多くの内部信号線が遷移する。FFR の相関係数 r_j は式(2)で表される。

$$r_j = \frac{\sum_{i=1}^n (x_{(j, t_i)} - A_{X_j})(y_{t_i} - A_Y)}{\sqrt{\sum_{i=1}^n (x_{(j, t_i)} - A_{X_j})^2} \sqrt{\sum_{i=1}^n (y_{t_i} - A_Y)^2}} \quad (5)$$

$$A_{X_j} = \frac{1}{n} \sum_{i=1}^n x_{(j, t_i)} \quad (6)$$

$$A_Y = \frac{1}{n} \sum_{i=1}^n y \quad (7)$$

(5)式において、 j は FFR の番号を表す。 $x_{(j, t_i)}$ は $t_i \in T^c$ で j 番目の FFR $_j$ の遷移が発生するか否かを表す。 $x_{(j, t_i)}$ が 1 の場合、 FFR_j は t_i で遷移があり、 $x_{(j, t_i)}$ が -1 の場合、 FFR_j は t_i で遷移

がない。 A_{X_j} は、集合 $X_j = \{x_{(j, t_i)} | t_i \in T^c\}$ の平均であり、 y_{t_i} は、 t_i の WSA の値であり、 A_Y は、集合 $Y = \{y | y_{t_i}, t_i \in T^c\}$ の平均であり、 $n = |T^c|$ は r_k を計算するテストベクトルのサンプル数を表す。 T^c はテストキューブを表す。 相関係数の範囲は $[-1, 1]$ である。

6. 実験結果

本章ではテストベクトル生成後、FFR 分割を行い、WSA を計算し、相関係数を評価する。6-1 節で実験手順を説明し、6-2 節で実験結果を示す。

6-1. 実験手順

図 2 に本実験のフローを示す。以下に図 2 の各ステップについて説明する。

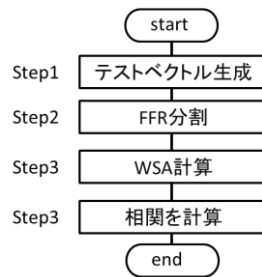


図 2. 実験フローチャート

(Step1)

テストキューブの X をランダム fill して N 個テストベクトルを生成する。

(Step2)

組合せ回路を FFR に分割する。

(Step3)

各テストベクトルの WSA 値を計算する。

(Step4)

各 FF (各 FFR の出力信号線) の遷移と WSA 相関を計算する。

6-2. 実験結果考察

実験手順に基づき、プログラミングの作成は C 言語で実装し実験を行った。対象回路は、s208 回路を用いた。

まず、FF と WSA の相関を示し、図 3 に、回路 s208 の FF における相関係数情報の分布のグラフ

を示す。図 3 において、「FF_name」は、FF 信号線の名前、「rk」は、FF と WSA の相関係数を示す。

FF_name	rk
Y_1	0.437303
Y_2	0.343768
Y_3	0.262548
Y_4	0.161974
Y_5	0.313059
Y_6	0.311881
Y_7	0.202476
Y_8	0.140084

図 3. FF と WSA の相関係数

図 4 に、回路 s208 の FFR における相関係数情報の分布のグラフを示す。図 4 において、「FFR_name」は、FFR 出力信号線の名前、「level」は、FFR 出力信号線のレベル、「rk」は、FFR と WSA の相関係数を示す。信号線“W”と“Z”は外部出力信号線である。

FFR_name	Level	rk
II195	2	0.311881
II244	2	0.403553
II43	2	0.343768
II193	2	0.161974
II92	2	0.517125
II350	3	0.569987
II104	5	0.404690
II347	5	0.538700
II100	5	0.404690
II248	5	0.371086
II96	5	0.501012
W	7	0.303529
II109	7	0.448575
II16	7	0.404690
II341	7	0.474891
II5	8	0.122674
II265	9	0.392169
II409	10	0.387421
II4	11	0.131086
II252	11	0.331765
II3	11	0.140411
II256	11	0.240968
II406	12	0.325124
II261	13	0.283839
II158	13	0.240968
II378	14	0.283592
II157	14	0.249700
II156	17	0.265610
II155	17	0.273243
Z	21	0.276817

図 4. FFR と WSA の相関係数

実験結果から FF の相関を解析するよりも、FFR の相関を解析するとより消費電力に与える影響が大きい信号線が内部に存在するということがかくにんできた。FFR の出力信号線のレベルを解析すると、出力側に近い信号線の相関が高いわけではないことが判明した。

7. おわりに

本論文では、フリップフロップと FFR ごとに遷移の計算手法を提案した。

今後の課題 FFR 相関係数の結果を評価する上で、FFR に影響を与えている FF 集合を求めて解析を行うことである。

[1] Takaki Yoshida, Masahmi Watati, "A New Approach for Low Power Scan Testing", International, Test Conference, pp.480-487, 2003

[2] J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreepakash and M. Hachinger, "A case study of IR-drop in structured at-speed testing," Proc. ITC, pp.1098-1104,2003.

[3] Y. Zorian, "A Distributed BIST Control Scheme for Complex VLSI Devices," Proc. VTS, pp.4-9, 1993.

[4]Xiaoqing WEN, Yoshiyuki YAMASHITA, Seiji KAJIHARA, Laung-Terng WANG, Kewal K. SALUJA, Kozo KINOSHITA "A New Method for Low-Capture-Power Test Generation for Scan Testing", IEICE Trans Inf. & Syst, pp1679-1686, 2006.

[5] S. Wang, K. Fu, and K. S. Li, "Low peak power ATPG for n-detection test, " in 2009 IEEE International Symposium on Circuits and Systems, pp. 1993–1996, 2009.

[6] X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo and K. K. Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," Proc.

ETS, pp. 55-60, 2008.

[7] S. Remersaro, X. Lin, Z. Zhang, S. M. Reddy, I. Pomeranz and J. Rajske, "Preferred Fill: A Scalable Method to Reduce Capture Power for Scan Based Designs," Proc. ITC, paper 32.2, 2006.

[8] X. Wen, K. Miyase, S. Kajihara, T. Suzuki, Y. Yamato, P. Girard, Y. Ohsumi and L. -T. Wang, "A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing," Proc. ITC, paper 25.1, 2007.

[9] X. Wen, K. Miyase, T. Suzuki, Y. Yamato, S. Kajihara, L. -T. Wang and K. K. Saluja, "A Highly-Guided X-Filling Method for Effective Low-Capture-Power Scan Test Generation," Proc. ICCD, pp. 251-258, 2006.

[10] Y. Yamato, X. Wen, K. Miyase, H. Furukawa and S. Kajihara, "A GABased Method for High-Quality X-Filling to Reduce Launch Switching Activity in At-Speed Scan Testing," Proc. IEEE PRDC, pp. 81-86, 2009.

[11] E. K. Moghaddam, J. Rajske, S. M. Reddy and M. Kassab, "At-Speed scan test with low switching activity," Proc. VTS, pp. 177-182, 2010.

[12] X. Wen, Y. Yamashita, S. Kajihara, L. -T. Wang, K. K. Saluja and K. Kinoshita, "On Low-Capture-Power Test Generation for Scan Testing," Proc. VTS, pp. 265-270, 2005.

[13] M. Yoshimura, Y. Takahashi, H. Yamazaki, and T. Hosokawa, "A Don't Care Filling Method for Low Capture Power based on Correlation of FF Transitions Using SAT," IEICE Trans. Fundamentals, Vol. E100-A, no. 12, pp. 2824-2833, 2017.