ISSN 2186-5647

2-11

疑似ブール最適化を用いた低消費電力指向テスト生成法

日大生産工（学部）　○三浦怜　　日大生産工　細川利典
日大生産工　山崎紘史　　京都産業大　吉村正義

1．はじめに

近年，超大規模集積回路(Very Large Scale Integrated Circuits： VLSI)は高集積化，複雑化，電源電圧の低下に伴い，回路内にタイミング遅延を伴う欠陥が発生している．その欠陥をモデル化したタイミング故障を検出するテスト方式としては，Launch-on-capture(LOC)方式[1]における実速度スキャンテストが，設計の容易性，高い故障検出率などの観点から幅広く用いられている[2]．しかしながら，回路内部の信号線の遷移による過度なキャプチャ時消費電力によって，過度な電圧降下(IR Drop)[3]を引き起こす可能性がある．過度な電圧降下は，信号遅延を増加させ，タイミング遅延を伴う故障を発生させる可能性があるため，過度なキャプチャ時消費電力が発生するテストは良品を不良品と判定する誤テストが発生し，不要な歩留まり損失を引き起こす可能性がある[4]．それゆえ，LOC 方式における実速度スキャンテストでは，キャプチャ動作時の信号線の遷移数(Launch Switching Activity : LSA)を削減することが非常に重要である．

自動テストパターン生成ツール(Automatic Test Pattern Generator : ATPG)で生成された初期テスト集合は，キャプチャ時消費電力閾値により，キャプチャセーフテストベクトル[5]とキャプチャアンセーフテストベクトル[5]に分類される．キャプチャ時消費電力閾値を超えるキャプチャアンセーフテストベクトルは，実速度スキャンテストでは使用困難であり，キャプチャアンセーフテストベクトルのみで検出されるアンセーフ故障[6]の検出は保証されない．よって，実速度スキャンテストにおいて故障検出率向上のためには，キャプチャアンセーフテストベクトル数とアンセーフ故障数の削減が必要となる．

キャプチャ時消費電力削減手法として，部分最大化充足性問題(Partial Maximum Satisfiability Problem : Partial Max SAT) [7]を用いた低消費電力指向 X 割当て法[8]が挙げられる．Partial Max SAT は，与えられた論理和標準形(Conjunctive Normal Form : CNF)に対して，すべてのハード節を満たし，ソフト節の重みの総和を最大化するように命題論理式の論理変数の割当てを求める問題である．ハード節は必ず真にする節であり，ソフト節は可能な限り真にする必要がある節である．X 割当ては，テストベクトル中の故障検出に必要ないと判定された X ビットに論理値を割当てることである．これにより，信号線の遷移を抑制し，キャプチャ時消費電力の削減を行う．しかしながら，信号線遷移の抑制をソフト節に設定し，X 割当てをハード節に設定した場合，Partial Max SAT ソルバはハード節を優先的に充足するため，生成したテストベクトルがキャプチャアンセーフテストベクトルになる可能性がある．また，制限時間内にハード節を充足できない可能性が存在する．

本論文では，疑似ブール最適化問題(Pseudo Boolean Optimization : PBO）[9]を用いた ATPG を実装し，低消費電力指向のテストベクトルの生成を行う．

本論文は以下のように構成される．第 2 章では，VLSI のテスト時消費電力について説明する．第 3 章では PBO とパーシャル Max SAT について説明する．第 4 章は，提案手法のアルゴリズムについて説明する．第 5 章では ISCAS’89 ベンチマーク回路に対する実験結果を示す．第 6 章では本論文のまとめを述べる．

2．VLIS のテスト時消費電力

Complementary Metal Oxide Semiconductor (CMOS)の消費電力として，静的リーク電流，および動的電流が挙げられる．動的電流は，スイッチング動作に起因する．スイッチング動作は，回路中の各ゲートの論理値が遷移することにより発生する．実速度スキャンテストの消費電力として，シフト時消費電力とキャプチャ時消費電力が挙げられる．テスト時消費電力は機能動作時消費電力より高消費電力になることが知られている[10]．そのため，シフト時消費電力及びキャプチャ時消費電力の消費電力を削減することが重要となる．2 章 1 節ではシフト時消費電力について説明し，2 章 2 節ではキャプチャ時消費電力について説明する．2 章 3 節では消費電力の見積もりについて説明する．

2-1．シフト時消費電力

シフト時消費電力は，スキャンテストにおけるシフト動作時に発生する消費電力である．スキャンフ

Low Power Oriented Test Generation Method
Using Pseudo-Boolean Optimization

Rei MIURA, Toshinori HOSOKAWA, Hiroshi YAMAZAKI and Masayoshi YOSHIMURA

リップフロップ(Flip-Flop : FF)にテストベクトルを印加，テスト応答を観測する際に FF の論理値が遷移することで発生し，回路の熱破壊が問題に挙げられる．

2-2. キャプチャ時消費電力

キャプチャ時消費電力は，キャプチャ動作時に発生する消費電力である．テスト応答を FF に取り込む際に FF の論理値が遷移することで発生し，電圧降下による回路の誤テストが問題として挙げられる．

2-3. WSA

本論文では，消費電力解析において，消費電力の見積もり手法として広く用いられている重み付き信号遷移(Weighted Switching Activity：WSA)[11]を用いる．WSA は，電源電圧，動作周波数，負荷容量などを考慮した厳密な消費電力解析を行わず，回路内の各ゲートの出力信号線の遷移数から消費電力の見積もり値を算出する．WSA の式を(1)に示す．

$$\mathrm{WSA}(v_j) = \sum_{i=1}^{G} tran(g_i) \times (1 + fanout(g_i)) \quad (1)$$

式(1)において，v_jはテストベクトル，G は回路内に含まれる総ゲート数である．ゲートg_iで遷移が発生する場合，$tran(g_i)$は 1 となる．遷移が発生しない場合，$tran(g_i)$は 0 となる．$fanout(g_i)$はゲートg_iの分岐信号線数を示す．1 つのテストベクトルに対する回路全体の WSA 値は，回路内の各ゲートの WSA 値の合計として算出される．最終的に WSA 値を減少させるテストベクトルの生成が目的となる．

3. PBO とパーシャル Max SAT

本章では，提案手法で用いる PBO について説明する．まず，3 章 1 節ではテスト生成分野で広く用いられている Partial Max SAT について説明する．3 章 2 節では，PBO について説明する．

3－1. Partial Max SAT

Partial Max SAT は，与えられた CNF に対して，すべてのハード節を満たし，ソフト節の重みの総和を最大化するように命題論理式の論理変数の割当てを求める問題である．ハード節は必ず真にする節であり，ソフト節は可能な限り真にする必要がある節である．各ハード節，ソフト節には重みが設定される．ハード節の式全体が真となった場合，Satisfiability(SAT)となり，式全体が偽となった場合は UnSatisfiability(UNSAT)となる．表 1 に各基本ゲートで設計された CNF 式を示す．

ここで，2 入力 1 出力 AND ゲートにおける Partial Max SAT 例を示す．図 1 に 2 入力 1 出力 AND ゲートの回路図を示し，表 2 に 2 入力 1 出力 AND ゲートにおける論理値割当てを示す．各節は(φ_h，w)又は(φ_s，w)で表現され，φ_hはハード節を示し，φ_sはソフト節を示す．w は節の重みを示し，重みの値が大きいほど優先して解が求められる．各ハード節は必ず真とすべき節のため，重みとして∞を設定する．例として$(\bar{x} + z,\ 2)$のソフト節を追加する．全体の式は式(2)のようになる．

表 1. 各基本ゲートの CNF 式

タイプ	入力	出力	CNF式
AND	x, y	z	$(x+\bar{z})\cdot(y+\bar{z})\cdot(\bar{x}+\bar{y}+z)$
OR	x, y	z	$(\bar{x}+z)\cdot(\bar{y}+z)\cdot(x+y+\bar{z})$
NOT	x	y	$(\bar{x}+\bar{y})\cdot(x+y)$
BUF	x	y	$(\bar{x}+y)\cdot(x+\bar{y})$
XOR	x, y	z	$(x+y+\bar{z})\cdot(\bar{x}+\bar{y}+z)\cdot$ $(\bar{x}+y+z)\cdot(x+\bar{y}+z)$

$$\varphi = (x+\bar{z},\infty)\cdot(y+\bar{z},\infty)\cdot(\bar{x}+\bar{y}+z,\infty)\cdot (\bar{x}+z,2) \quad (2)$$

この場合，すべてのハード節を満たし，ソフト節の重みの総和が最大となる(0，0，0)，(1，1，1)が最適解となる．

3－2. PBO

PBO は，すべての疑似ブール制約のもとで最適化関数の値を最小にする論理変数割当てを求める問題である．一般的に，PBO は式(3)のように定式化することができる．

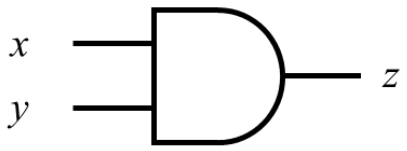

図 1. 2 入力 1 出力 AND ゲートの回路図

表 2. 図 1 の回路の論理値割当て例

x	y	z	SAT/UNSAT	重みの総和
0	0	0	SAT	2
0	0	1	UNSAT	-
0	1	0	SAT	0
0	1	1	UNSAT	-
1	0	0	SAT	0
1	0	1	UNSAT	-
1	1	0	UNSAT	-
1	1	1	SAT	2

$$\text{minimize} \quad \sum_{j=1}^{N} c_j x_j$$

$$\text{subject to} \quad \sum_{j=1}^{N} a_{ij} l_j \geq b_i \qquad (3)$$

$$l_j \in \{x_j, \overline{x_j}\}, x_j \in \{0,1\}, a_{ij}, b_i, c_j \in \mathrm{N}_0^+$$

式(3)において，Nは各制約に含まれる総変数の数を示す．iは制約数を示し，jは各制約に含まれる変数の数を示す．c_jはソフト節の重み．x_jは各ソフト節に付加される緩和変数である．a_{ij}は各論理変数の係数を示し，l_jは各制約の各論理変数を示す．

Partial Max SAT と PBO を比較した例を表 3 に示す．PBO は Partial Max SAT の一般化であることから，各論理演算は算術演算になる．ソフト節には緩和変数r_1，r_2，r_3が付加される．PBO ではすべてのソフト節を満たす必要があるが，すべてのソフト節を満たすことで変数割当てに衝突が発生してしまう可能性がある．そのため，各ソフト節に付加された緩和変数に 1 を割当てることでその制約を満たし，衝突を回避することができる．ソフト制約が衝突なく満たされた場合には緩和変数は 0 となる．この各緩和変数と各ソフト制約の重みの積の総和を最適化関数とする．最適化関数が最小になる論理変数割当てが最適解になる．以上のようにして，Partial Max SAT と同じようにすべてのハード節を満たし，最大数のソフト節を満たすことができる．

4．PBO を用いた低消費電力指向テスト生成

本章では提案手法である PBO を用いた低消費電力指向テスト生成手法のアルゴリズムを提案する．図 2 にアルゴリズムを示す． 入力は，入力回路，消費電力閾値である．出力は，テスト集合である．

step1)故障集合の生成を行う．

step2)未検出故障が存在するか否かを判定する．故障集合が空集合の場合，WSA 解析を行う．

step3)各故障に対して，PBO を生成する．

step4)各故障に対して生成した PBO に対し PBO ソルバを用いて解を探索する．PBO ソルバによって得られた解から，テストベクトルを生成する．

表 3．Partial Max SAT と PBO 比較例

Partial Max SAT	$\varphi_h = \{x_1 \vee x_2 \vee \overline{x_3},\ \overline{x_2} \vee x_3,\ \overline{x_1} \vee x_3\}$ $\varphi_s = \{(\overline{x_3}, 5), (x_1 \vee x_2, 3), (x_1 \vee x_3, 2)\}$
PBO	$\text{minimize} \quad 5r_1 + 3r_2 + 2r_3$ $\text{subject to} \quad x_1 + x_2 + \overline{x_3} \geq 1$ $\overline{x_2} + x_3 \geq 1$ $\overline{x_1} + x_3 \geq 1$ $r_1 + \overline{x_3} \geq 1$ $r_2 + x_1 + x_2 \geq 1$ $r_3 + x_1 + x_3 \geq 1$

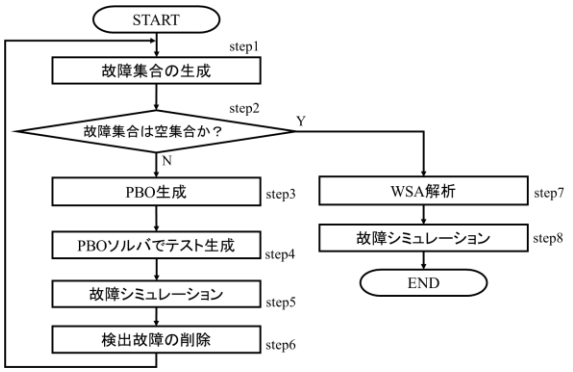

図 2．全体アルゴリズム

step5)テストベクトルを用いて，故障シミュレーションを行い，検出できる故障を算出する．

step6)検出された故障を故障集合から削除する．

step7)各テストベクトルの WSA を計算し，キャプチャセーフテストベクトルとキャプチャアンセーフテストベクトルに分類する．

step8)分類されたキャプチャセーフテスト集合，キャプチャアンセーフテスト集合を用いて，故障シミュレーションを行い，アンセーフ故障集合を求める．

5．実験結果

本章では，提案手法の実験結果を示す．PBO 生成は C 言語で実装した．実験環境は，Core i5-7200 および 8GB メモリのコンピュータを使用した．対象回路は ISCAS’89 ベンチマーク回路，対象故障は遷移遅延故障である．PBO ソルバは clasp[12]を用いる．PBO ソルバの制限時間は 10 秒に設定している．キャプチャセーフテストベクトル，キャプチャアンセーフテストベクトルを分類する WSA 閾値は遷移する可能性がある信号線の 20%と設定した．

表 4 に，実験結果を示す．Regular ATPG は PBO を用いた消費電力を考慮しない ATPG である．Circuit が回路名．#TV はテストベクトル数，#STV はキャプチャセーフテストベクトル数, #UTV はキャプチャアンセーフテストベクトル数を示している．#USF はアンセーフ故障数を示している． Average WSA は平均 WSA 値を示し，Peak WSA は最大 WSA 値を示している．CPU-time はテスト生成の実行時間を示している．

提案手法では, ISCAS’89 ベンチマーク回路全体で，最大 WSA 値は 22.42%，平均 WSA 値は 46.92%削減することができた．さらに，キャプチャアンセーフテストベクトル数は 58.78%，アンセーフ故障数は 77.09%削減した．特に s641，s713，s838 の 3 回路ではキャプチャアンセーフテストベクトル数及びアンセーフ故障数を 0 にすることができた．一方で，テストベクトル数が 52.42%増加した．

6. むすび

本論文では，PBO を用いた低消費電力指向テスト生成手法を提案した．キャプチャアンセーフテストベクトル数は 58.78%，アンセーフ故障数は 77.09%削減することができた．今後の課題として，低消費電力化に伴い増加するテストベクトル数を削減することが必要である．また，多重目標故障に対するテスト生成における低消費電力化についても考慮する必要がある．

参考文献

[1]J. Savir and S. Patil, "Scan-based transition test," IEEE Trans. Comput. Aided Design Int. Circuits & Syst., vol. 13, no. 8, pp. 1057-1064, 1994.

[2] L. -T. Wang, C. -W. Wu and X. Wen, "VLSI Test Principles and Architectures," Design for Testability, San Francisco, CA, USA., 2006.

[3]J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreeprakash and M. Hachinger, "A case study of IR-drop in structured at-speed testing," Proc. ITC, pp. 1098-1104, 2003.

[4]Y. Zorian, "A Distributed BIST Control Scheme for Complex VLSI Devices," Proc. VTS, pp. 4-9, 1993.

[5] P. Rosinger, B. M. Al-Hashimi and N. Nicolici, "Scan architecture with mutually exclusive scan segment activation for shift-and capture-power reduction," IEEE Trans. Comput. Aided Design Int. Circuits & Syst., vol. 23, no. 7, pp. 1142-1153, 2004.

[6]X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo and K. K. Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," Proc. ETS, pp. 55-60, 2008.

[7]S. Cai, C. Luo, J. Thornton, and K. Su, “Tailoring Local Search for Partial MaxSAT,” Proc. AAAI Conference on Artificial Intelligence, pp.2623-2629, 2014.

[8]Toshinori Hosokawa, Kenichiro Misawa, Yuki Hirama, Hiroshi Yamazaki, Masayoshi Yoshimura, and Masayuki Arai, "A Low Capture Power Oriented X-filling Method Using Partial MaxSAT Iteratively", 2019.

[9] Vasco Manquinho, Ruben Martins, and Inˆes Lynce ,”Improving Unsatisfiability-Based Algorithms for Boolean Optimization”,Theory and Applications of Satisfiability Testing-SAT 2010

[10] Xiaoqing WEN, Yoshiyuki YAMASHITA, Seiji KAJIHARA, Laung-Terng WANG, Kewal K.SALUJA, Kozo KINOSHITA “A New Method for Low-Caputure-Power Test Generation for Scan Testing”, IEICE TRANS INF. & SYST., 2006, pp1679-1686.

[11]I. Pomeranz and S. M. Reddy, "Switching activity as a test compaction heuristic for transition faults," IEEE Trans. VLSI Syst., vol. 18, no. 9, pp. 1357-1361, 2010.

[12] M. Gebser, B. Kaufmann, A. Neumann and T. Schaub : “Conflict-driven answer set solving”, IJCAI2007, 386–392, 2007.

表4. 実験結果

	Regular ATPG							Proposed						
Circuit	#TV	#STV	#UTV	#USF	Peak WSA	Average WSA	CPU-time[s]	#TV	#STV	#UTV	#USF	Peak WSA	Average WSA	CPU-time[s]
s27	5	0	5	16	11	8.40	5.88	5	0	5	16	11	7.60	13.26
s208	16	1	15	115	137	82.44	31.91	19	4	15	80	101	60.21	29.21
s298	53	2	51	351	187	112.15	30.64	78	28	50	211	152	72.14	36.35
s344	57	1	56	522	192	121.14	18.64	134	90	44	91	99	64.35	34.24
s349	64	2	62	482	186	126.47	20.78	130	85	45	95	103	66.01	36.19
s382	51	14	37	283	219	114.82	38.49	61	42	19	127	152	69.20	44.24
s386	41	4	37	202	221	115.46	29.64	48	16	32	131	152	84.44	32.45
s400	49	13	36	287	221	120.49	42.59	61	42	19	134	155	71.02	46.47
s420	27	0	27	246	216	151.44	49.89	46	27	19	81	104	74.96	58.07
s444	50	10	40	362	255	135.10	51.98	74	48	26	155	168	80.95	57.77
s510	74	18	56	411	242	143.28	34.33	86	25	61	389	220	135.24	39
s526	81	25	56	317	291	146.83	89.84	114	82	32	149	211	90.73	102.01
s641	56	44	12	28	237	104.54	28.11	89	89	0	0	112	46.44	36.31
s713	52	38	14	70	199	113.06	51.6	85	85	0	0	120	50.39	61.62
s820	80	18	62	375	369	232.84	67.46	90	29	61	311	366	194.71	77.35
s832	81	21	60	354	444	237.09	73.26	93	29	64	312	375	200.57	80.08
s838	52	1	51	473	432	258.37	99.44	98	98	0	0	104	81.63	116.26
s953	86	86	0	0	180	125.81	61.65	115	115	0	0	159	95.77	73.95
s1196	30	30	0	0	121	75.37	13.95	41	41	0	0	59	24.29	18.86
s1238	28	28	0	0	119	83.86	13.23	41	41	0	0	59	23.95	17.74
s1423	190	33	157	874	666	408.04	260.48	381	363	18	32	435	109.64	14765.58
s1488	135	4	131	1046	845	589.55	61.98	146	11	135	946	833	544.03	75.17
s1494	130	7	123	1002	848	591.16	64.38	149	10	139	967	839	552.99	85.99
s5378	770	385	385	6564	2110	896.66	576.33	1368	1196	172	575	1813	289.98	7485.76
s9234	2300	1167	1133	10999	3742	1336.58	6847.02	3422	3303	119	1012	2942	321.95	44126.59