マルチプレクサの遷移故障検出のためのコントローラ拡大法

日大生産工(院) 〇竹内 勇希 日大生産工 細川 利典 日大生産工 山崎 紘史 京産大・情報理工 吉村 正義

1.はじめに

近年,超大規模集積回路(Very Large Scale Integrated Circuits: VLSI)の微細化や高速化,電源電 圧の低下にともない,縮退故障モデル 1)のテストだけ でなく,遷移故障モデル 2)などのタイミング欠陥に対 するテストが必要不可欠となっている 3).タイミング 欠陥に対する実速度スキャンテストとして, LOC(Launch On Capture)方式 4)と LOS(Launch on Shift)方式 5)が提案されているが,設計の容易性の観点 から,LOC 方式による実速度スキャンテスト 4)が広く 採用されている.

しかしながら, ブロードサイドモデルを用いた遷移 故障モデルのテスト生成では, 回路構造に起因するテ スト不能故障数が縮退故障と比較し, 数多く存在する. 文献 6)では, 製造を考慮した設計(Design for manufacturability:DFM)の違反箇所にテスト不能故 障が数多く存在すると述べられている.また, 多重故 障は近傍の信号線で引き起こすことが多く, その多重 故障に単一故障のテストでテスト不能故障となる故障 が含まれている場合, テスト不能故障が検出可能故障 の検出を妨げる可能性がある 6). そのため, 遷移故障 モデルのテスト不能故障を削減し, 故障検出率を向上 させることが重要である.

本論文では、テスト不能故障数のさらなる削減ため に文献 7)の手法におけるマルチプレクサ(MUX)の制御 信号線のテストを可能するコントローラ拡大 7-9)法を 拡張する. さらに、有効状態の状態遷移のドントケア 割当てを用いて、テスト活性化用状態を設計し、面積 オーバーヘッドを抑制するためのテスト容易化設計 (DFT)法を提案する.

2. MUX のテストの故障検出率向上ための諸 定義

2.1 レジスタとMUXのテストのためのLOCテスト生成モデル

図1にデータパスの部分回路の例を示す.図1において R0~R4 はホールド機能付きレジスタ,AとBは 演算器,M1~M3 は MUX, i1~i3 は外部入力を示す.

データパス内の MUX はコントローラが出力する制 御信号値によって,出力される入力が制御される.同 様に,データパス内のホールド機能付きレジスタはコ ントローラが出力する制御信号値によって,ロードモ ードもしくはホールドモードに制御される.

図2にレジスタ転送レベル(RTL)データパスのLOC テストにおけるテスト生成モデルを示す.図2におい



図 1. RTL データパスの部分回路



図 2. LOC テスト生成モデル

てレジスタと MUX の右下の添え字は各時刻を示して いる. LOC テストを用いた遷移故障のテストでは, 1 パターン目のテストパターンによって, 1時刻目の回路 の故障信号線の値を初期化する. その後, 2時刻目の回 路を動作させる 2 パターン目のテストパターンで故障 信号線を励起・伝搬させ,故障影響をレジスタで観測 する.

1 パターン目のテストパターンはシフト動作によっ てスキャンイン端子からレジスタに印加され,2パター ン目のテストパターンは1パターン目のテストパター ンに対する回路応答を利用する.

LOC テスト生成モデルにおいて、故障検出のために 1 パターン目のテストパターンが印加されたレジスタ を 1 パターン目テストレジスタ 7)、2 パターン目のテ ストパターンが印加されたレジスタを 2 パターン目デ ストレジスタ 7)とする. 1 パターン目テストレジスタ と 2 パターン目テストレジスタを合わせてテストパタ ーンレジスタ 7)とする.

また、故障の影響を観測するレジスタをテスト応答 レジスタ 7)とする.

2.2 2入力の MUX の制御信号線のテストのための LOC テスト生成モデル

図 3 に 1 ビットの 2 入力 MUX の論理回路を示す. 図 3 において G0 は NOT ゲート, G1~G3 は NAND ゲートを示す. また, in0, in1 は MUX の入力, sel は MUX の制御信号を示し, sel が 0 であるとき in0 の 値が出力され, sel が 1 であるとき in1 の値が出力され るとする.

A Controller Augmentation method detecting transition fault of multiplexer

Yuki TAKEUCHI, Toshinori HOSOKAWA, Hiroshi YAMAZAKI and Masayoshi YOSHIMURA



図 3.2 入力 MUX 論理回路の制御信号線の故障例

また,各信号線の $V_1 \rightarrow V_2$ ($V_1, V_2 \in \{0, 1, X\}$)は信 号線の値の遷移を示し, V_1 は1時刻目の値, V_2 は2時 刻目の値である. X はドントケアを示す.

図3においてG0の出力信号線に立上り遷移故障を定 義した場合,故障励起するためには sel に対して1時刻 目に1,2時刻目に0を割当てる必要がある.また, MUXの出力まで故障伝搬するためには in0 に対して2 時刻目に1を割当てる必要がある.

図3のように2入力 MUX の制御信号線のテストを 可能にするためには, MUX の入力及び制御信号に対し てテストに必要な値を割当てる必要がある.しかしな がら,コントローラの制御により2時刻連続してテス トに必要な制御信号値を出力するような設計がされて いない場合がある.ゆえに MUX の制御信号線のテス トが不能になる可能性がある.

したがって, 2入力の MUX の制御信号線のテストを 可能にするために, LOC テスト生成モデルを定義する.

定義 1. 2 入力 MUX*i*の制御信号線 sel に対して,以下の条件 1,2 が満たされるとき,2 入力 MUX*i*の制御 信号線の遷移故障テストが可能である.

条件 1. sel 上の故障に対して,信号線の初期化,故 障励起,故障伝搬,故障観測及びそれらの正当化のた めに必要なテストパターンレジスタ及びテスト応答レ ジスタが割当てられている.

条件 2. sel 上の故障に対して,信号線の初期化,故障励起,故障伝搬,故障影響の観測及びそれらの正当 化のために必要な各レジスタと MUX の制御信号値が 割当てられている.

2.3 3入力以上の MUX の制御信号線のテストの ための LOC テスト生成モデル

図4に4入力 MUX を2入力 MUX のみで構成した 回路モデルを示す.図4のように3入力以上の MUX は2入力 MUX で構成可能である.このとき,制御信 号線 sel0は2つの MUXa, MUXb を制御する.その ため, sel0 のテストを可能にするためには MUXa と MUXb の制御信号線のテストを可能にする必要がある.

MUXa の制御信号線の故障を MUX の出力 out に伝 搬させるには sel1 を 0 に割当てる必要があり, MUXb の制御信号線の故障を MUX の出力 out に伝搬させる には sel1 を 1 に割当てる必要がある.したがって, sel0 のテストを可能にするために, MUXa の制御信号線の テストための LOC テスト生成モデルと MUXb のテス トのための LOC テスト生成モデルをそれぞれ生成す







る必要がある.3入力以上の MUX の制御信号線のテストを可能にするために,以下の定理を示す.

定理 1. 3 入力以上の MUX*j*の制御信号線 sel*i*におい て,2入力 MUX のみで構成された MUX*j*を EQ-MUX*j* とする.このとき,sel*i*が制御する EQ-MUX*j*内の MUX の制御信号線のテストが可能であるとき, MUX*j*の制 御信号線 sel*i*のテストが可能である.

図5に4入力 MUX の制御信号線 sel0 における立下 り遷移故障のLOCテスト生成モデル例を示す. 各レジ スタと MUX の右上の値は制御信号値の値を示し,L はロードモードであることを示す.この例では M2 の 制御信号線 sel0 の立下り遷移故障を検出するための LOCテスト生成モデルを生成する.

M2 は 4 入力 MUX なので,2 入力 MUX のみで構成 した回路モデルでは M2a, M2b, M2c の 3 つの2 入力 MUX で構成される. sel0 は M2a, M2b の制御をして いるため, M2a, M2b の制御信号線のテストが可能で あるとき, sel0 はテスト可能となる.

図 5 は M2a の制御信号線の LOC テスト生成モデル である. 定義 1 の条件 1 において,故障伝搬するため に 2 パターン目テストレジスタ R02, R12, R42が割当 てられる.また,故障影響の観測をするためにテスト 応答レジスタ R13 が割当てられる.2 パターン目テスト レジスタ R02, R12, R42 はテストパターンの正当化が 必要である.そのため,1 パターン目テストレジスタ R11, R41 が割当てられる.

定義1の条件2において,故障の初期化するために M2a1に1が割当てられる.また,故障励起のために M2a2に0,故障伝搬のためにM2c2に0が割当てられ る.すなわち1時刻目のM2の制御信号線 sel0に1,2 時刻目のM2の制御信号線 sel0に0, sel1に0が割当 てられる.

さらに、割当てたテストパターンレジスタ及びテス ト応答レジスタに値が印加されるために、1 時刻目にお いて M2₁に 01, M3₁に 0 が割当てられる.また、2 時 刻目においては R0₂, R1₂, R2₃ にロードモード が割当てられる.

M2aのLOCテスト生成モデルと同様にM2bのLOC テスト生成モデルを生成し,M2a及びM2bのLOCテ スト生成モデルの回路動作を実現するような制御を可 能にすることで,M2の制御信号線 sel0の分岐信号線 のテストが可能となる.

コントローラ拡大による MUX のテスト 手法

3.1 コントローラ拡大

コントローラ拡大とはコントローラに対して任意の 状態または状態遷移の追加をおこなう手法である.

RTL データパス内の MUX やレジスタをテストする 際,有効状態の状態遷移ペアに 2 時刻連続してテスト に必要な制御信号値を出力するような設計がされてい ない場合がある.ゆえに,MUX やレジスタの制御によ りテストパターンの正当化や応答レジスタでの故障観 測が不能な可能性がある.そのため,MUX やレジスタ のテストを可能にするための制御をする状態遷移を設 計するためにコントローラ拡大を行う.

3.2 無効テスト状態における状態遷移ペアの設 計

コントローラにおいて,2時刻連続して動作する状態 遷移を状態遷移ペア7)と定義する.

本論文では、レジスタと MUX のテスト可能化のた めの LOC テスト生成モデルの動作を実現させる 状態遷移ペアを無効状態 10)の状態遷移ペアを用いて 設計する.レジスタと MUX のテスト可能化のための LOC テスト生成モデルの動作を実現させる無効状態の 遷移ペアをテスト活性化用状態遷移ペア 7)と定義する. また、テスト活性化用状態遷移を実現するための状態 をテスト活性化用状態 7)とする.本論文では、テスト 活性化用状態をコントローラの無効状態における状態 遷移で設計する.

3.3 有効状態の状態遷移のドントケア割当て

コントローラの有効状態では、ある MUX やレジス タにおいて機能動作中に制御を必要としないモジュー ルが存在する. コントローラの有効状態では制御を必 要としない MUX 及びレジスタの制御信号線の値はド ントケアである.

有効状態のドントケアである制御信号線の値は論理 合成時に論理最適化によって値が自動的に割当てされ る.そのため,論理合成前に有効状態のドントケア割 当てを行うことで機能動作に影響することなく意図し た制御信号線の値をデータパスへ出力することが可能 である.

したがって、あるテスト活性化用状態遷移ペアにお いて、有効状態の状態遷移のドントケア割当てによっ て、有効状態の状態遷移ペアでテスト活性化用状態遷 移ペアの制御が実現可能な場合がある.このとき、そ のテスト活性化用状態と有効状態の状態遷移ペアを圧 縮することでテスト活性化用状態遷移ペアを削減する ことが可能である.ゆえに、テスト活性化用状態数を 削減することが可能となる.



図 6. 有効状態の状態遷移のドントケア割当てによる テスト活性化用状態の削減の例

| 1. Input: RTL data-path D, RTL controller C |
|---|
| 2. Output: Augmented RTL controller AC |
| 3. $\operatorname{RTL}_\operatorname{DFT}(D, C)$ { |
| 4. <i>H</i> =RTL_analyzation(<i>D</i> , <i>C</i>); |
| 5. TS=test_sensitization_state_generation(D, H); |
| 6. CTS=state_compaction(TS); |
| AC=controller_augmentation(C, CTS); |
| 8. return(AC); |
| 9. } |
| |

図 7. 提案手法 DFT アルゴリズム

図 6 に有効状態の状態遷移のドントケア割当てによるテスト活性化用状態の削減の例を示す. S_iは有効状態, ST_iは状態遷移, TSS_iはテスト活性化用状態を示し, csv_jは状態遷移が出力する制御信号値を示す.

図 6 において、テスト活性化用状態遷移ペア ST4、 ST5 は有効状態の状態遷移 ST1 が出力する制御信号値 $csv_2 \varepsilon$ 1、有効状態の状態遷移 ST2 が出力する制御信 号値 $csv_1 \varepsilon$ 1 にドントケア割当てすることで、有効状 態の状態遷移ペア ST1、ST2 でテスト活性化用状態遷 移ペア ST4、ST5 の制御が実現可能である. したがっ て、 TSS_1 及び TSS_2 が不要となり削除することが可能と なる.

4.提案手法 DFT アルゴリズム

図 7 に提案手法アルゴリズムを示す. このアルゴリズムは RTL データパスDと RTL コントローラCを入力 とし, コントローラ拡大されたコントローラACを出力 する.

はじめに、Cの有効状態遷移でテスト不能な、D内の MUX とレジスタを解析する.Cの有効状態から状態遷 移ペアを列挙し、有効状態の状態遷移ではテスト不能 な MUX 及びレジスタ、すなわち、LOC テスト生成モ デルにおいてテスト可能な条件を満たしていない MUX 及びレジスタを集合Hに格納する(行 4).

次に, Hの各レジスタと MUX において, テスト可能 化のための LOC テスト生成モデルの動作を実現する 制御信号値のペアが生成される.生成された制御信号 値のペアは集合TSに追加される(行 5).

制御信号値のペア $csp \in TS$ は多くのドントケアが存在する.そのため、TS内のcspを圧縮し、圧縮された制御信号値のペアの集合CTS(行 6)を生成する.

その後,無効状態を用いたテスト活性化用状態の設計及び有効状態の状態遷移のドントケア割当てを用いてCTS内の圧縮された制御信号値のペアを出力する状態遷移を設計し、コントローラ拡大したコントローラ ACを生成する(行 7).その後、ACをアルゴリズムの出力として返す(行 8).

5. 実験結果

本論文ではフルスキャン設計が適用された sehwa, maha, kim の 3 つの RTL データパス回路の遷移故障 を対象に実験を行った.本論文では,文献 7)の手法の み適用した回路と,文献 7)の手法と 3 入力以上 MUX の制御信号線のテストのための LOC テスト生成モデ ルを適用した回路に対して実験を行った.テスト不能 故障数と故障検出率及び面積を評価した.

RTL 回路生成のための動作合成には内製の動作合成 ツール PICTHY を使用し, RTL データパス信号線のビ ット幅は 32 ビットとした. 論理合成及びフルスキャン 設計ツールはそれぞれ Synopsys 社の Design Compiler

| | 表 1. テスト生成結果 | | | | | | | | | | | | | | | | | | | | | | | |
|---------|--------------|-------|------|-----|-------|-------|-----|-------------------|--------------|-------|------|-----|-------|--------|-----|-------------------|-------|-------|------|-----|-------|-------|-----|-------------------|
| | without | | | | | | | | IOLTS'19[14] | | | | | | | proposed | | | | | | | | |
| Citcuit | #TF | #DF | #UTF | #AF | FC(%) | FE(%) | #TP | ATPG Time(sec) | #TF | #DF | #UTF | #AF | FC(%) | FE(%) | #TP | ATPG Time(sec) | #TF | #DF | #UTF | #AF | FC(%) | FE(%) | #TP | ATPG Time(sec) |
| maha | 13075 | 11968 | 1101 | 0 | 91.53 | 99.95 | 180 | 9.99 | 13078 | 12867 | 211 | 0 | 98.39 | 100.00 | 158 | 3.52 | 13078 | 12878 | 198 | 2 | 98.47 | 99.98 | 142 | 5.10 |
| sehwa | 14717 | 13678 | 993 | 46 | 92.94 | 99.66 | 182 | 15.76 | 14717 | 14312 | 404 | 1 | 97.25 | 99.99 | 151 | 5.00 | 14717 | 14331 | 385 | 1 | 97.38 | 99.99 | 136 | 2.14 |
| kim | 15151 | 14054 | 1011 | 86 | 92 76 | 99 39 | 214 | 67.74 | 15181 | 14840 | 323 | 18 | 97 75 | 99 88 | 152 | 30.31 | 15178 | 14873 | 295 | 10 | 97 99 | 99 93 | 144 | 21.68 |

表2. コントローラ拡大結果及び面積オーバーヘッド率

| | | | | - | - | | | | | | | | | | | |
|---------|--------|---------|------|------|-----------|------|-----------|----------|-------|---------|----------|---------|--|--|--|--|
| | #state | without | | | IOLTS'19[| 14] | | proposed | | | | | | | | |
| Circuit | | Area | #CSP | #TSS | #add_FF | Area | AOH(%) | #CSP | #TSS | #add_FF | Area | AOH(%) | | | | |
| maha | 24 | 4947 | 64 | 46 | 2 | 5365 | 108.45 | 80 | 50.00 | 2 | 5435 | 109.86 | | | | |
| sehwa | 26 | 5895 | 63 | 46 | 2 | 6300 | 106.87 | 79 | 41.00 | 2 | 6277 | 106.48 | | | | |
| kim | 24 | 5528 | 66 | 49 | 2 | 5980 | 108.18 | 104 | 70.00 | 2 | 6263 | 113.30 | | | | |
| | · – | モーー | 1 | H | · 4-+ | | , , ⇒n, ⇒ | 107. | 土田コ | 2-1-11 | 1/2 1. [| 1. ++ 1 | | | | |

と DFT Compiler を使用し、自動テストパターン生成 (Auto Test Pattern Generator:ATPG)ツールも同じく Synopsys 社の TetraMAX を使用した.また、対象故 障モデルは遷移故障モデルとした.1故障のテスト生 成のバックトラック制限は 10,000 回に設定した.

表1にRTLデータパスの故障におけるテスト生成 結果,表2にコントローラ拡大結果と面積オーバーへ ッド率の結果を示す.表1において、「Circuits」は実 験対象の回路名を示し、「without」はフルスキャン設 計のみ適用した回路を示し、「IOLTS'19」は文献7)の み適用した回路に対する実験結果を示し、「proposed」 は文献7)と本手法を適用したフルスキャン設計回路 の実験結果を示す.「#TF」は対象故障数、「#DF」は 検出故障数、「#UTF」はテスト不能故障数、「#AF」 は打切り故障数、「FC」は故障検出率、「FE」故障検 出効率、「#TP」はテストパターン数、「ATPG time」 はテスト生成時間を示す.

また表2において、「Circuits」は実験対象の回路名 を示し、「without」はフルスキャン設計のみ適用した 回路を示し、「IOLTS'19」は文献7)のみ適用した回路 に対する実験結果を示し、「proposed」は文献7)と本 手法を適用したフルスキャン設計回路の実験結果を示 す.「#state」は有効状態数、「Area」は回路全体の面 積、「#CSP」は圧縮される前の制御信号値のペア、

「#TSS」はテスト活性化用状態数,の総和,「#add_FF」 はコントローラ拡大時に無効状態数の不足によって追 加したスキャン FF 数,「AOH」はコントローラ拡大 を行わない通常のスキャン設計回路と比較したときの 面積オーバーヘッド率を示す.

フルスキャン設計のみ適用した回路と比較した場合, テスト不能故障数を平均 742 個削減,最大で maha に おいて 903 個の削減することに成功し,故障検出率は 平均 5.54%,最大で maha において 6.94%の向上に成 功した.面積オーバーヘッドは平均 9.88%,最大で kim における 13.30%の増加で抑えることができた.

また,文献 7)と比較した場合,テスト不能故障数を 平均 20 個削減,最大で kim において 28 個の削減す ることに成功し,故障検出率は平均 0.15%,最大で kim において 0.24%の向上に成功した.

文献 7)と比較して, 圧縮される前の制御信号値のペ アは平均 23 ペア分増加し, 平均で 6.67 状態分の増加 したため, 面積オーバーヘッドは平均 1.89%となった.

6. まとめ

遷移故障に対するスキャンテストを対象としたデー タパス部の遷移故障検出率向上及び有効状態の状態遷 移のドントケア割当て用いた面積オーバーヘッドの抑 制のための RTL での DFT 法を提案した.フルスキャ ン設計のみ適用した回路と比較して,テスト不能故障 数を平均 742 個削減し,故障検出率を平均 5.54%向上 することができた.

今後の課題として、レジスタと MUX のテストのテ ストレジスタ割当ての定式化、並列テストを考慮した レジスタと MUX のテストにおける DFT 法などが挙 げられる.

参考文献

1) H. Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.

2) Angela Krstic, and Kwang-Ting (Tim) Cheng, Delay Fault Testing for VLSI Circuit, Kluwer Academic Publishers, Boston, 1998.

3) Y. Sato, S. Hamada, T. Maeda, A. Takatori, Y. Proc. Nozuyama and S. Kajihara, "Invisible Delay Quality - SDQM Model Lights Up What Could Not Be Seen," Int. Test Conf., Paper 47.1, 2005.

4) J. Savir and S. Patil, "On Broad-side Delay Test," Proc. VLSI Test Symp., pp. 284-290, 1994.

5) J.Savir, "Skewed-Load Transition Test: Part 1: Calculus," Proc. Int. Test Conf., pp.705-713, 1992.

6) N. Wang, I. Pomeranz, S. M. Reddy, A. Sinha, and S. Venkataraman, "Resynthesis for Avoiding Undetectable Faults Based on Design-for-Manufacturability Guidelines," Proc. Design, Automation and Test in Europe Conf., pp.1016-1021, 2019.

7) Y. Takeuchi, T. Hosokawa, H. Yamazaki, M. Yoshimura, "A Controller Augmentation Method to Improve Transition Fault Coverage for RTL Data-Paths," IEEE 25th International Symposium on On-Line Testing and Robust System Design, pp.293-298, Rhodes Island, Greece, July, 2019.

8) L. M. FLottes, B. Rouzeyre, L. Volpe, "A controller resynthesis based method for improving datapath testability," IEEE International Symposium on Circuits and Systems, pp.347-350, Geneva, Switzerland, May.2000.

9) T. Masuda, J. Nishimaki, T. Hosokawa, and H. Fujiwara, "A Test Generation Method for Datapaths Using Easily Testable Functional Time Expansion Models and Controller Augmentation," IEEE the 24th Asian Test Symposium, pp.37-42, Mumbai, India, Nov.2015.

10) T. Hosokawa, S. Takeda, H. Yamazaki, M. Yoshimura, "Controller Augmentation and Test Point Insertion at RTL for Concurrent Operational Unit Testing," IEEE 23rd International Symposium on On-Line Testing and Robust System Design (IOLTS), pp.17-20, Thessaloniki, Greece, July, 2017.