

## 遷移故障検出率向上のための コントローラの無効状態設計と状態割当て法

日大生産工(学部) ○飯塚 恭平 日大生産工(院) 竹内 勇希  
日大生産工 細川 利典 日大生産工 山崎 紘史 京産大 吉村正義

### 1. はじめに

近年、大規模集積回路(Large Scale Integrated Circuits : LSI) の微細化や高速化、電源電圧の低下に伴い、遷移故障モデル[1] などのタイミング欠陥に対するテストが必要とされ、遷移故障モデルにおいて高い故障検出率が求められている[2]。製造テストにおいて、遷移故障を検出できない場合、潜在的な故障を見逃す恐れがある。さらに、遷移故障に関するテストは、LSI の経年劣化による故障を検知するため、製造テストだけでなくオンラインテストに用いられている。

遷移故障モデルの故障検出率の向上の手法として、テスト容易化設計手法(Design for Testability: DFT) の一つであるスキャン設計[3] が広く用いられている。スキャン設計では、回路中の Flip Flop(FF) がシフトレジスタ状に接続される。シフトイン動作を用いて FF に値を設定し、1クロック通常動作をさせ、通常動作時の応答をシフトアウト動作で観測するテスト容易化設計である。シフト動作による FF の値の制御・観測によって、スキャン化された FF を擬似的な外部入出力とみなすことができ、スキャン設計を適用された回路は組合せ回路とみなすことができる。

スキャン設計された LSI に対して、タイミング欠陥に対する実速度スキャンテスト方式として、ブロードサイド方式[4]が提案されている。この方式は、LSI にて連続した 2 つのテストを高速に印加させる 2 パタンテスト方式である。この方式は連続した 2 つのテストを入力するが、スキャン設計された LSI では 2 パタンテストが実現可能である。1 番目のテストのみシフト動作により FF に設定することができる。そして 2 番目のテストパタンを回路の動作によって設定する。しかしながら、回路の動作によるテストパタン設定は全ての組合せのテストパタンを設定できない場合がある。この回路の動作によって設定できないテストパタンの存在が、遷移故障モデルに対するテストが生成不能となる原因である。このテストパタン生成不能である故障はテスト不能故障に分類される。遷移故障モデルのテスト生成において、テスト不能故障は、故障検出効率には影響を与えないが、故障検出率を低下させる。そのため、遷移故障モデルのテストにおける故障検出率の向上が重要である。

ブロードサイド方式の遷移故障生成モデルにおいて、故障を検出するテストパタンを生成するための必要条件は、故障の初期値を設定する状態と故障を励起し、その影響を FF に伝搬する 2 つの状態が存在し、これら 2 つの状態間の状態遷移が存在することである。レジスタ転送レベル(Register Transfer Level :RTL) の回路の設計時に、どのような状態遷移をするかが決定される。この状態遷移の設計によって、テスト不能故障と分類される故障が決定される。テスト生成は回路設計後に行われるため、テスト生成後に、状態遷移の設計によって、テスト不能故障と分類された結果を修正することは困難である。

本論文では、回路設計の方法として、コントローラとデータパスを分割して設計する手法に基づく仮定する。コントローラはどのような演算を行うかを制御信号に出力する。一方、データパスはコントローラの制御信号に基づいて、入力されたデータの処理を行い、データの処理の結果をコントローラへの状態信号としての入力とする。またコントローラは有限状態機械でモデル化されているものとする。このようにコントローラとデータパスは特性が大きく異なるため、それぞれの特性に適した遷移故障検出率を高めるテスト容易化設計手法が求められる。

コントローラの遷移故障検出率を高める評価指標として QDT 値[5]が提案されている。QDT 値は FF の Q 端子と D 端子の遷移故障検出条件に基づいた、コントローラの状態割当ての評価指標である。QDT 値は Q 端子の遷移故障検出条件を D 端子で満たすと加算され、値が大きいくほど遷移故障検出率が高いと推測できる。

しかしながら、文献[5]では QDT 値を最大にできる回路設計がされていない。

そのため本論文は、コントローラの遷移故障検出率を向上の手段としてコントローラ拡大と QDT 値を用いて検討する。本論文の構成は、2 章で前提知識を述べ、3 章でコントローラ拡大による検出率最大化手法を説明する。4 章で提案手法の結果を示し、最後に 5 章でまとめと今後の課題について述べる。

### 2. 前提知識

本章では本論文で使用する QDT 値について説明する。2 章 1 節で検出率最大化対象の遷移故障モデルについて説明する。そして 2 章 2 節で遷移故障モデルに対するテスト生成方式のブロードサイドモデルについて説明する。次に 2 章 3 節と 4 節で対象回路のコントローラとその状態割当てを説明する。最後に 2 章 5 節で QDT 値とその計算方法について例をあげて説明する。

#### 2.1. 遷移故障モデル

遷移故障モデルは、回路中の 1 つの信号線の故障を仮定し、発生した故障の影響により 0 から 1 への遷移もしくは、1 から 0 への遷移時間が増加する故障である。また遷移故障モデルは、故障により増加した遷移時間により故障箇所から FF に伝搬する経路の長さに依存せず観測可能な故障モデルである。0 から 1 に遷移する時間が遅延する立上り遷移故障(slow-to-rise fault : R 故障)と 1 から 0 に遷移する時間が遅れる立下り遷移故障(slow-to-fall fault : F 故障)の 2 種類の故障が存在する。

遷移故障モデルの検出は 2 時間で行われる。ある信号線 a の遷移故障の検出条件は、故障の励起条件と故障の伝搬条件の二つを満たすことである。立上り遷移故障について考える。励起条件は 1 時間目に信号線 a の値を 0 に設定し、2 時間目に信号線 a の値を 1 に設定することである。この設定動作を 1 時間目では「初期化」といい、2 時間目は「故障励起」

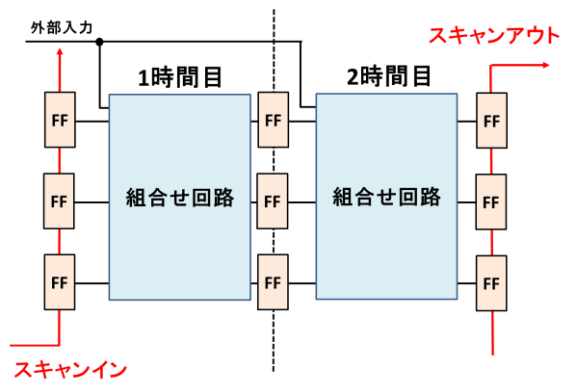


図 1. ブロードサイド方式の回路モデル

という。

この励起条件により 2 時間目の信号線 a の値は正常時は 1, 故障時は 0 となる。伝搬条件は 2 時間目の信号線 a の正常値と故障値のそれぞれの場合において 2 時間目の回路応答による FF の値のいずれかが異なることである。立下り遷移故障も同様に考えることができ、励起条件の時刻における 0 と 1 の設定を入れ替えたものである。

## 2.2. 遷移故障モデルに対するテスト生成方式

遷移故障を検出するためには、遷移前の信号線の値を設定し、遷移後の信号線の値を確かめる必要がある。つまり遷移前、遷移後の 2 つのテストパターンを連続して印加しなければならない。

遷移故障モデルに対するテストのブロードサイド方式では、1 パターン目をシフトイン動作により設定し、1 パターン目の回路応答で 2 パターン目を設定し、2 パターン目に対する応答をキャプチャする。キャプチャした応答をシフトアウト動作によって、外部出力で観測する。この 2 回のキャプチャを実動作速度で行うことで、遷移故障を検出できる。

ブロードサイド方式における各時刻の回路動作を時間展開した回路モデルは図 1 に表される。図 1 の通り 2 パターン目として使われる内部状態は通常動作によって決定される。2 パターン目が通常動作によって設定される利点は、LSI 設計時の制約が少なく、正常な回路を不良と判定する過剰テストによる不要な歩留り低下の恐れがないことである。

一方欠点としては、すべての内部状態を設定できるとは限らないため、テストが生成できない故障が存在する。この欠点は、遷移故障のテストパターン生成を行った際に、遷移故障モデルに対する故障検出率の低下として現れる

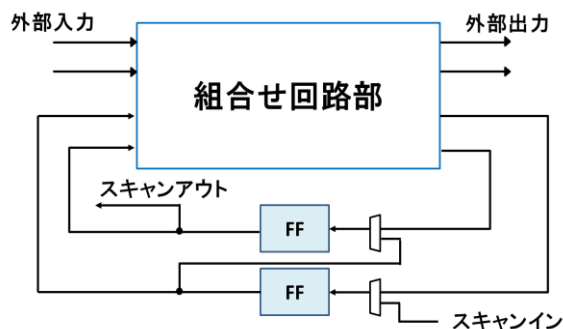


図 2. ゲートレベルの順序回路モデル

これは 2 パターン目で内部状態が設定できないため、故障を検出するテストパターンが生成できないためである。

## 2.3. 対象回路

本論文の対象とする RTL 回路はコントローラとデータパスから構成されており、故障検出の対象とするゲートレベルの回路は論理合成によって生成され、フルスキャン設計が適用されている。RTL 回路でコントローラは有限状態機械として設計されている。有限状態機械は入力集合、出力集合、状態集合、初期状態、状態遷移で定義されている。この有限状態機械を実現するゲートレベルの順序回路は図 2 のようになる。順序回路は外部入力、外部出力、状態を表現する FF、状態遷移や外部出力の論理を実現した組合せ回路で構成される。

## 2.4. 状態割当て

RTL において状態は  $S_0, S_1$  などの記号で区別されている。ゲートレベルにおいて状態は状態変数として 2 進数のビット列で表現される。状態変数のビット数は FF 数である。各状態に数値を対応させる動作を状態割当てと呼ぶ。状態割当てに基づいて、状態変数を FF に割当てる。そのため FF のビット列がコントローラの状態を表す。コントローラは FF 数  $n$  によって  $n$  個の状態変数で最大  $2^n$  個の内部状態を表現でき、 $n!$  通りの割当てがある。

## 2.5. QDT 値

QDT 値はコントローラ回路の遷移故障検出率を RTL の状態割当てで評価する値である。

QDT 値は Q 端子の遷移故障を対象としており、テスト方式は 2 章 2 節のブロードサイド方式を想定している。Q 端子とは順序回路における FF の出力であり、組合せ回路の入力である。反対に D 端子は順序回路における FF の入力、組合せ回路の出力である。

コントローラ回路は順序回路で、状態割当てと状態遷移によって FF の値の遷移が決定する。そのため Q 端子の遷移故障の初期化と故障励起は、コントローラの状態割当てと状態遷移で決定する。つまり Q 端子の遷移故障がテスト可能かどうかは状態割当てで決定する。Q 端子は組合せ回路部の入力のため、その遷移故障のテストが可能であれば活性化部分は大きい。

また、故障影響の観測点が多くなると、活性化部分が大きくなる。観測点は FF で、その入力である D 端子も観測点であるといえる。QDT 値は Q 端子の遷移故障の影響が多くの D 端子に伝搬する状態割当てを求めるために用いる。

QDT 値の計算方法を説明する。1 つの FF の Q 端

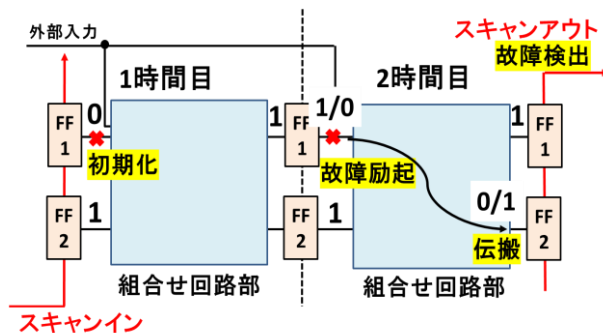


図 3. QDT 値の加算条件

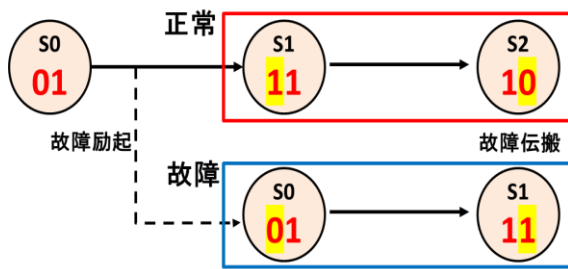


図 4. QDT 値加算例

子で生じた故障が 1 つの FF の D 端子に伝搬すれば QDT 値に 1 加算する。FF 数  $n$  に伴い  $n^2$  通り Q 端子-D 端子対の組合せがある。そして故障の種類が立上りと立下りの 2 であるため、QDT の最大値は  $2 \times n^2$  である。図 3 に Q 端子の立上り遷移故障の場合の QDT 値加算条件を示す。

QDT 値の計算について例をあげて説明する。状態変数(FF 数)は 2 ビット、状態数は 3 で  $S_0, S_1, S_2$  の順に遷移する。状態変数 (FF2, FF1) はそれぞれ  $S_0(0,1)$ ,  $S_1(1,1), S_2(1,0)$  である。例では FF2 の Q 端子の立上り遷移故障を考える。まずシフトイン動作で FF に (0,1) を割当てる。2 時間目は  $S_0 \rightarrow S_1$  の通常動作により (1,1) が割当てられる。しかし FF2 の Q 端子立上り遷移故障により 0→1 の遷移が遅延し状態遷移用組合せ回路には (0,1) が入力される。そのため 2 時間目で FF が示す状態は正常時  $S_1$ 、故障時  $S_0$  となる。2 時間目の回路応答も通常動作で決定するため、正常時の動作は  $S_1 \rightarrow S_2$  となり故障時の動作は  $S_0 \rightarrow S_1$  となる。その結果スキャンアウト動作で正常時  $S_2(1,0)$  と故障時  $S_1(1,1)$  となり FF1 に故障が伝搬する。このとき FF2 の Q 端子の立上り遷移故障が FF1 の D 端子に伝搬したとして QDT 値に 1 が加算される。この例を図 4 に示す。

### 3. 無効状態設計による検出率最大化手法

コントローラには通常動作では遷移しない無効状態が存在する場合がある。無効状態は有効状態で使用されていない状態変数を用い、無効状態から自由に遷移先を設定できる。これをコントローラ拡大[6-8]という。

本論文ではスキャン設計の回路を対象とするため、テスト時のみシフトイン動作で無効状態にも遷移可能となる。なおコントローラ拡大手法として状態レジスタを増加させ、状態数を大きく増やす手法がある。本論文ではこの手法は用いていない。

本章では QDT 値の増大を図る。文献[5]では QDT 値の算出後に、QDT 値をさらに加算することはできない。そのため QDT 値の最大をとらない回路に対してコントローラ拡大を行い、QDT 値の増加を図る。

コントローラ拡大により無効状態の状態変数を用いて、遷移先を設定することで QDT 値の加算条件を満たす状態への遷移と外部入力を自由に設定できる。

無効状態はシフトイン動作で利用できるため、ブロードサイド方式の 1 時間目の状態として利用する。そのため Q 端子の遷移故障の初期化と故障励起に関係する。以降は通常動作で遷移していく。

QDT 値を用いた無効状態設計のアルゴリズムを説明する。まず有効状態のみで QDT 値を計算する。計

算結果から D 端子の故障観測が不完全な Q 端子の故障を FF ごとに列挙する。これを  $Q_f$  リストと定義する。次に無効状態の遷移先を 1 つ決定し、その状態遷移ペアで初期化と故障励起が実現可能な Q 端子の故障を FF ごとに列挙する。これを  $Q_a$  リストと定義する。 $Q_f$  リストと  $Q_a$  リストの両方に入っている故障が、QDT 値を増大できる可能性がある故障である。その故障に対して QDT 値を計算し、故障観測できる D 端子が増えた場合、QDT を加算する。

### 4. 実験結果

本論文ではコントローラのベンチマーク回路である MCNC ベンチマーク回路[9]の dk14 を用いて QDT 値の計算とコントローラ拡大をおこなった。

なお、状態レジスタの追加はおこなっていない。

dk14 は状態変数 3 ビットの状態数 7 で無効状態数が 1、外部入力 3 ビット、外部出力が 5 ビットである。実験ではランダムに状態割当てを行い、QDT 値を計算した。この時 QDT 値の最大は FF 数 3 であるため  $2 \times 3^2 = 18$  である。

10 個のフルスキャン設計済み回路を作成した。作成した回路をそれぞれ dk14\_0 ~ dk14\_9 で表す。QDT 値の最大をとらない回路に対しコントローラ拡大をおこなった。無効状態からの遷移は 1 つで、その遷移の外部入力の値も 1 種類で設定した。

論理合成およびフルスキャン設計ツールには、Synopsys 社の Design Compiler と DFT Compiler を使用した。遷移故障のテストパターン生成には、Synopsys 社の TetraMAX を使用した。

表 1 にコントローラ拡大による QDT 値と故障検出率の推移を示す。1 列目は回路名を示す。2 列目はコントローラ拡大前の QDT 値と故障検出率を示す。3 列目はコントローラ拡大後の QDT 値と故障検出率を示し、検出率推移に拡大前から拡大後の故障検出率の変動を示す。また 3 列目の QDT 値( )内の値がコントローラ拡大後の QDT 値の増加値である。

表 1 に示す通り、QDT 値が増加するようにコントローラ拡大を行い、ほとんどの回路で故障検出率が増加した。しかし、コントローラ拡大後の故障検出率が低下している回路が存在している。また、本実験で故障検出率が最大となった dk14\_6 は QDT 値がコントローラ拡大の前後ともに最低値である。

これは QDT 値と故障検出率との相関が不完全であり、状態割当ての変化で生成される回路の遷移故障検出率にどう影響するのか調べる必要がある。

表 1. コントローラ拡大による QDT 値最大化

| dk14<br>状態割当て | コントローラ拡大前 |          | コントローラ拡大後 |          |          |
|---------------|-----------|----------|-----------|----------|----------|
|               | QDT 値     | 故障検出率(%) | QDT 値     | 故障検出率(%) | 検出率推移(%) |
| dk14_0        | 15        | 64.50    | 16(+1)    | 69.49    | 4.99     |
| dk14_1        | 18        | 75.00    | —         | —        | —        |
| dk14_2        | 16        | 59.13    | 17(+1)    | 70.63    | 11.50    |
| dk14_3        | 13        | 71.32    | 15(+2)    | 70.52    | -0.80    |
| dk14_4        | 15        | 73.36    | 17(+2)    | 74.44    | 1.08     |
| dk14_5        | 18        | 79.43    | —         | —        | —        |
| dk14_6        | 12        | 79.69    | 14(+2)    | 81.00    | 1.31     |
| dk14_7        | 16        | 71.43    | 18(+2)    | 71.76    | 0.33     |
| dk14_8        | 16        | 73.87    | 17(+1)    | 72.76    | -1.11    |
| dk14_9        | 17        | 69.23    | 18(+1)    | 73.36    | 4.13     |

## 5. まとめ

本論文ではコントローラにおける遷移故障検出率最大化として QDT 値を用いたコントローラ拡大をおこなった。

今後の課題は前述のとおり QDT 値の精度向上である。同じベンチマーク回路で QDT 値最大をとる状態割当てでも回路ごとに遷移故障検出率にばらつきが生じる問題がある。問題解決のために、状態割当てが故障検出率にどう影響するかを調べる必要がある。課題解決のために RTL を解析し、状態遷移のパターンと故障検出率の対応を調べる。また外部入力が存在しないベンチマーク回路で本論文と同じような実験をし、評価指標の問題点を明確にしていく。

## 参考文献

- [1]. Angela Krstic, and Kwang-Ting (Tim) Cheng, "Delay faulttesting for VLSI circuits," Springer Science & Business Media, 2012.
- [2]. Y. Sato, S. Hamada, T. Maeda, A. Takatori, Y. Nozuyama and S. Kajihara, "Invisible Delay Quality SDQM Model Lights Up What Could Not Be Seen," Proceedings of IEEE International Test Conference, Paper 47.1, 2005.
- [3]. 藤原秀雄, "デジタルシステムの設計とテスト," 工学図書株式会社, 2004.
- [4]. J. Savir, and S. Patil, "On Broad-side Delay Test," Proceedings of IEEE VLSI Test Symposium 1994, pp.284-290, Sept., 1994.
- [5]. 吉村正義, 竹内勇希, 山崎紘史, 細川利典 "コントローラの遷移故障検出率向上のための状態割当て手法," 電気情報通信学会ディペンダブルコンピューティング 2018-78, pp.43-48, 2018.
- [6]. L. M. Flottes, B. Rouzeyre, L. Volpe, "A controller resynthesis based method for improving datapath testability," IEEE International Symposium on Circuits and Systems, pp.347-350, Geneva, Switzerland, May.2000.
- [7]. T. Masuda, J. Nishimaki, T. Hosokawa, and H. Fujiwara, "A Test Generation Method for Datapaths Using Easily Testable Functional Time Expansion Models and Controller Augmentation," IEEE the 24th Asian Test Symposium, pp.37-42, Mumbai, India, Nov.2015.
- [8]. S. Ohtake, T. Masuzawa, and H. Fujiwara, "A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency," Journal of Electronic Testing: Theory and Applications (JETTA) Vol. 16 No. 5, pp.553-566, Taipei, Taiwan, Oct.2000.
- [9]. S. Yang, Logic Synthesis and Optimization Benchmarks, Version 3.0, Tech. Report, Microelectronics Center of North Carolina, 1991.