

レジスタ転送レベル回路における故障診断容易化のための観測ポイント挿入法

日大生産工（学部） ○土渕航平， 日大生産工 細川利典，明治大学 山崎浩二

1. はじめに

半導体微細化技術の進歩に伴い，超大規模集積回路（Very Large Scale Integrated circuits: VLSI）において，異常動作の物理的な原因を特定する故障解析[1]は，歩留まりの向上のために重要である．故障解析では，電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため，多大なコストを要する．そのため，故障 VLSI に存在する可能性のある故障（被疑故障）の数を事前にできる限り絞り込んでおく故障診断[2]が，故障解析コストの低減のために重要となる．故障診断[2]では，故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する．

組合せ回路やスキャン設計された順序回路における単一縮退故障モデルの故障診断手法は様々なものが提案されており，被疑故障数も大きく削減できることが報告されている[2]．

さらなる被疑故障数削減のためにテストポイント挿入（Test Point Insertion: TPI）が提案されている[3,4,5]．テストポイント挿入ではゲートレベルで挿入する方法[3]とレイアウトレベルで挿入する方法[4]が提案されている．しかしながら，ゲートレベル及びレイアウトレベルでは回路内の部品数が多く，高速に効果的な箇所に観測点を挿入することが困難である．

本論文では，単一縮退故障モデルの故障診断を仮定したレジスタ転送レベル回路におけるテストポイント挿入の有用性を検証する．なお，フルスキャン設計を施した回路を対象とし，レジスタと外部出力を観測点とする．

2. ゲートレベル回路の故障診断分解能が低下する原因

本章では，文献[5]に基づいてゲートレベル回路の構造情報から診断分解能が低下する要因を説明する．

2.1 対象とする故障が到達する観測点が少ない場合

故障の影響が到達する可能性のある観測点数が少ない場合は，故障の識別を困難にする一因となる．一方，到達する観測点が多い場合，その故障は多数の出力応答を持つことができ，他の故障と区別される可能性が高い．

図 1 に故障が観測点に到達する例を示す． f_1 と f_2 は故障を示しており， OP_1 から OP_7 は観測点である．故障 f_1 は 5 つの観測点，つまり OP_1 ， OP_2 ， OP_3 ， OP_4 および

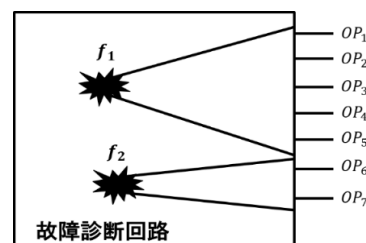


図 1. 故障が到達した観測点

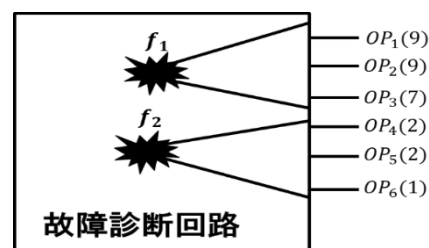


図 2. 観測点に到達する故障数

OP_5 に到達できる．しかしながら，故障 f_2 は 2 つの観測点，つまり OP_6 と OP_7 にしか到達できない．

以上より，明らかに故障 f_2 が故障 f_1 に比べ他の故障と区別される可能性が低いことがわかる．一般的に故障の影響が到達する可能性のある観測点数が少ない場合，故障診断分解能は低下する．

2.2 1 つの観測点に多くの故障が到達する場合

故障の影響が 1 つの観測点に集中して到達する可能性がある場合も，故障診断分解能低下の要因となる．

図 2 に故障が観測点に到達する例を示す．ここで $OP_i(k)$ は観測点 OP_i に到達する可能性がある故障数のうち故障 f_1, f_2 以外の数を k とする．故障 f_1 は 3 つの観測点，すなわち OP_1 ， OP_2 および OP_3 に達する可能性がある．故障 f_2 は 3 つの観測点，すなわち OP_4 ， OP_5 および OP_6 に到達する可能性がある．また，それぞれの観測点に到達する可能性のある故障 f_1, f_2 以外の故障数は OP_1 が 9， OP_2 が 9， OP_3 が 7， OP_4 が 2， OP_5 が 2， OP_6 が 1 である．故障 f_1 が到達する観測点に到達する故障の合計は f_1 を含めない場合 25，故障 f_2 が到達する観測点に到達する故障の合計は f_2 を含めない場合 5 である．図 2 より，故障 f_1 と区別する必要がある最小の故障数は故障 f_1 と同じ観測点に到達する場合の 9 であり，最大で観測点 1 つずつに到達する場合の 25 である．すなわち， N を f_1

と区別する必要がある故障の数とすると、 $9 \leq N \leq 25$ と表される。同様に故障 f_2 と区別する必要がある最小の故障数は2であり、最大で5であり $2 \leq N \leq 5$ と表される。

以上より、故障 f_2 に比べ故障 f_1 の方が他の故障と区別するのが困難であることは明らかである。一般に、1つの観測点に多くの故障が到達する場合、故障診断分解能は低下する。

2.3. 故障のペアが観測点を重複する場合

どのような故障でも、それらが到達できる観測点が重複するほど、それらの故障を区別することは困難になり、故障診断分解能が低下する要因となる。

図3に故障が到達する観測点を重複する例を示す。故障ペア $\langle f_1, f_2 \rangle$ は重複する観測点を1つだけ有している。同様に、故障ペア $\langle f_1, f_3 \rangle$ も重複する観測点を1つだけ有している。しかしながら、故障ペア $\langle f_2, f_3 \rangle$ は重なり合う観測点を3つ有している。この場合、故障ペア $\langle f_1, f_2 \rangle$ や $\langle f_1, f_3 \rangle$ は重複していない観測点の値によってペアの故障を区別可能であるが、 $\langle f_2, f_3 \rangle$ は到達可能なすべての観測点を重複しており、ペアの故障を区別するのが困難である。

したがって、故障ペア $\langle f_1, f_2 \rangle$ 、 $\langle f_1, f_3 \rangle$ に比べ、故障ペア $\langle f_2, f_3 \rangle$ の方が故障の区別が困難である。

3. レジスタ転送レベルの回路における診断分解能が低下する要因

本章では2章で述べたゲートレベル回路における故障診断分解能が低下する要因から、レジスタ転送レベルのデータバス回路における故障診断分解能の低下につながる回路構造について検討する。なお、本論文ではハードウェア要素内に故障が存在すると仮定する。

3.1 対象とするハードウェア要素が到達できる観測点が少ない場合

第2章1節で述べたように、ゲートレベル回路において故障が到達できる観測点数が少ない場合、故障診断分解能は低下する要因となる。この要因から、レジスタ転送レベルの回路では故障が存在すると仮定したハードウェア要素が到達できる観測可能なレジスタが少ない場合、故障診断分解能が低下すると考えられる。

図4に到達可能なレジスタが少ないデータバス回路の例を示す。図4において、M1からM6はマルチプレクサ、R0からR2はホールドレジスタを示し、それらと乗算器 $\times_0$ 、減算器 $-_0$ で構成されるデータバス回路である。減算器 $-_0$ はR0とR1の2つのレジスタに到達可能であるが、乗算器 $\times_0$ はレジスタR0にのみ到達可能である。 $\times_0$ の場合、故障の影響が到達できる観測可能なレジスタが1つしかなく、他のハードウェア要素も到達する可能性があり、どのハードウェア要素の故障なのか区別が困難となる。以上より、乗算器 $\times_0$ 内の故障は減算器 $-_0$ 内の故障に比べ、故障診断分解能が低下すると考えられる。

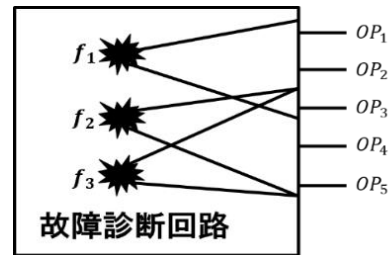


図 3. 故障ペアが観測点を重複する場合

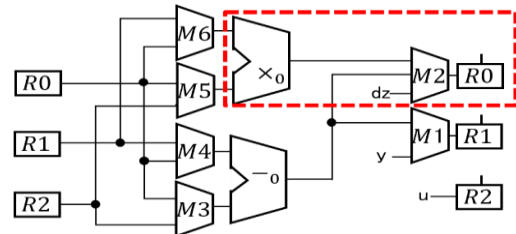


図 4. 到達可能なレジスタが少ない回路(example1)

3.2 1つのレジスタに多くのハードウェア要素の出力が到達する場合

第2章2節で述べたように、ゲートレベル回路において故障の影響が1つの観測点に集中して到達する可能性がある場合も、故障診断分解能低下の要因となる。この要因から、レジスタ転送レベルの回路では1つの観測可能なレジスタに多くのハードウェア要素の出力が到達する場合、故障診断分解能が低下すると考えられる。

図5に1つの観測点に多くのハードウェア要素が到達するデータバス回路の例を示す。図5においてはM1からM9はマルチプレクサ、R0からR4はレジスタ、 $\times_0$ から $\times_2$ は乗算器、 $-_0$ は減算器を示し、それらのハードウェア要素で構成されるデータバス回路である。また、レジスタR1は16個のハードウェア要素から到達可能なレジスタである。この場合、レジスタR1に到達してきた故障の影響がどのハードウェア要素の故障なのか区別困難となる。

したがって回路全体の故障診断分解能が低下すると考えられる。

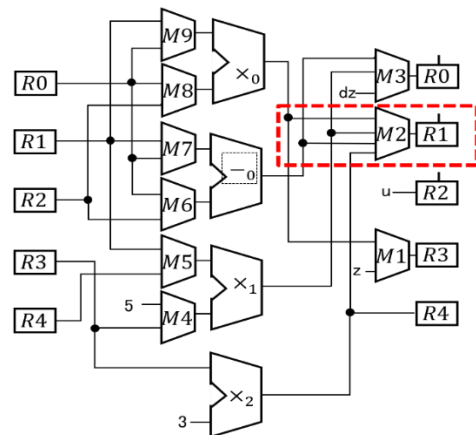


図 5.1 観測点に多くのハードウェア要素が到達する回路(example2)

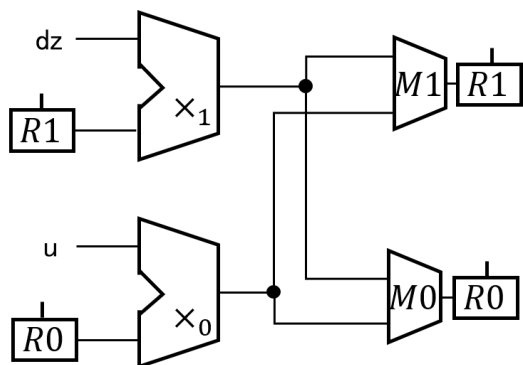


図 6. 観測可能なレジスタを共有する回路(example3)

3.3 ハードウェア要素のペアがレジスタを重複する場合

第 2 章 3 節で述べたように、ゲートレベル回路においてどのような故障でも、それらが到達できる観測点が重複するほど、それらの故障を区別することは困難になり、故障診断分解能が低下する要因となる。この要因から、レジスタ転送レベルの回路ではハードウェア要素のペアがレジスタを重複して到達する場合、故障診断分解能が低下すると考えられる。さらに、重複しているレジスタ以外のレジスタが少ない場合も故障診断分解能が低下すると考えられる。

図 6 に演算器が到達するレジスタが重なり合うデータパス回路の例を示す。図 6 はマルチプレクサ M0, M1, レジスタ R0, R1, 乗算器 $\times_0$, $\times_1$ で構成される回路である。また、乗算器 $\times_0$, $\times_1$ のペアは観測可能なレジスタ R0, R1 を共有している。この場合 R0 に到達した故障の影響も、R1 に到達した故障の影響も同様に、乗算器 $\times_0$, $\times_1$ どちらのハードウェア要素の故障の影響なのか区別が困難となる。

よって回路全体の故障診断分解能が低下すると考えられる。

3.4 ハードウェア要素の回路構造

一般的に、ハードウェア要素の回路構造が大きいほど、そのハードウェア要素内で仮定される故障数が増加する。また、ハードウェア要素内の回路構造が複雑であるほど故障がレジスタに到達することが困難になる。

したがって、ハードウェア要素の回路構造が大きく、複雑であるほど他の故障との区別が困難になり、故障診断分解能が低くなる。また、比較器など入力ビット数に対して出力ビット数が少ないハードウェア要素も故障の識別が困難になり故障診断分解能の低下の要因となる。

4. レジスタ転送レベルの回路における到達可能レジスタを増やすためのマルチプレクサ挿入

本章では、レジスタ転送レベルの回路において故障診断分解能が低いと考えられるハードウェア要素に対して、新たな観測可能レジスタを増加させるためのマルチプレクサを挿入する例を示す。

図 7 はベンチマーク回路 ex2[6]であり、M1 から M9 はマルチプレクサ、R0 から R4 はレジスタ、 $\times_0$ から $\times_2$ は乗算器、 $-_0$ は減算器を示し、それらのハードウェア要素で構成されるデータパス回路である。回路構造の情報から、乗算器 $\times_0$ はレジスタ R3 に到達する唯一の演算器であり、同様に乗算器 $\times_2$ もレジスタ R4 に到達できる唯一の演算器であり、故障診断分解能が高いと考えられる。さらに減算器 $-_0$ は乗算器の構造と比べ回路規模が小さいので、到達可能レジスタを増やすためのマルチプレクサ挿入の優先度は低い。しかしながら、乗算器 $\times_1$ が到達するレジスタはともに他のハードウェア要素から故障が伝達される可能性があり、他の演算器に比べ故障診断分解能が低いと考えられる。

図 8 は ex2 のレジスタ R2 と外部入力 u の間にマルチプレクサ M10 を挿入し、レジスタ R2 に乗算器 $\times_1$ の故障の影響が伝搬できるようにした回路である。M10 の挿入により、乗算器 $\times_1$ がレジスタ R2 に到達できる唯一の演算器となり、故障診断分解能の向上が期待できる。

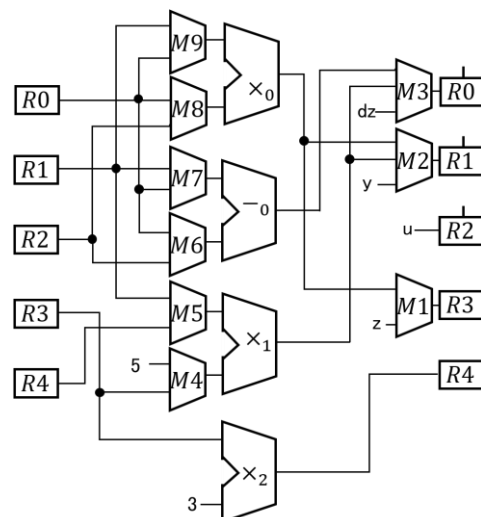


図 7. ex2 の RTL 回路図

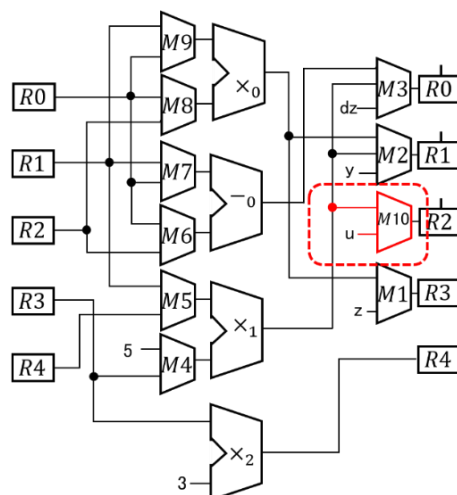


図 8. マルチプレクサ挿入済み ex2 の RTL 回路図 (ex2_op)

表 1. 故障診断分解能が低下する要因の検証

回路名	故障挿入場所	故障総数	平均被疑故障数(個)	被疑故障割合
example1	ランダム	1296	24.08	1.858%
example1	X_0	1296	48.64	3.753%
example2	ランダム	2024	18.98	0.938%
example2	X_1	2024	27.22	1.345%
example3	ランダム	904	20.68	2.288%
example3	X_1	904	20.96	2.319%

表 2. 到達可能レジスタを増やすためのマルチプレクサの挿入の有用性の検証

回路名	故障挿入場所	故障総数	平均被疑故障数(個)	被疑故障割合
ex2	ランダム	2040	22.74	1.115%
ex2	X_1	2040	44.94	2.203%
ex2_op	ランダム	2325	20.64	0.888%
ex2_op	X_1	2325	15.74	0.677%

5. 実験結果

本章では3章で述べたレジスタ転送レベル回路における故障診断分解能が低下すると考えられる要因が正しいのか検証し、さらに4章で述べた故障診断分解能が低いと疑われる演算器の到達可能レジスタを増やすためのマルチプレクサの挿入の有用性を検証する。

実験環境は、CPUはIntel Core i5、メモリは8G、OSはWindows 10、対象回路は3章で述べた3つの自作回路(example1, example2, example3)とベンチマーク回路ex2、そして4章で述べたマルチプレクサを挿入した回路(ex2_op)の5つの回路、TetraMaxで生成されたテストパターン、故障挿入箇所はランダムに挿入する場合と乗算器に挿入する場合の2通りで50回1つの回路に故障を発生させ、誤り経路追跡法を用いて実験を行った結果である。

表1より3章で述べた要因うち1節の要因については、乗算器 X_0 に故障の挿入の行った場合の方が被疑故障数が多く、故障診断分解能が低くなっていることから、故障診断分解能低下の要因となりうることがわかる。さらに、3節の要因についてもランダムで挿入した場合も乗算器 X_1 に故障を挿入した場合も同様に全故障のうち被疑故障数の割合が2%以上と高く、故障診断分解能低下につながることがわかる。しかしながら、2つ目の要因についてはランダムに挿入した場合も乗算器 X_1 に故障を挿入した場合も同様に被疑故障数が多くなく要因とするには改善の余地があると考えられる。

表2より4章で検討した故障診断分解能が低いと疑われる乗算器 X_1 に故障を挿入した場合、ランダムで挿入した場合よりも被疑故障数が倍近く存在し、検討通り乗算器 X_1 の故障診断分解能が低いことが示された。さらに、乗算器 X_1 の到達可能レジスタを増やすためにマルチプレクサを挿入した結果、乗算器 X_1 に故障を挿入した場合もランダムで挿入した場合も被疑故障数が減少し、被疑故障の割合も1%未満に抑えることができ、レジスタ転送レベルのデータパス回路の故障診断分解能向上を達成することができたと考えられる。

6. まとめ

本論文では、レジスタ転送レベルのデータパス回路における故障診断分解能が低下する要因の検討と、その要因から故障診断分解能が低いと考えられる演算器の到達可能レジスタを増やすためのマルチプレクサの挿入の有用性の検証を行った。結果より、提案した故障診断分解能が低下すると考えられる要因はまだ改善の余地があることが示された。また、診断分解能が低いと疑われる乗算器の到達可能レジスタを増やすためのマルチプレクサの挿入については故障診断分解能の向上を達成することができた。

今後の課題としては回路のビット幅を増やしたり、規模が大きい回路を扱うことや、誤り経路追跡法だけではなく、より厳密な被疑故障が得られる故障シミュレーション法を使った実験を行うなどが挙げられる。

参考文献

- [1] H.Y.Chang, E.Manning and G.Metze: "Fault Diagnosis of Digital Systems", John Wiley & Sons, Inc.1970
- [2] E.Manning H.Y.Chang and G.Metze. Fault Diagnosis of Digital Systems. John Wiley & Sons, Inc., 1970.
- [3] I.Pomeranz, S.Venkataraman, and S.M.Reddy: "Z-DFD:Design-for-Diagnosability Based on the Concept of Z-detection," Proc. ITC, pp. 489-497, October 2004.
- [4] N.kuji, T.Ishihara, and S.Nakajima,: "EB-Testing-PAD Method and Its Evaluation by Actual Devices," IEICE Trans. Inf. & Syst., Vol. E85-D, No10, pp.1558-1563, October 2002.
- [5] N.Toyota, X.Wen, S.Kajihara, and M.Sanada: "Quantifying Observability for Fault Diagnosis of VLSI Circuits," IEE 6th Workshop on RTL and High Level Testing, Harbin, China, July 20-21, 2005
- [6] Mike Tien-Chien Lee "High-Level Test Synthesis of Digital VLSI Circuits" Artech House, London, 1997