

論理故障 VLSI モデルに対する ユニバーサル論理故障シミュレーションを用いた故障診断法の評価

日大生産工学 (学部) ○太田 菜月 日大生産工 細川 利典
明治大学 山崎 浩二

1. はじめに

半導体微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) において、異常動作の物理的な原因を特定する故障解析[1]は、歩留まりの向上のために重要である。故障解析では、電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため、多大なコストを要する。そのため、故障 VLSI に存在する可能性のある故障 (被疑故障) の数を事前にできる限り絞り込んでおく故障診断[1]が、故障解析コストの低減のために重要となる。故障診断では、故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。

組合せ回路やフルスキャン設計された順序回路における単一縮退故障モデルの故障診断手法は様々なものが提案されており、被疑故障数も大きく削減できることが報告されている[1]。順序回路の診断でも、故障モデルを縮退故障などに限定すれば、故障シミュレーションを実行することで被疑故障を絞り込むことが可能である[2]。しかしながら、特定の故障モデルに限定した故障診断では、故障 VLSI の異常な外部出力応答を裏付ける故障箇所が存在しない場合や、誤った箇所を被疑故障として診断する可能性がある。それゆえ、特定の故障モデルに限定しない診断法が重要となる。

順序回路において、特定の故障モデルに限定しない診断を行うことは、必ずしも容易ではない。これは、順序回路中の故障は、故障が励起されてから、その影響が外部出力に伝搬するまでのサイクル数が多い場合があり、その場合において、故障の振る舞いが多重故障と同様となるためである。

一般に故障診断では、故障検出用に生成されたテスト集合が用いられている。従来のテスト生成は縮退故障を対象としたもの[3], [4]が多いが、近年、テスト品質を更に向上させるためには遅延テスト[5]や高速機能テスト[6]が必要であることが報告されている。そのため、スキャンテストのキャプチャモードにおいて順序動作を複数サイクル間実行してテストを行うマルチサイクルキャプチャテストが提案されている[7], [8]。

縮退故障や遅延故障に対する通常のスキャンテストでは、それぞれキャプチャモードでの順序動作は1サイクルと2サイクルのみである。一方、マルチサイクルキャプチャテストでは、複数サイクル間の順序動作を実行するので、通常のスキャンテストでは検出できなかった欠陥を検出できる可能性が高まると考えられる。マルチサイクルキャプチャテストでは、順序動作を実行するが、テスト生成の難易度や

テスト実行時間の観点からそのサイクル数は限定されており、それ程長くないと考えられる。この点に着目し、故障モデルを限定せず、すべての論理故障を表現できるユニバーサル論理故障モデル及び、マルチサイクルキャプチャテストを用いて順序回路におけるユニバーサル論理故障モデルを診断する故障診断手法が提案されている[11]。本研究では、ユニバーサル論理故障モデルとマルチサイクルキャプチャテストを用いた故障診断を行うことを目的とするが、その前段階として、本論文では、縮退故障モデルを対象にしたマルチサイクルキャプチャテスト集合を用いて、レイアウト情報に基づく論理故障 VLSI に対して縮退故障診断法を適用し、誤診断や解が存在しない割合を評価する。第2章ではマルチサイクルキャプチャテストについて述べる。第3章ではマルチサイクルキャプチャテスト集合を用いたユニバーサル論理故障モデルの故障診断法について述べる。第4章では実験結果について述べる。最後に第5章では、結論と今後の課題について述べる。

2. マルチサイクルキャプチャテスト

現在、VLSI のテストには一般的にフルスキャンテストが用いられている。フルスキャンテストとは、シフト動作によってスキャンイン端子からすべてのフリップフロップ(Flip-Flop: FF)に対して論理値を設定し、キャプチャ動作を行い FF に故障の影響を取り込み、シフト動作によって FF に伝搬した故障の影響をスキャンアウト端子で検出するテストである。回路中のすべての FF を外部から制御・観測可能にしたフルスキャン設計を施し、順序回路を組合せ回路とみなしてテスト生成を行うことで、フルスキャン設計された回路のテスト生成はスキャン設計されていない順序回路と比較して非常に容易に行うことができる。図1にフルスキャン設計のアーキテクチャを示す。

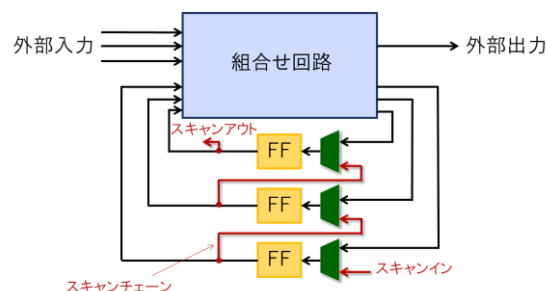


図 1. フルスキャン設計

An Evaluation of a Fault Diagnosis Method Using
Universal Logic Fault Simulation for Logic Fault VLSI Models

Natsuki OTA, Toshinori HOSOKAWA and Kouzi YAMAZAKI

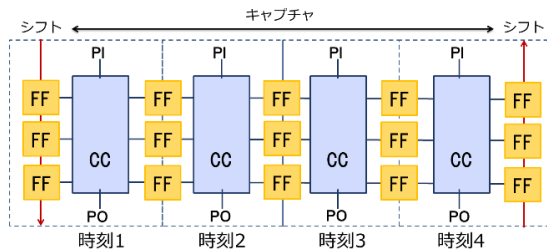


図 2. マルチサイクルキャプチャテスト

フルスキャンテストはシフト動作によって FF に外部入力から任意の状態を設定でき、また、それらの FF の状態を容易に外部出力で観測することが可能である。しかしながら、従来のスキャンテスト法[3], [4]はキャプチャ動作によって 1 または 2 サイクルのみ機能動作させるため、十分な機能動作を実行しておらず、結果としてテスト品質が十分でないと考えられる。その問題を解決するための手法として、スキャンテストのキャプチャモードに複数サイクル間の順序動作を組込んだマルチサイクルキャプチャテスト[5], [6]が提案されている。マルチサイクルキャプチャテストは、まずシフト動作により FF の状態を設定し、 k サイクル間機能動作させた後、 k 時刻目で取り込んだ FF の状態をシフト動作により観測するスキャンテストである。複数サイクル間の順序動作を用いたテストは機能テストに近いと考えることができる。

図 2 に 4 サイクルキャプチャテストの例を示す。4 サイクルキャプチャテストでは 1 時刻目に FF に状態を設定し、1 時刻目から 4 時刻目まで 4 サイクル間機能動作をさせた後に、FF の状態を観測する。

3. ユニバーサル論理故障モデルを対象とした故障診断法

3.1. 諸定義

故障診断の基本的な用語の定義を行う。

本論文では、疑似外部入力を単に外部入力と呼び、疑似外部出力を単に外部出力と呼ぶ。

被検査回路にテスト系列を印加した際、その外部出力で得られる出力応答に基づいて、外部出力を次のように分類する。

(定義 1 : フェイル外部出力, パス外部出力)

被検査回路にテスト系列を印加した際、その外部出力で得られる出力応答に基づいて、外部出力は次のように分類される。外部出力において、テストパターンに対する期待値と異なる論理値を観測したならば、その外部出力を**フェイル外部出力**と呼ぶ。一方、外部出力においてテストパターンに対する期待値と同一の論理値を観測したならば、その外部出力を**パス外部出力**と呼ぶ。

(定義 2 : フェイルパターン, パスパターン)

被検査回路の外部出力で得られる出力応答からテストパターンを次のように分類する。テストパターンが印加された被検査回路の外部出力において少なくとも 1 つの外部出力がフェイル外部出力ならば、そのテストパターンを被検査回路に対する**フェイル**

パターンと呼び、フェイルパターンを含むテスト系列を**フェイル系列**と呼ぶ。一方、すべての外部出力がパス外部出力ならば、そのテストパターンを被検査回路に対する**パスパターン**と呼び、フェイルパターンを含まないテスト系列を**パス系列**と呼ぶ。また、フェイルパターンを印加した際のテストを**フェイルテスト**、パスパターンを印加した際のテストを**パステスト**と呼ぶ。

(定義 3 : 被疑故障)

故障診断の結果から故障が存在すると推定された信号線を**被疑故障**と呼ぶ。また、被疑故障数を**分解能**と呼ぶ。単一故障を対象とした場合、最良の被疑故障数は 1 である。

(定義 4 : 観測値を説明する故障及び誤り方)

あるテスト系列に対し、ある故障、または誤り方についての故障シミュレーションの出力応答が観測値と一致したとき、その故障、または誤り方は**観測値を説明する**と定義する

3.2. 故障モデルを限定した診断法の問題点

故障モデルを限定して、故障シミュレーションを用いて診断を行う方法が提案されている。まず各フェイルテストの検出故障集合の積集合を初期被疑故障集合として求め、次に各パステストの検出故障集合の和集合を初期被疑故障集合から引いて、最終的な被疑故障集合を求める。

図 3 に $(A, B, C, D) = (0, 1, 1, 1)$ を印加して、信号線 BC 間にブリッジ故障が欠陥として存在する故障 VLSI のテストを実行した際の結果を示す。このとき、被害信号線を信号線 B とする。この例では、外部出力 J で期待値と同じ値が観測できる。したがって、 $(A, B, C, D) = (0, 1, 1, 1)$ はパステストである。

本論文では、信号線 i の $v (v \in \{0, 1\})$ 縮退故障を i/v と表す。図 4 にパステスト $(A, B, C, D) = (0, 1, 1, 1)$ で縮退故障シミュレーションを用いて被疑故障集合を絞り込む処理を示す。現時点での被疑故障集合 F を、 $F = \{B/0, C/0, G/0\}$ と仮定する。パステスト $(A, B, C, D) = (0, 1, 1, 1)$ で $B/0$ と $C/0$ が検出でき、 $G/0$ は検出できない。したがって、 $F - \{C/0, B/0\} = \{G/0\}$ となり、被疑故障は $G/0$ となる。本来信号線 B に物理欠陥が存在しているにもかかわらず、信号線 B の 0 縮退故障は観測値を説明できず、信号線 G の 0 縮退故障が観測値を説明できるので、被疑故障信号線は G と診断され、誤診断される。

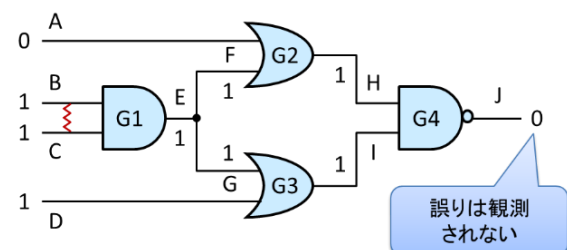


図 3. 故障 VLSI のパステスト例

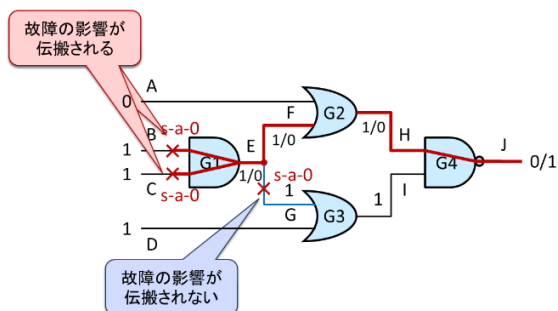


図 4. パステストを用いた縮退故障シミュレーションによる誤診断例

3.3. ユニバーサル論理故障モデル

本論文では、論理関数を変化させる論理故障を特に分類せず、ゲートの故障をまとめて取り扱う。なお、マルチサイクルキャプチャテストの故障診断では、被検査回路を時間展開して考えるため、単一故障であっても複数の時刻で誤りが生じ得る。本論文では、マルチサイクルキャプチャテストの時間展開数 k の各時刻における故障励起の有無に基づいて故障をモデル化する。この故障モデルをユニバーサル論理故障モデルと呼ぶ。

図 5 及び表 1 に、3 サイクルキャプチャテストの場合のユニバーサル論理故障モデルの例を示す。表 1 は、ある信号線 n に対し、各時刻で誤りが生じるときを F、生じないときを P で示している。例えば表 1 の誤り 4 は、1 時刻目に信号線 n の値が期待値と異なる値をとり、2 時刻目、3 時刻目では期待値と等しい値をとることを表している。

表 1 より、 k サイクルキャプチャテストの場合、ある信号線 n に対して、誤りが現れる時刻の組合せは、 $2^k - 1$ 通りであることがわかる。本論文の診断手法では、この $2^k - 1$ 通りの組合せすべてに関して振舞いをシミュレーションする。

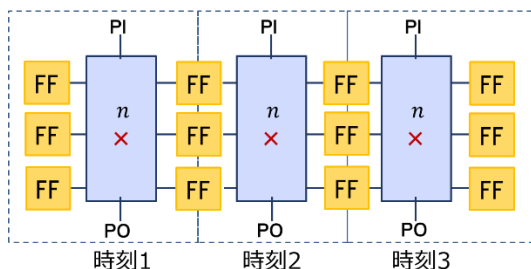


図 5. ユニバーサル論理故障モデル概念図($k = 3$)

表 1. ユニバーサル論理故障モデルの動作($k = 3$)

時刻	1	2	3
誤り1	P	P	F
誤り2	P	F	P
誤り3	P	F	F
誤り4	F	P	P
誤り5	F	P	F
誤り6	F	F	P
誤り7	F	F	F

3.4. 故障シミュレーションを用いた故障診断

故障シミュレーションを用いた故障診断法[2]は、まず、故障シミュレーションによりすべての診断対象故障に対してその故障が存在するときの回路動作を求める。その際の出力期待値とテスト時の外部出力での観測値とを比較し、一致した故障を被疑故障とする。この手法では通常フェイルパターンとパスパターンの両方を用いて故障診断を行う。

3.5. ユニバーサル論理故障モデルを対象とした故障シミュレーション法

ユニバーサル論理故障モデルを対象とした故障シミュレーション法では、フェイルパターンのみを用いて故障診断を行う。パスパターンを診断に用いない理由は、単一ユニバーサル論理故障モデルでは故障の励起条件が不明であるため、パステストでの故障の励起の有無を判断できないためである。

本論文では、任意の論理故障を対象として故障診断を行う。単一ユニバーサル論理故障に故障シミュレーション法を適用するには、図 4 と表 1 で示したような、考えうるすべての誤りの組合わせについて故障シミュレーションを実行し、外部出力のシミュレーション値と観測値を比較する。すべてのフェイルテストに関して両者が完全に一致したものを被疑故障とする。

表 2 に、3 サイクルキャプチャテストにおける、ある信号線 n 、 m に関する故障診断の例を示す。表 2 の ft1, ft2 はフェイルテストを示しており、 n 、 m の列は ft1, ft2 の故障シミュレーション値を、観測値の列は ft1, ft2 を印加したときの観測値を示す。ft1 を印加した際、信号線 n 、 m は共に観測値を説明できる誤り動作が存在するので、続いて ft2 の故障シミュレーションを実行する。ft2 を印加した際、信号線 n においては誤り動作 FPP が観測値を説明できるが、信号線 m は観測値を説明できる誤り動作が存在しない。それゆえ、信号線 n において、ft1 で誤り動作 FPP として振る舞い、ft2 で誤り動作 FPP として振る舞う論理故障と、ft1 で誤り動作 FPP として振る舞い、ft2 で誤り動作 FPP として振る舞う論理故障が被疑故障と判定される。したがって、信号線 n は被疑故障信号線と判定される。

ユニバーサル論理故障モデルを対象とした故障シミュレーション法は、論理故障 VLSI に対して誤診断をすることはないが、診断時間が長くなる。したがって、本手法では[10]と同様に、前処理として誤り経路追跡法[9]によって被疑故障集合を絞込んでから故障シミュレーション法を実施することで、高速かつ高精度な故障診断を行う。

表 2. ユニバーサル論理故障診断例($k = 3$)

動作	時刻			n		m		観測値	
	1	2	3	ft1	ft2	ft1	ft2	ft1	ft2
動作1	P	P	F	01	01	11	10	00	11
動作2	P	F	P	11	10	01	10		
動作3	P	F	F	10	01	10	01		
動作4	F	P	P	00	11	01	00		
動作5	F	P	F	11	01	00	01		
動作6	F	F	P	00	00	00	00		
動作7	F	F	F	11	11	11	10		

4. 実験結果

本論文では、縮退故障及びブリッジ故障を欠陥とした故障 VLSI に対し、マルチサイクルキャプチャテスト集合を用いた縮退故障診断法を適用し、その診断結果を比較した。

本実験では、1 種類の ISCAS'89 ベンチマーク回路、4 種類の動作合成ベンチマーク回路の計 5 種類を対象とした。それぞれの回路に対して、縮退故障、ブリッジ故障が発生した故障 VLSI を 100 回路ずつ用意し、縮退故障診断法を適用し、被疑故障数、診断性能を比較した。診断性能の評価では、故障診断アルゴリズムがどの程度正確に物理欠陥を推定できたかを評価するために、Nonprediction, Misprediction となった故障 VLSI 数を用いる。Nonprediction は被疑故障集合が空集合であることを、Misprediction は被疑故障集合が空集合でなくかつ実際に挿入した欠陥が含まれていないことを表す。Nonprediction と Misprediction は被疑故障集合の中に実際に挿入した欠陥が含まれていないことを表すので、これらの数は 0 であることが望ましい。

表 3 に縮退故障、およびブリッジ故障を診断した際の被疑故障数を示す。被疑故障数は左から平均、最大、最小を示す。

表 4 に縮退故障、およびブリッジ故障を診断した際の診断性能を示す。診断性能は左から Nonprediction 数、Misprediction 数を示す。表 5 より、縮退故障を欠陥とした故障 VLSI の診断ではすべての故障 VLSI に対して正確に診断できていることがわかる。一方、ブリッジ故障を欠陥とした VLSI を縮退故障診断法を用いて診断した場合は、正確に診断できた割合は非常に低く、Nonprediction, Misprediction も多く発生している。これは、実際に存在する欠陥種類とは異なる種類の欠陥を診断対象とした誤ったシミュレータの使用によって誤診断が発生することを表している。

5. おわりに

ユニバーサル論理故障モデルとマルチサイクルキャプチャテストを用いた故障診断を行うことを目的とするが、その前段階として、本論文では、縮退故障モデルを対象としたマルチサイクルキャプチャテスト集合を用いて、レイアウト情報に基づく論理故障 VLSI に対する縮退故障診断法を適用し、誤診断や解が存在しない割合を評価した。ブリッジ故障に対して縮退故障診断法を用いたことで、誤診断や解が存在しない場合を確認することができた。今後の課題として、目的であるユニバーサル論理故障モデルとマルチサイクルキャプチャテストを用いた故障診断を行うことが挙げられる。

参考文献

- [1] H.Y.Chang, E.Manning and G.Metze, Fault Diagnosis of Digital Systems, Computing and Information Sciences, 1970.
- [2] Ismed Hartanto, Srikanth Venkataraman, W. Kent Fuchs, Elizabeth M. Rudnick, Janak H. Patel, Sreejit Chakravarty, "Diagnostic simulation of stuck-at faults in sequential circuits using compact lists," ACM Transactions on Design

Automation of Electronic Systems (TODAES), pp.471-489, Volume 6, Issue 4, October 2001.

[3]H.Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.

[4]M.Abramovici, M.A.Breuer, and A.D.Friedman. Digital Systems Testing and Testable Design, Computer Science Press, 1990.

[5]A.Krstic, and K.-T.Chang, "Delay Fault Testing for VLSI Circuits,"Kluwer Academic Publishers, 1998.

[6]P.C.Maxwell, R.C.Aitken, R.Kollitz, and A.C.Brown, "IDDQ and AC scan: the war against unmodelled defects,"Proc. of IEEE Int.Test Conf., pp.250-258, Oct 1996.

[7]I.Pomeranz and S.M.Reddy, "Static Test Compaction for Scan-Based Designs to Reduce Test Application Time,"IEEE Asian Test Symposium, pp.541-552,1998.

[8]J.Abraham, U.Goel and A.Kumar, "Multi-cycle sensitizable transition delay faults,"VLSI Test Symposium, pp.306-313, 2006.

[9] 山田輝彦 中村芳行, 組合せ回路における単一縮退故障の一診断法, 電子情報通信学会論文誌, 1991.

[10ss] 山崎浩二 山田輝彦, 誤り経路追跡と故障シミュレーションを用いた順序回路における単一故障の診断法, 電子情報通信学技報 FTS97-68, 1997-12

[11]H. Takano, T. Hosokawa, H. Yamazaki and K. Yamazaki, "A Fault Diagnosis Method for a Single Universal Logical Fault Model Using Multi Cycle Capture Test Sets,"Proc 16th IEEE Workshop on RTL and High Level Testing (WRTL'15), pp74-79, Nov 2015.

表 3. 縮退故障, ブリッジ故障診断の被疑故障数

回路名	時間展開数	縮退故障			ブリッジ故障		
		被疑故障数					
		平均	最大	最小	平均	最大	最小
s27	k=2	4.50	10	1	3.00	3	3
	k=3	7.40	16	1	3.00	3	3
	k=4	4.57	10	1	3.00	3	3
GATE_MUL	k=2	4.48	17	1	3.56	23	1
	k=3	4.60	57	1	3.05	87	1
	k=4	3.41	7	1	3.01	51	1
GATE_DIV	k=2	2.90	23	1	1.50	17	1
	k=3	2.93	23	1	3.90	18	1
	k=4	2.92	24	1	5.77	45	1
GATE_MAHA	k=2	4.23	87	1	2.64	60	1
	k=3	3.33	20	1	5.95	198	1
	k=4	3.57	17	1	4.82	110	1
GATE_SEHWA	k=2	4.05	28	1	1.17	30	1
	k=3	3.23	28	1	1.47	21	1
	k=4	3.45	28	1	2.27	45	1

表 4. 縮退故障, ブリッジ故障の診断性能

回路名	時間展開数	non prediction : 診断結果なし		miss prediction : 誤った診断結果	
		縮退	ブリッジ	縮退	ブリッジ
		縮退	ブリッジ	縮退	ブリッジ
s27	k=2	0	0	0	0
	k=3	0	0	0	0
	k=4	0	0	0	0
GATE_MUL	k=2	0	20	0	57
	k=3	0	54	0	26
	k=4	0	47	0	31
GATE_DIV	k=2	0	54	0	23
	k=3	0	35	0	44
	k=4	0	2	0	76
GATE_MAHA	k=2	0	33	0	38
	k=3	0	27	0	44
	k=4	0	21	0	44
GATE_SEHWA	k=2	0	65	0	15
	k=3	0	52	0	29
	k=4	0	43	0	37