

n 回状態遷移被覆に基づく非スキャンオンラインテスト法

日大生産工 (院) ○池ヶ谷 祐輝 日大生産工 (院) 石山悠太
日大生産工 細川利典 京産大 吉村正義

1. まえがき

近年, 超大規模集積回路(Very Large Scale Integrated circuit: VLSI)が社会の様々なシステムの中で利用されるようになり, 医療機器, 交通, 自動車制御などの高い信頼性が要求されるものに多く用いられている. 一方で, 半導体技術の発展により回路の複雑化, 微細化が進み, 製造ばらつきや回路の経年劣化への対応が問題となっている[1][2]. 特に, システム稼働中の回路の経年劣化についてはNBTI(負バイアス温度不安定性), HCI (ホットキャリア注入効果), TDDB (酸化膜経時破壊), エレクトロマイグレーションやストレスマイグレーションの現象がよく知られており, 微細化に伴って劣化が与える影響への懸念が高まっている[3]. 現在でもライフタイムの予測や出荷前の信頼性試験および寿命試験が行われているが, 回路により実際の使用状況や使用環境は異なっており, 劣化の進み具合も変化するため, それらを事前に把握することは困難である.

障害を回避する一つの手段として, 通常動作時に回路の出力や内部信号線の値を監視するオンラインテストが用いられる[1]. 監視の方法としては, パリティチェックや信号の安定性検知機能付きの専用 FF[4]を用いてソフトウェア等の遅延障害に対応する方法が知られている.

特に自動車に搭載されている VLSI に関しては, 人命に関わる機能を扱うため, 高い信頼性が不可欠である. また, 製造段階での面積制約を考慮する必要があるため, 面積オーバーヘッドも重要な問題となる. さらに, 電源を入れたと同時にテストを行うため, 短時間でのテストが必要である. 高信頼性を達成するための手法として, あらかじめ生成したテストパターンをメモリに格納し, 短時間で少しずつテストを行う手法が挙げられる. しかしながら, この手法ではメモリによる面積オーバーヘッドが増大するという問題点が挙げられる. 一方で, 面積オーバーヘッドを削減する手法として組込み自己テスト(Built-In Self-Test: BIST)[5]が挙げられる. この手法では, VLSI にテストパターンを生成する回路を挿入することで, テストパターンをメモリに格納する必要がなく, メモリによる面積オーバーヘッドを抑えることが可能である. しかしながら, BIST のみでは十分な故障検出率を達成するテストパターンの生成が困難であり, 高信頼性を達成することはできない.

また, オンラインテスト対象回路にスキャン設計を行った場合, スキャン設計を行わなかった場合よりもテスト実行時間が長く, テスト時の消費電力が膨大である等の問題点が挙げられる. 一方で, スキャン設計を行わない場合, 高い故障検出率を得ることが困難になるという問題点が挙げられる. 以上の理由から, 本論文ではデータバスとコントローラから構成されるレジスタ転送レベル(Register Transfer Level: RTL)回路に対する非スキャンオンラインテストに焦点を当て, 故障検出率の改善, 小面積化, テスト実行時間の短縮を実現する手法を提案する.

2. オンラインテスト

2.1. オンラインテストの概要

外部のテストにより行う VLSI のテスト方式をオフラインテストと呼ぶ. これに対して, VLSI のテストを行う回路を VLSI 自体に組み込むテスト方式をオンラインテストと呼ぶ. オンラインテストでは, パワーオン・オフ, アイドル時等に自動でテストを実行する. オンラインテストの利点として, テスタ機能の簡略化

によるコスト削減が挙げられる. また, 実動作速度でのテストが容易になるため, 高品質なテストが可能となる. 一方で, テストを行う回路を追加するため, 面積増大という欠点が挙げられる. また, テスト応答を圧縮するため, 故障診断が複雑化する.

2.2. BIST

BIST は, テスタの機能の一部をチップ内に組み込む技術であり, テスト容易化設計技術(Design For Testability: DFT)の一つである. この技術により, オンラインテストを行うことが可能となる. BIST には, メモリを対象としたメモリ BIST と論理回路を対象としたロジック BIST が存在し, 本論文ではロジック BIST を対象に述べる.

BIST では, テストパターンとして擬似ランダムパターンを使用する. 擬似ランダムパターン生成回路(Pseudo Random Pattern Generator: PRPG)には, 線形帰還シフトレジスタ(Linear Feedback Shift Register: LFSR)がよく用いられる. また, 被テスト回路(Circuit Under Test: CUT)からのテスト応答や期待値のデータ量が膨大となるため, データ量を圧縮する仕組みが用いられている. テスト応答圧縮回路(Test Response Compactor: TRC)には, 多重入力シフトレジスタ(Multiple Input Shift Register: MISR)がよく用いられる. MISR によって圧縮された出力応答の系列をシグネチャと呼び, 圧縮応答を期待値のシグネチャと比較するテスト方式をシグネチャ解析と呼ぶ.

BIST の利点として, テスタ用メモリの削減が挙げられる. BIST 回路には, テストパターンを生成してその応答から故障を検出する仕組みが備わっているため, テストパターンやテスト応答, 期待値などの大量のテストデータをテストが保持する必要がない. また, 外部のテストを必要としないため, 製造テストのみではなく, 出荷後のフィールドテストの実施が可能である. これにより, オンラインでテストを行うことができる.

一方で BIST の欠点として, 高い故障検出率の達成が困難であることが挙げられる. PRPG によって生成した擬似ランダムパターンすべてが故障検出に有効とは限らず, 検出可能な故障が重複する場合がある. また, 擬似ランダムパターンによっては検出できない故障が存在する可能性がある.

2.3. テストパターン生成器

一般的に, テストパターン生成器はランダムパターン生成器と決定的パターン生成器に分類される. ランダムパターン生成器は, 何らかのランダムパターン生成アルゴリズムに従ってテストパターンを出力する. 代表的なランダムパターン生成器として, LFSR が知られている. 決定的パターン生成器は, あらかじめメモリに格納しておいたテストパターンを出力する. テストパターンは, VLSI の製造段階で ATPG 等を用いて生成する. ランダムパターン生成器を用いると, 小さな面積オーバーヘッドで実装することができる. しかしながら, 生成するテストパターンは高い故障検出率の達成が困難である. 一方, 決定的パターン生成器を用いて生成するテストパターンは任意のパターンを生成できるため, 高い故障検出率の達成は容易である.

A Non-scan Online Test Based on Covering n-Time State Transition

Yuki IKEGAYA, Yuta ISHIYAMA, Toshinori HOSOKAWA and Masayoshi YOSHIMURA

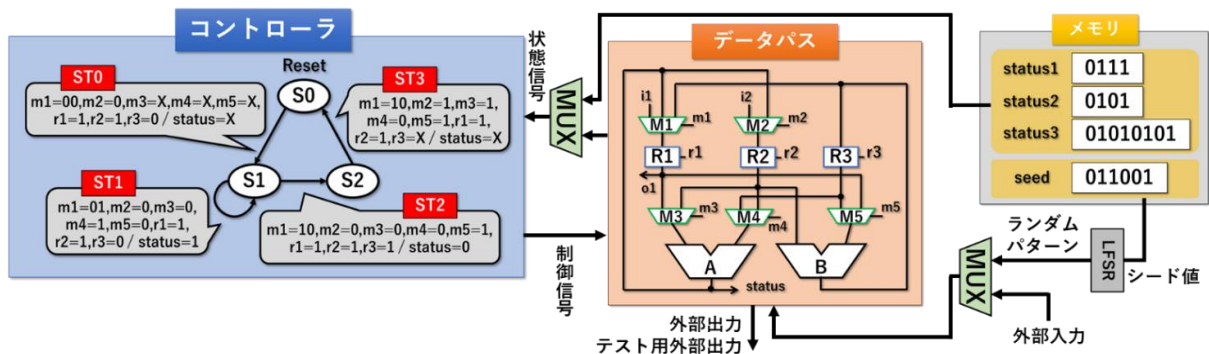


図 1. 決定的パターンとランダムパターンの併用 RTL 回路例

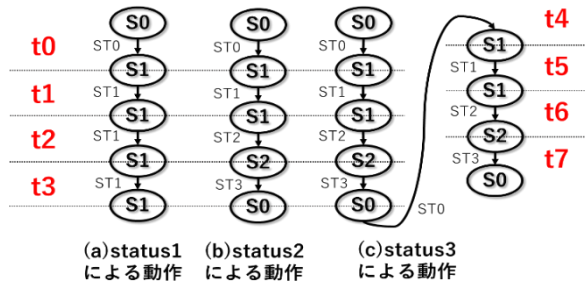


図 2. コントローラの動作例

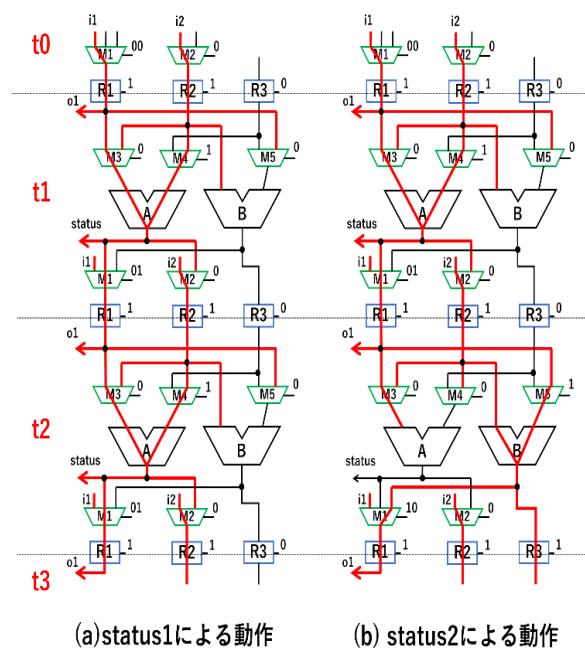


図 3. データパスの動作例

しかしながら、テストパターンを格納するメモリにより面積オーバーヘッドが増大するという問題点が挙げられる。

3. 提案手法

3.1. オンラインテスト手法の概要

本論文では、従来のオンラインテスト手法で問題点として挙げられている面積、故障検出率、テスト実行時間に焦点を当て、これらを改善する4つの手法を提案する。まず1つ目の手法として、非スキャンでの回路設計を行う。これにより、小面積かつ短時間でテストを行うことができる。2つ目の手法として、決定的パターンとランダムパターンを併用する。これにより、小面積で故障検出率の向上が期待できる。3つ目、

4つ目の手法として、RTLでのDFTと n 回状態遷移被覆を行う。これにより、故障検出率の向上をはかる。

3.2. 非スキャン設計

一般に、現状のオンラインテストではスキャン設計を用いられることが多い。これは、テストパターンとしてランダムパターンを用いた場合でも、ある程度の故障検出率が保証されているためである。しかしながら、スキャンFFは通常のFFと比較して面積が大きいため、回路が大きくなるほどスキャンFFに置き換えるFF数が増加し、面積オーバーヘッドが増大する。また、シフト動作時には各スキャンFFに値を設定するために、1つのスキャンチェーンに接続されているスキャンFF数の最大数のサイクルが必要となる。したがって、シフト動作におけるテスト実行時間の増加という問題点も挙げられる。これらの理由から、本手法では非スキャン設計によるオンラインテストを行う。また、非スキャン設計の問題点である故障検出率を改善するため、後述のRTL回路におけるDFT手法と n 回状態遷移被覆を用いる。

3.3. 決定的パターンとランダムパターンの併用

通常BISTでは、ランダムパターンによるテストを行う。これは、決定的パターンを用いた場合よりも小面積で実現できるからである。しかしながら、ランダムパターンを用いた場合の問題点として、故障検出率が挙げられる。特にRTL回路を対象とした場合、データパスが出力する状態信号を制御することが困難である。そのため、コントローラの制御が困難になり、故障検出率の低下の原因となる。そこで、本手法では、データパスに入力するテストパターンにランダムパターンを用い、コントローラに入力する状態信号のみに決定的パターンを用いる。この手法により、コントローラに任意の状態遷移の動作を実行させることが可能となる。一般的に状態信号線は多くないため、少ない面積オーバーヘッドで故障検出率の向上が期待できる。したがって、決定的パターンとランダムパターンの併用により、決定的パターンのみを用いた場合よりも面積オーバーヘッドを削減できる。また、ランダムパターンのみを用いた場合よりも故障検出率を向上させることができる。図1に決定的パターンとランダムパターンを併用して用いた場合のRTL回路例を示す。コントローラに入力する状態信号をメモリからも選択可能にするためのマルチプレクサを挿入する。同様に、データパスに入力するテストパターンをLFSRからのランダムパターンも選択可能にするためのマルチプレクサも挿入する。また、状態信号系列とLFSRの初期パターンとなるシード値を格納するためのメ

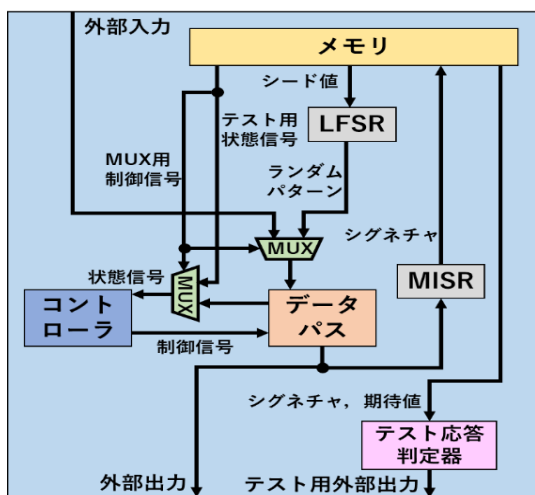


図 4. DFT 済み RTL 回路構造図

モリも挿入する。 *status1*, *status2* は 4 サイクル分、*status3* は 8 サイクル分の決定的パターンである状態信号系列を示す。 *seed* は LFSR に与えるシード値を表す。

3.4. n 回狀態遷移被覆

コントローラに入力する状態信号は、前述のとおり決定的パターンを用いる。その際、故障検出率向上のために、どのような状態信号を与えるかが重要な問題となる。本手法では、全ての状態遷移を被覆する状態信号を与える。

一般に、テストパターンとしてランダムパターンを用いる場合、回路動作に偏りが生じ、検出不可能な故障が増加してしまう恐れがある。そこで、コントローラの状態遷移を全て実行することで、可能な限り回路動作が偏らないようにし、新たな故障を検出する可能性を向上させる。

図1のRTL回路例を用いて説明を行う。図2に図1の回路における状態信号系列 *status1*~*status3* を与えた場合のコントローラの動作を示す。図2における *t0*~*t7* は時刻を表す。また、図3に *status1*, *status2* を与えた場合のデータベースの動作を示す。図3において、太線になっている信号線は、入力されたランダムパターンが伝搬可能であることを示す。*t0*~*t3* は時刻を表し、図2における時刻と対応する。初めに、図1のコントローラに対して *status1* を与えた場合の動作を考える。図2(a)に示す通り、状態遷移は *ST0*→*ST1*→*ST1*→*ST1* となる。したがって、*status1* の状態信号系列を用いた場合、*ST0*, *ST1* のみ被覆して *ST2*, *ST3* は被覆しない。*status1* を与えた場合のデータベースの動作を図3(a)に示す。ここで、あるハードウェア要素(レジスタ、マルチプレクサ、演算器)にランダムパターンが入力され、そのハードウェア要素の出力が外部出力まで伝搬することができる場合、そのモジュールはテストを行えるといえる。図3(a)の例では、演算器 *B* やマルチプレクサ *M5* のテストを行うことが不可能である。これは、時刻 *t1* と *t2* で同じ状態遷移 *ST1* を使用しており、それによってデータベースも同じ動作を繰り返していることが原因であるといえる。次に、図1のコントローラに対して *status2* を与えた場合の動作を考える。図2(b)に示すように、使用する状態遷移は *ST0*→*ST1*→*ST2*→*ST3* となる。したがって、*status2* の状態信号系列を用いた場合、図1のコントローラの状態遷移を最低でも1回以上被覆することができる。*status2* を与え

場合のデータベースの動作を図 3(b)に示す。図 3(b)の時刻 t_2 では、*status1* によるデータベースの動作でテストができなかった演算器 *B* やマルチプレクサ *M5* のテストを行うことが可能となっている。これは、*status1* によるコントローラの動作で被覆できなかった状態遷移 *ST2* を、図 2(b)の時刻 t_2 における動作で被覆しているからである。このように、データベースでは偏った動作が繰り返されるため、それらの動作以外の動作でのみ検出可能な故障を検出することは困難である。一方で、全状態遷移を被覆するような状態信号を与えた場合、データベースですでに実行された動作とは異なった動作が行われる可能性が高く、新たな故障の検出につながりやすいといえる。

これらに加えて更なる故障検出率の向上を達成するため、すべての状態遷移を最低 n 回 (n は自然数) 被覆するようなテストを行う。図 1 のコントローラに対して *status3* を与えた場合の動作を考える。図 2(c) に示すように、使用する状態遷移は $ST0 \rightarrow ST1 \rightarrow ST2 \rightarrow ST3 \rightarrow ST0 \rightarrow ST1 \rightarrow ST2 \rightarrow ST3$ となる。したがって、*status3* の状態信号系列を用いた場合、全ての状態遷移を最低 2 回は被覆することがわかる。この操作により、*status2* を用いた場合よりさらに故障を検出する可能性を向上させている。

3.5. RTL 回路における DFT 手法

これらの提案するオンラインテスト手法を実現するために、RTL 回路に DFT を行う。図 4 に本手法での DFT を行った RTL 回路の構造図を示す。図 4 における CUT は、コントローラとデータパスである。コントローラの入力信号は、データパスの出力である状態信号と、メモリに格納されているテスト用の状態信号とをマルチプレクサを用いて選択可能とする。また、今回は PRPG として LFSR、TRC として MISR を用いている。メモリは LFSR の初期値となるシード値を与える。データパスの入力は、本来の外部入力と LFSR が出力するランダムテストパターンとをマルチプレクサにより選択可能とする。データパスの出力は、外部出力と MISR への入力に分岐する。MISR はデータパスの出力を圧縮し、シグネチャとしてメモリに格納する。テスト応答判定器はシグネチャ解析を行い、その結果によって正常信号もしくは異常信号をテスト用外部出力へ出力する。

4. 実験結果

本実験では、5つのRTL回路を論理合成し、ゲートレベル回路に対して故障検出率を算出した。また、外部入力にLFSRが出力するランダムパターンと全状態遷移を被覆する状態信号を印加して実験を行った。故障モデルは単一縮退故障および遷移故障であり、データパス及びコントローラ内の全故障を評価対象とする。

表 1. オリジナル回路情報

回路名		sehwa	maha	kim	mc-ex2-BPF-ARF-ex2	fig17
RTL	状態数	26	24	24	29	157
	演算器数	3	3	5	8	9
	制御信号数	18	20	20	96	65
	状態信号数	1	1	1	2	1
GL	FF数	262	198	198	678	105
	ゲート数	3024	2756	3277	34408	10267
	外部入力数	258	194	194	130	16
	外部出力数	64	32	64	32	32
	総信号線数	3282	2950	3471	34538	10285
	面積	5020	4328	5003	44451	13185

表 2. 縮退故障における実験結果

回路名		sehwa			maha			kim			mc-ex2-BPF-ARF-ex2			fig17		
オリジナル	テスト系列長	50	100	150	48	96	144	34	68	102	141	282	423	303	606	909
	故障検出率(%)	73.82	74.45	74.45	71.91	72.13	72.13	66.08	67.43	67.43	71.66	72.04	72.04	83.76	83.77	83.77
フルスキャン	テスト系列長	917	1817	2717	685	1357	2029	489	965	1441	1135	2263	3391	13375	26707	40039
	故障検出率(%)	75.31	86.09	89.94	73.66	85.77	88.06	82.10	88.81	90.23	93.96	96.31	96.74	92.67	94.45	95.37
フルスキャン	テスト系列長	53	107	161	55	97	153	41	69	111	143	287	423	307	615	923
	故障検出率(%)	14.53	27.55	32.29	24.93	42.64	48.61	25.56	32.35	39.75	69.51	81.47	85.73	31.28	45.07	53.88
提案手法	被覆回数	1回	2回	3回	1回	2回	3回	1回	2回	3回	1回	2回	3回	1回	2回	3回
	テスト系列長	50	100	150	48	96	144	34	68	102	141	282	423	303	606	909
	故障検出率(%)	79.33	80.97	80.98	78.55	79.06	79.06	75.95	77.34	77.34	76.47	76.60	76.60	91.44	91.49	91.49

表 3. 遷移故障における実験結果

回路名		sehwa			maha			kim			mc-ex2-BPF-ARF-ex2			fig17		
オリジナル	テスト系列長	50	100	150	48	96	144	34	68	102	141	282	423	303	606	909
	故障検出率(%)	49.27	71.21	71.23	49.43	69.66	69.68	41.85	65.76	65.79	67.43	68.73	68.73	72.24	81.11	81.11
フルスキャン	テスト系列長	967	1917	2867	733	1453	2173	523	1033	1543	1276	2545	3814	13678	27313	40948
	故障検出率(%)	43.32	61.78	70.28	47.30	63.65	72.79	47.38	60.08	71.41	74.37	78.48	79.51	82.10	86.84	88.47
フルスキャン	テスト系列長	55	112	150	58	103	148	43	73	103	142	286	430	313	628	943
	故障検出率(%)	0.97	1.10	4.42	10.31	14.40	17.23	7.64	8.47	14.86	27.38	41.99	50.47	13.05	27.64	34.48
提案手法	被覆回数	1回	2回	3回	1回	2回	3回	1回	2回	3回	1回	2回	3回	1回	2回	3回
	テスト系列長	50	100	150	48	96	144	34	68	102	141	282	423	303	606	909
	故障検出率(%)	51.62	77.59	77.58	50.70	75.92	75.96	40.47	75.81	75.81	68.16	73.05	73.05	83.35	88.15	88.15

る。本実験では、提案手法における実験に加えて、提案手法を行わないオリジナル回路での実験とフルスキャン設計を行った BIST 回路に対する実験を行った。また、フルスキャン BIST については、2 種類の実験を行った。フルスキャン BIST ①は、組合せ回路部に与えるテストパターン数を提案手法と一致させた。フルスキャン BIST②は、提案手法で用いるテスト系列の長さを超えるようなテスト系列を生成した。フルスキャン設計におけるスキャンパス数は 16 とした。

表 1 に本実験で用いた 5 つのオリジナル回路の情報を示す。1 行目に回路名を示す。2~5 行目に RTL における状態数、演算器数、制御信号数、状態信号数を示す。6~11 行目にゲートレベルにおける FF 数、ゲート数、外部入力数、外部出力数、総信号線数、回路面積を示す。

表 2 に縮退故障を対象とした実験結果、表 3 に遷移故障を対象とした実験結果を示す。表 2, 3 において、1 行目に実験で用いた回路名を示す。また、2, 3 行目にオリジナル回路に対する実験結果、4, 5 行目にフルスキャン BIST①に対する実験結果、6, 7 行目にフルスキャン BIST②に対する実験結果、8~10 行目に提案手法による実験結果を示す。2, 4, 6, 9 行目にはそれぞれのテスト系列長、3, 5, 7, 10 行目にはそれぞれの故障検出率を示す。8 行目には提案手法における全状態遷移の最低被覆回数を示す。提案手法におけるテスト系列に関しては、8 行目に記載する被覆回数を全状態遷移が被覆できるように生成した。さらに、実験の条件を一致させるため、オリジナル回路で用いるテスト系列長は、提案手法でのテスト系列長と一致させた。また、被覆回数は 10 回まで増加させて実験を行ったが、対象回路では 3 回目以降の故障検出率にほとんど変化が見られなかった。

提案手法での縮退故障を対象とする故障検出率は、オリジナル回路と比較して、平均 7.05%、遷移故障を対象とする故障検出率は、平均 5.48%の向上を達成することができた。また、遷移故障を対象とした場合、全ての回路、被覆回数でフルスキャン BIST②の故障検出率を上回ることができた。縮退故障を対象とした場合も、ほとんどの回路、被覆回数でフルスキャン

BIST②の故障検出率を上回ることができた。さらに、フルスキャン BIST①と比較した場合、提案手法では平均 6.86%のテスト系列長で、同程度の故障検出率を得ることができた。

5. むすび

本論文では、 n 回状態遷移被覆に基づく非スキャンオンラインテスト法を提案した。提案手法では、オリジナル回路と比較して縮退故障の故障検出率を平均 7.05%、遷移故障の故障検出率を平均 5.48%向上させることができた。さらに、フルスキャン BIST 回路と比較した場合、ほとんどの回路において、より短いテスト系列長で高い故障検出率を得ることができた。今後の課題として、さらに高い故障検出率を達成するために、テスト用のデータパスの動作を定義し、その動作を行うための状態信号系列を与えることが挙げられる。

文 献

- [1] 藤原 秀雄, “ディジタルシステムの設計とテスト,” 工学図書株式会社, 2004.
- [2] 梶原誠司, “組込み自己テストによるフィード高信頼化について,” DC2012-31, 2012 年 11 月, pp.39-42.
- [3] W. Wang, et al., “Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology,” IEEE Trans. on Device and Material Reliability, Vol.7, No.4, pp.509-517, 2007.
- [4] 宮瀬紘平, 梶原誠司, “論理回路のテストパターンに含まれるドントケア判定法について,” 情報処理学会研究報告, システム LSI 設計技術研究会, 2001-SLDM-103, 2002 年 11 月, pp111-116.
- [5] Edward J. McCluskey, “Built-In Self-Test Techniques,” IEEE Design & Test of Computers, vol.2, no.2, pp.21-28, April 1985.