

HfO₂を用いた非晶質酸化物半導体の高性能化の研究

日大生産工（院） ○鈴木 貴祐

日大生産工 清水 耕作

1. まえがき

省電力化・高精細化を求め、非晶質酸化物半導体が注目されている。しかし酸化物 TFT は、NBIS ストレスに対しては伝導帯下～1.5 eV の欠陥準位が顕著となり、V_Tシフトと関連のあることがこれまでの検討で知られている。

本研究では、絶縁膜材料を従来の比誘電率 $\epsilon = 3.9$ の SiO₂ から比誘電率が $\epsilon \sim 15$ のハフニウムオキシド(以降 HfO₂)に変更することを検討している。ガラス基板で作製した際に SiO₂ は、MIS 界面との接合が良い。そのため、MIS 界面の向上が見込める。また、絶縁膜容量を増加させることによりしきい電圧 V_T は減少する。ここで、しきい電圧 V_T は(1)式で、絶縁膜容量 C₀ は(2)式で表すことができる。

$$V_T = \frac{\sqrt{2\epsilon_s q N_A (2\phi_B)}}{C_0} + 2\phi_B \cdots (1)$$

$$C_0 = \frac{\epsilon S}{d} \cdots (2)$$

よって、d の絶縁膜の膜厚を薄くし、比誘電率を大きくすると、絶縁膜容量 C₀ を大きくすることができ、しきい電圧 V_T の減少につながる。また、HfO₂ は SiO₂ の約 4 倍の比誘電率を有し、絶縁膜容量 C₀ を 4 倍に大きくすることができると思われる。よって、HfO₂ が MIS 界面に対する信頼性にどう影響するのかを目的とする。

2. 実験方法および測定方法

2-1 HfO₂ の特性評価

HfO₂ の成膜方法は、RF マグネトロンスパッタリング法を用いた。図 1 に素子構造、表 1 に成膜条件を示す。

試料作成後、空气中、350 °C で 1 時間アニール処理を行った。その後、HfO₂ のソース/ドレイン間での IV 特性を行い、特性評価を行った。

表 1 成膜条件

Target		HfO ₂	a-ITZO	a-SiO ₂
Gas flow rate [sccm]	Ar	100	100	100
	O ₂	0.0	1.0	1.0
Power [W]		200	50	150
Growth Pressure [Pa]		0.5	1.5	1.5
substrate position [%]		20, 50, 80	50	50
Temperature [°C]		25	250	25
Growth time [min]		16	14	14
Thickness [nm]		100	150	20
annealed [°C]		350	350	350

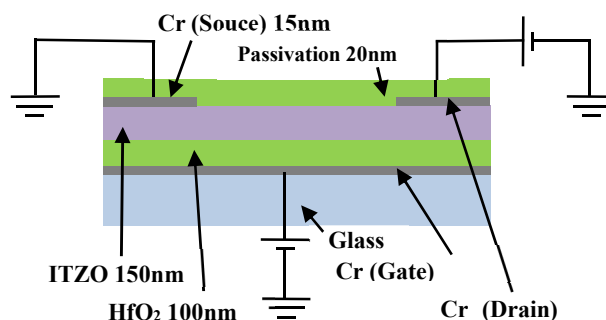


図 1 TFT 素子構造

2-2 RF マグネトロンスパッタ法

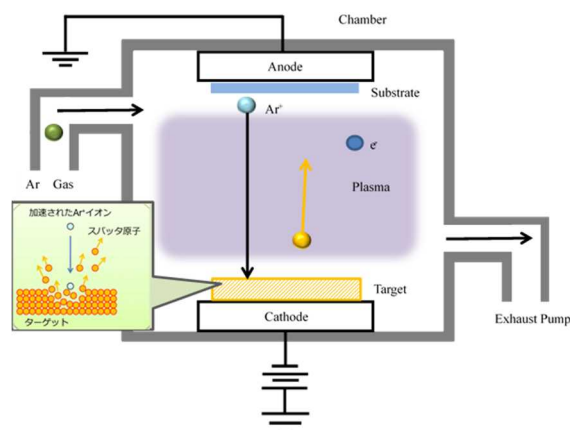


図 2 RF マグネトロンスパッタ法

図 2 のスパッタリング法は成膜技術の一つである。スパッタはイオン化した気体を電位差によって加速し、堆積したいターゲット材料に

衝突させ原子または分子がはじき出す。この現象を利用して、ターゲットとして供給される元素をガラスや Si などの基板に堆積して薄膜を形成する方式がスパッタリングである。

3. 実験結果

3-1 HfO₂ 基板間距離依存性による絶縁破壊電界の評価

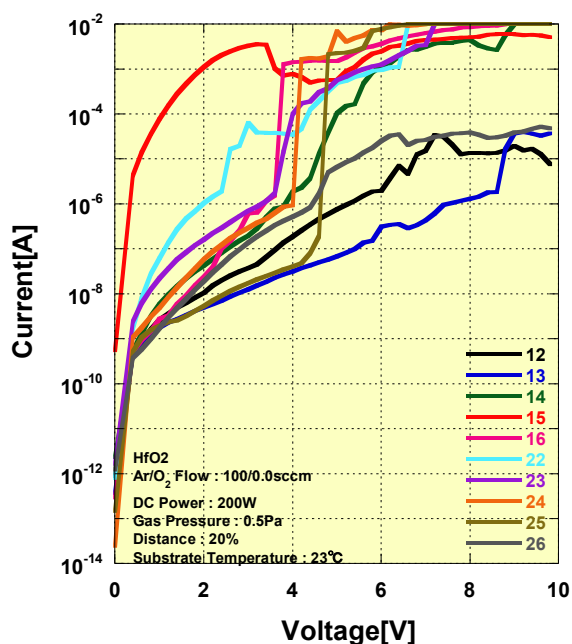


図3 基板間距離 20 % 絶縁破壊電界

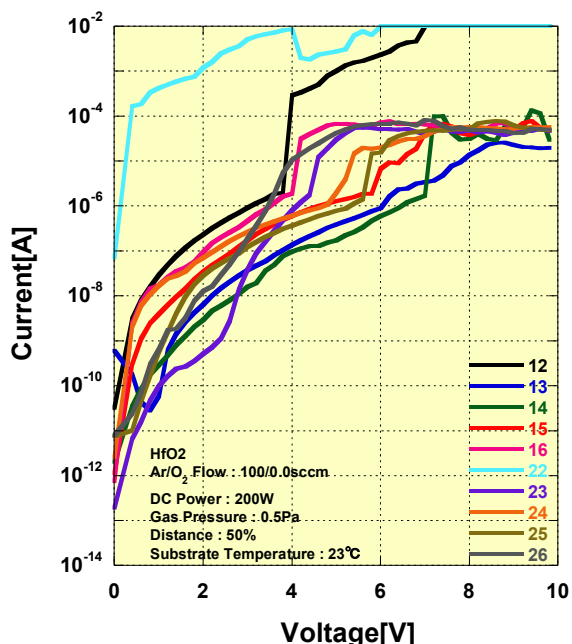


図4 基板間距離 50 % 絶縁破壊電界

図3 から図5 は、基板間距離 20 %、

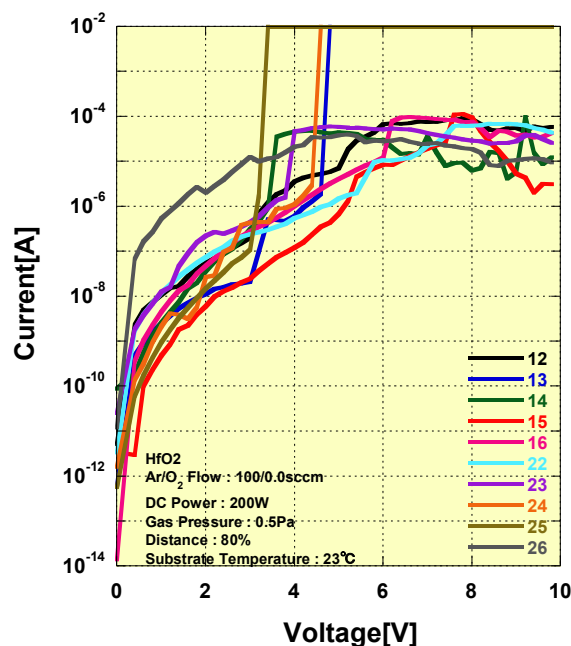


図5 基板間距離 80% 絶縁破壊電界

50%、80%の絶縁破壊電界を示す。基板間距離 20%、50%、80%の抵抗率 ρ は、それぞれ、20%は、 $\rho = 8.436 \times 10^{12} \Omega \cdot \text{cm}$, 50%は、 $\rho = 2.210 \times 10^{13} \Omega \cdot \text{cm}$, 80 %は、 $\rho = 4.534 \times 10^{12} \Omega \cdot \text{cm}$ となった。よって、基板間距離を広くすると抵抗率は、大きくなることが分かった。また耐圧は、20%は、0.442 MV/cm, 50 %は、0.455 MV/cm, 80 %は、0.471 MV/cm となった。よって、基板間距離を広くすると、絶縁破壊電界は高くなる傾向のあることが分かった。

5. まとめ

本研究で、基板間距離における絶縁破壊電界の変化を確認した。基板間距離を広くすると、抵抗率は、大きくなり、絶縁破壊電界は、大きくなることが確認できた。これは、基板間距離を広くすることでプラズマダメージによる MIS 界面の欠陥が少なくなり、絶縁性が上がったと考えられる。また、絶縁破壊電界が低いため、今後は、基板台の加熱による成膜、投入電力を下げる、圧力変化などをし、絶縁性を高めることが求められると考えている。