

テスト容易化機能的時間展開モデルを用いた故障検出率向上のためのテスト生成法

日大生産工 ○石山 悠太 日大生産工 細川 利典

1 まえがき

近年の半導体微細化技術の発展に伴い，設計される超大規模集積回路(Very Large Scale Integrated circuits: VLSI)の高集積化・複雑化により，VLSIの設計コストの増大が問題となっている[1]．LSIの設計生産性を向上させる手法として，動作レベルの回路記述からレジスタ転送レベル(Register Transfer Level:RTL)の回路を生成する動作合成が提案されている[2]．動作レベルの回路記述はRTLの回路記述と比較して高い抽象度で記述されるため，設計生産性に優れる．また，LSIの高集積化に伴い，一般的なLSIテスト手法であるスキャンテストのテスト実行時間は急激に増加している．

文献[3-5]の手法では回路のデータパス部とコントローラ部を分離しながら設計していることが前提となる．しかしながら，データパス部とコントローラ部を分離して設計することにより，その分離のための付加回路が必要となる．一方，回路のデータパス部とコントローラ部を分離しない回路設計を前提とした非スキャンテストに基づくテスト容易化設計手法も提案されている[6]．文献[6]ではデータパスのテスト容易な構造に基づいたコントローラ拡大が提案されている．

これまで提案されてきた順序回路のテスト生成アルゴリズム[7][8]は，回路構造にのみ着目してテスト系列を生成する．したがって，テスト容易な構造に基づいてテスト系列が生成されるとは限らない．文献[9]ではサイクル展開可能RTL回路を定義し，データパスのテスト容易化設計と，テストコントローラを付加した回路に対して制約付きテスト生成を行うことで，テスト生成の時間展開数を有限化している．文

献[10][11]では，コントローラの状態遷移を網羅するようにデータパスの機能的時間展開モデル[11]を生成するテスト生成手法が提案されている．この手法ではテスト生成時に回路の機能動作時における制御信号・状態信号の値を制約として付与する．これにより，テスト生成時における回路の時間展開数を機能動作のレイテンシに有限化し，解空間が削減される．機能的時間展開モデルを用いたテスト生成(FTEM_ATPG)のアルゴリズムは正当化処理を効果的に行うためにSAT(Satisfiability Problem)が適用されることがある．しかしながら，高集積化・複雑化した回路に対してFTEM_ATPGを適用すると，SATのCNF(Conjunctive Normal Form)のデータ量が膨大になり，メモリ領域が不足しFTEM_ATPGが動作を停止してしまう問題も生じている．

本論文では，FTEM_ATPGの問題を解決するためのアルゴリズムを提案し，従来のアルゴリズムでは動作しなかった回路に対するテスト生成の実行をする手法を提案する．

2 機能的時間展開モデルを用いたテスト生成

機能的時間展開モデルを用いたデータパスのテスト生成[10][11]は，コントローラ部から入力される制御信号の系列とコントローラ部へ出力する状態信号系列を制約値として，指定した時間数分展開された時間展開モデルに対してテスト生成を行う．機能的時間展開モデルは時間展開数が有限であり，さらに制御信号系列と状態信号系列を制約として付加するため，制約を付与しない構造的時間展開モデルを用いたテスト生成と比較してテスト生成が高速になる[11]．

A Test Generation Method for Increase Fault Coverage Using Easily Testable Functional Time Expansion Models

Yuta ISHIYAMA and Toshinori HOSOKAWA

3 含意ノードを用いた正当化

信号線 k からの値 $v(v \in \{0, 1\})$ の割当て要求を少なくとも 1 つの外部入力まで一意に後方追跡[12]できる経路が存在するとき、信号線 k を含意ノードという。

外部入力数を M 、決定ノードとなる含意ノード数を N としたとき、PODEM[12]アルゴリズムなどの外部入力を決定ノードとするアルゴリズムでは、解空間の大きさは外部入力に値 v を割当てての組合せの 2^M となる。全ての信号線が決定ノードの候補になる場合には、回路中の総信号線数を L とすると解空間の大きさは全ての信号線に値 v を割当てての組合せの 2^L となる。ここで $L \gg M$ という関係が成り立つので、外部入力を決定ノードとすることによって、全信号線を決定ノードにするよりも解空間を狭めることができる。

含意ノードを決定ノードとするアルゴリズムでは、解空間の大きさは含意ノードに値 v を割当てての組合せの 2^N となる。決定点となる含意ノードは外部入力を 1 つ以上含意するような信号線なので $M \geq N$ という関係が成り立つ。含意ノードを決定ノードとすることで外部入力を決定ノードにするよりも解空間を狭めることができる。

図 1 に例題回路を示し、含意ノードを用いた正当化の説明をする。図 1 の信号線 A, B は外部入力である。

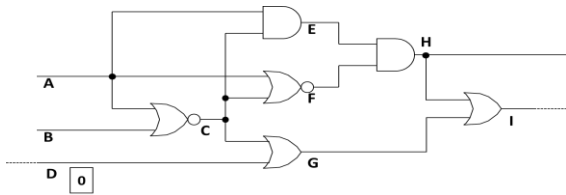


図 1 含意ノードを用いた正当化の例

この例では信号線 I に論理値 1 を割当てての要求に対する後方追跡を考える。ただし、信号線 D にはすでに論理値 0 が割当てられているものとする。

まず、後方追跡を用いて信号線 I の正当化を行う例を示す。I=1 から後方追跡を行い $G=1 \rightarrow C=1 \rightarrow A=0$ の目標を設定する。A=0 を決定木に挿入し、A=0 から含意操作を行うと、A=0, E=0, H=0 となる。まだ I=1

は正当化されていないため、I=1 の正当化のための後方追跡を再度行う。その結果 $G=1 \rightarrow C=1 \rightarrow B=0$ の目標を設定する。B=0 を決定木に挿入し、B=0 から含意操作を行うと、B=0, C=1, F=0, G=1 となり I=1 の正当化が完了する。

次に、含意ノードを用いて信号線 I の正当化を行う例を示す。信号線 I に論理値 1 を割当てての要求から外部入力 A, B まで一意に後方追跡できる経路が存在するかを確認する。この例では I の入力信号線 G, H ともに外部入力 A, B まで一意に後方追跡できる経路が存在するため G, H ともに含意ノードになり得る。ここではまず G を含意ノードとする。G=1 から含意操作を行うと、C=1, A=0, B=0, E=0, F=0, H=0 となり、I=1 の正当化が完成する。

図 2 に図 1 で示した例の決定木を示す。

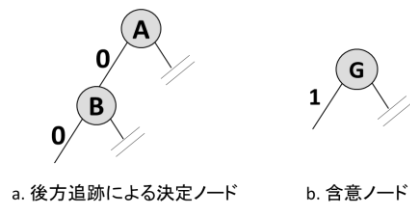


図 2 解空間の縮小

図 2 の a は信号線 I に対して論理値 1 を正当化するための決定木、図 2 の b は含意ノード G を用いた信号線 I に対して論理値 1 を正当化するための決定木をそれぞれ示している。

図 2 に示すように、含意ノードを用いることで決定木に挿入されるノード数が少ない。これにより含意ノードを用いることで解空間を削減できることがわかる。

4 FTEM_ATPG のアルゴリズム

本章では、FTEM_ATPG の問題であるメモリの消費量を抑えるために、値の正当化に用いられていた SAT の処理を近似化したモデルについて説明する。

まず、SAT とは与えられた乗法標準形 (Conjunctive Normal Form: CNF) に含まれる全ての論理変数の値を 1(真)または 0(偽)に定めることで、CNF 全体の値を 1 にできる割当てが存在するか否か

を判定する問題である．SAT は CNF を入力として問題を解決するため，SAT を用いてテスト生成を行うためには，対象の論理回路を CNF に変換する必要がある．表 1 に論理ゲートに対する CNF 変換規則を示す．各論理ゲートは表 1 の規則に従い，CNF に変換する．それぞれの括弧で括られた論理式を節といい，節を論理積した式が各ゲートの CNF である．回路全体の CNF は各論理ゲートの CNF を論理積することで表現できる．

表 1 論理ゲートの CNF 変換規則

ゲートタイプ	入力	出力	ゲートに対するCNF式
AND	X,Y	Z	$(X + \neg Z) \cdot (Y + \neg Z) \cdot (\neg X + \neg Y + Z)$
OR	X,Y	Z	$(\neg X + Z) \cdot (\neg Y + Z) \cdot (X + Y + \neg Z)$
NOT	X	Y	$(X + Y) \cdot (\neg X + \neg Y)$
BUFF	X	Y	$(\neg X + Y) \cdot (X + \neg Y)$
EXOR	X,Y	Z	$(\neg X + Y + Z) \cdot (X + \neg Y + Z) \cdot (\neg X + \neg Y + Z) \cdot (X + Y + \neg Z)$

一般に SAT を用いたテスト生成では，対象回路において正常に動作する正常回路と，故障の影響を仮定した故障回路の 2 つを用意し，正常回路と故障回路を組み合わせた合成回路をテスト生成モデルとする．図 3 に SAT を用いた組合せ回路のテスト生成モデルの図を示す．

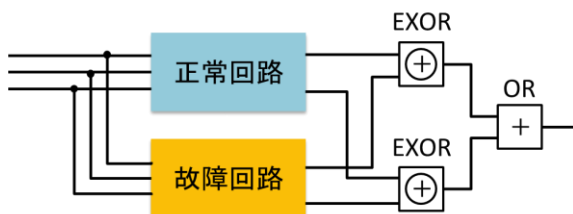


図 3 SAT を用いた組合せ回路テスト生成モデル

合成回路の外部入力数は対象回路の外部入力数と同一であり，それぞれが対応する正常回路と故障回路の外部入力と接続している．合成回路の外部出力は，正常回路と故障回路の対応する各外部出力を EXOR 演算し，その各 EXOR 演算の出力を OR 演算したものとなっている．このため，故障の影響が外部出力に伝搬され故障を検出できる時，合成回路の外部出力の値は 1 となる．SAT を用いたテスト生成は，この合成回路の出力が 1 となるような外部入力の組合せを求める手法である．

FTEM_ATPG では，順序回路に対する時間展開モ

デルに対して CNF 作成を行う．時間展開モデルとは順序回路の組合せ回路部の接続関係を時間軸に展開した回路である．順序回路は時間展開モデルで表現することによって，組合せ回路として扱うことができる．図 4 に SAT を用いた時間展開テスト生成モデル（時間展開数 3）を示す．また，本手法が扱う故障モデルは単一縮退故障モデルである．したがって，図 4 のモデルは単一縮退故障を故障モデルとした時間展開テスト生成モデルである．

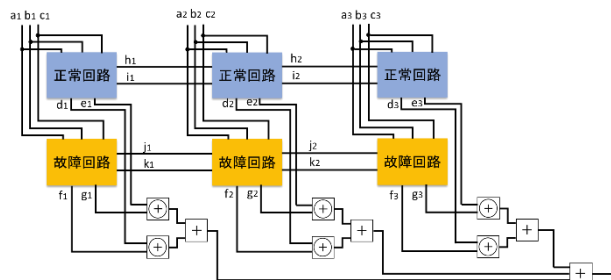


図 4 SAT を用いた時間展開テスト生成モデル

a, b, c は外部入力，d, e, f, g は外部出力，h, i, j, k は疑似外部出力である．また，各変数の添字である数字は時刻を表している．1 時刻目の疑似外部出力である h_1, i_1, j_1, k_1 は 2 時刻目の疑似外部入力として h_2, i_2, j_2, k_2 に接続される．2 時刻目以降も同様に接続されている．この時間展開モデルの出力が 1 となるような外部入力の組合せを求める．

時間展開モデルに対する SAT を用いたテスト生成では展開数に応じて正常回路及び故障回路を必要とするので，CNF も時間展開数に比例して増大する．したがって，高集積及び複雑な回路や時間展開数が多くなるにつれて CNF も増大し，メモリの消費量が増大する．提案手法では，CNF を削減した正常回路のみの近似正当化モデルを提案する．このモデルによりメモリの消費量を抑えることができる．しかしながら，故障回路の CNF を生成せずに正当化処理を実行しているため，故障回路を用いた正確なモデルでの正当化と比較して，故障の検出が保証されない．つまり，未検出故障数が増加する．それらの未検出故障に対して，含意ノードを用いたテスト生成を実行し，検出故障数の増加を目指す．

5 実験結果

表 2 に、故障回路の CNF を生成せずにテスト生成を実行した結果を示す。故障モデルは単一縮退故障モデルとし、実験に用いた回路は ARF[13], add2 である。

表 2 実験結果

回路名	ARF		add2		
	故障回路あり	故障回路なし	故障回路あり	故障回路なし	
実験方法				含意ノードなし	含意ノードあり
総故障数	NA	133892	78	78	78
検出故障数	NA	125032	73	68	75
打ち切り故障数	NA	10	0	0	0
テスト不可能故障数	NA	5817	3	3	3
未解決故障数	NA	3033	2	7	0
テストパターン数	NA	3067	7	11	9
故障検出率	NA	93.38%	93.59%	87.18%	96.15%

「故障回路あり」列は従来通り故障回路を CNF に含む正確なモデルによるテスト生成結果を示し、「故障回路なし」は提案手法である故障回路の CNF を削減する近似モデルによるテスト生成結果を示す。含意ノードの実装は add2 にのみ適用されている。「故障回路なし」に対する ARF は多量の CNF によるメモリの消費により、実験結果を得られなかった。しかしながら、提案手法ではメモリの消費量を削減することによりテスト生成を実行することができた。add2 における実験結果は従来手法と比べて未検出故障数が多い。これは、故障回路の CNF を生成せずに正当化処理を実行しているためである。しかしながら、含意ノードを用いた正当化処理を実行することにより、未検出故障数が削減し故障検出率が増加した。

6 おわりに

本論文では、FTEM_ATPG の未正当化信号線の処理に用いられている SAT の影響で動作しなかった問題を解決するためのアルゴリズムを提案し、従来手法ではテスト生成ができなかった回路に対してテスト生成を実行することができた。故障回路の CNF を生成しないことにより、メモリ消費量を抑えることができた。しかしながら、近似モデルであるため未検出故障数が増加してしまう。そこで含意ノードを用いた正当化処理を行うことにより未検出故障数を削減することができた。

今後の課題として、含意ノードを用いた未正当化信号線に対する正当化を行う処理を大規模回路に適

用することが挙げられる。

参 考 文 献

- [1] 藤原 秀雄, "ディジタルシステムの設計とテスト", 工学図書株式会社, 2004.
- [2] M. C. McFarland, A. C. Parker, R. Camposano, "The high-level synthesis of digital systems", Proc. IEEE, pp. 301-318, 1990.
- [3] M. T. -C. Lee, W. H. Wolf, and N. K. Jha, "Behavioral synthesis for easy testability in data path allocation", Int. Conf. Computer Design, pp. 29-32, Oct. 1992.
- [4] M. T. -C. Lee, W. H. Wolf, and N. K. Jha, "Behavioral synthesis for easy testability in data path scheduling", IEEE International Conference on Computer-Aided Design, pp. 616-619, 1992.
- [5] Tianruo Yang, Zebo Peng, "Integrated Scheduling and Allocation of High-Level Test Synthesis", ASIC Conference 1998. Proceedings. Eleventh Annual IEEE International, pp. 81-87, Sep 1998.
- [6] L. M. Flottes, B. Rouzeyre, L. Volpe, "A Controller Resynthesis Based Methods for Improving Datapath Testability", IEEE International Symposium on Circuits and Systems, pp. 347-350, May 2000.
- [7] W. T. Cheng, "The back algorithm for sequential test generation", Proc. 1988 IEEE Int. Conf. on Computer Design, pp. 66-69, Oct. 1988.
- [8] T. M. Niermann and J. H. Patel, "HITEC: A Test Generation Package for Sequential Circuit", in Proc. Of the European Design Automation Conf., pp. 214-218, Feb. 1991.
- [9] Hideo Fujiwara, Hiroyuki Iwata, Tomokazu Yoneda, and Chia Yee Ooi, "A Non-Scan Design-for-Testability for Register-Transfer Level Circuits to Guarantee Linear-Depth Time Expansion Models", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 27, No. 9, pp. 1535-1544, Sept. 2008.
- [10] Toshinori Hosokawa, Teppei Hayakawa, and Masayoshi Yoshimura, "A Comprehensive Functional Time Expansion Model Generation Method for Datapaths Using Controllers", The Eleventh Workshop on RTL and High Level Testing (WRTL'10), pp. 131-138, Dec. 2010.
- [11] Kazuya Sugiki, Toshinori Hosokawa, and Masayoshi Yoshimura, "A Test Generation Method for Datapath Circuits Using Functional Time Expansion Models", The Ninth Workshop on RTL and High Level Testing (WRTL'08), pp. 39-44, Nov. 2008.
- [12] P. Goel and B. C. Rosales, "Test generation and dynamic compaction of tests," in Proc. 1979 Annu. Test Conf, Cherry Hill, NJ.
- [13] S. P. Mohanty, N. Ranganathan, E. Kougianos, and P. Patra, "Low-Power High-Level Synthesis for Nanoscale CMOS Circuits," Springer, 2008.