

k サイクルテストに基づく状態遷移機械の テスト生成法

日大生産工 ○木下 湧矢 日大生産工 細川 利典
大阪学院大 藤原 秀雄

1. まえがき

近年の半導体集積技術の発達により，超大規模集積回路（Very Large Scale Integrated circuits：VLSI）の大規模化や高集積化が進んでいる．それに伴い，LSI のテストコストの増加が課題であり，その削減のためにテスト容易性を向上させる設計が重要視されている．LSI 設計現場では，設計される LSI に対して，高い故障検出率を達成するために，フルスキャン設計[1]と組合せ回路のテスト生成技術を組み合わせたテスト設計手法が広く普及している．フルスキャン設計を適用することで，一般に困難とされている順序回路のテスト生成問題を，組合せ回路のテスト生成問題に帰着することができる．組合せ回路に対しては，効率的なテスト生成法が提案されており[2,3]，現実的な時間で高い故障検出率を達成することができる．それゆえ，フルスキャン設計が適用された順序回路に対しては，現実的な時間で高い故障検出率を達成することができる．しかしながら，スキャン設計が適用された順序回路は，面積，遅延時間，消費電力等のハードウェアオーバーヘッドが増大するという問題がある．したがって，非スキャン設計に基づいたテスト容易化設計やテスト生成が必要とされる．

また，LSI の大規模化・高集積化に伴い，設計生産性の向上のためにレジスタ転送レベル（Register Transfer Level:RTL）での回路設計が行われている．RTL 回路はデータパス部とコントローラ部から構成される．RTL 回路の非スキャンテストのためにデータパスとコントローラを分離し，それぞれの回路に適したテスト容易化設計やテスト生成を行う手法が提案されている[4]．

一方，順序回路に対するテスト生成法として，時間展開モデルによるテスト生成法[5,6]が提案されている．しかしながら，文献[5,6]で提案されている時間展開モデルによるテスト生成法は，回路構造のみに着目して時間展開モデルを生成するため，時間展開数が不確定となり，テスト生成が困難となる可能性がある．コントローラ回路は状態遷移機械を用いて設計されることが多く，その論理回路規模

はデータパスと比較して非常に小さい．その小規模なコントローラの順序回路に対して時間展開モデルによるテスト生成を適用しても現実的な時間で完全なテストを行うことが困難な場合もある．

本論文では，状態遷移機械を用いて設計されたコントローラは，リセット状態が明記され，リセット状態から到達可能な状態がすべて明記されている点に着目し，コントローラ回路を対象とした初期状態制約付き k 時間展開モデル（Time expansion model with initial state constraints：TEMIS）とそのテスト生成法を提案する．この手法では，テスト生成時に時間展開数 k を指定し時刻 1 のフリップフロップ（FF: Flip-Flop）の状態（初期状態）を制約として与えることで，テスト生成時における解の探索空間を削減し，現実的な時間でテスト生成をすることが可能である．

2. 時間展開モデルを用いた順序回路のテスト生成

本章では，従来の順序回路テスト生成モデルである時間展開モデルとそのテスト生成法について説明を行う．

2.1. 時間展開モデル

一般的に，順序回路はフィードバックループを有する．図 1 に順序回路の図を示す．フィードバックループとは，順序回路において FF の出力からその FF の入力に至る経路である．順序回路の自動テスト生成ツール（ATPG: Automatic Test Pattern Generation）はテスト生成時に順序回路を時間展開し，大きな組合せ回路モデルを生成する．その例を，図 2 に示す．順序回路のテスト生成問題を組合せ回路のテスト生成問題に帰着することで，効率的なテスト生成を行うことができる．図 2 の $C(i)$ ($1 \leq i \leq n$) は時刻 i での組合せ回路に対応し， $X(i)$ ， $Y(i)$ および $Z(i)$ はそれぞれ時刻 n の外部入力，内部状態，外部出力の値を表す．

A test generation method based on k-cycle testing for Finite State Machines

Yuya KINOSHITA, Toshinori HOSOKAWA and Hideo FUJIWARA

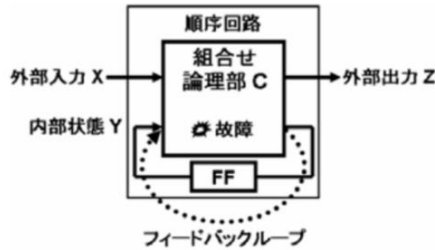


図 1. 順序回路

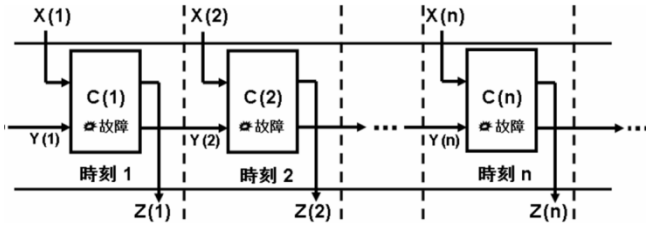


図 2. 時間展開モデル

2. 2. 時間展開モデルを用いたテスト生成

時間展開を用いた一般的な順序回路のテスト生成は、対象の故障を励起し、故障の影響が外部出力に伝搬されるまで回路の入力から出力方向へ時間展開を繰り返す。故障の影響が外部出力へ伝搬されると、次に故障を励起・伝搬するために割当てた内部の信号線の値を正当化するために後方操作を行う。これらの処理は、正当化のための要求が全て外部入力の値の割当てによって充足されるまで時間展開を回路の出力側から入力側へと繰り返す。また、これらの処理の過程で信号線への値の割当てに対して矛盾が発生した場合は、バックトラックを行う。バックトラックが閾値を超えると、その故障に対するテスト生成を打切る。

しかしながら、時間展開モデルを用いたテスト生成は、図 1 に示す順序回路で単一故障であっても、図 2 に示す時間展開モデルでは同一の組合せ論理部 $C(i)$ が繰り返し現れるため、ATPG は多重故障を扱う必要がある。また、回路構造にのみ着目して時間展開モデルを生成するため、展開時刻数の制約を与えない限りフィードバックループ部分を際限なく展開することができる。そのため時間展開数が不確定となり、テスト生成が困難となる場合がある。

3. k サイクルテストに基づく状態遷移機械のテスト生成

本章では、2 章で説明した時間展開モデルの問題点を解決するために、FF の初期状態の制約と有限の時間展開数を利用した時間展開モデルである初期状態制約付き k 時間展開モデル (TEMIS) とそのテスト生成法を提案する。

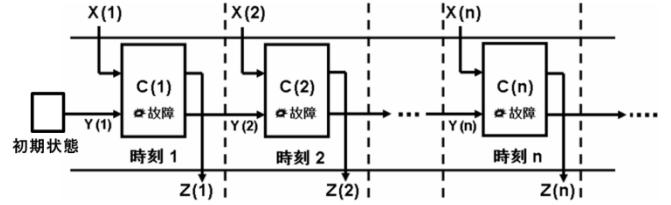


図 3. 初期状態制約付き k 時間展開モデル (TEMIS)

3. 1. 初期状態制約付き k 時間展開モデル (TEMIS)

2 章で説明した通常的时间展開モデルは回路構造にのみ着目しているため、テスト生成が困難である。それゆえ、コントローラの RTL 設計における状態遷移機械のリセット状態とリセット状態から到達可能な状態に関する情報を利用し、時間展開モデルの時間展開数を与えたモデルを提案する。時間展開数を制約として与えることで、テスト生成時の解の探索空間を狭めることができる。また、リセット状態または到達可能状態を初期状態として制約を与えることで、通常動作でのテストを可能にする。このテスト生成モデルを初期状態制約付き k 時間展開モデル (TEMIS) と呼び、このテスト生成モデルに対して機能的な環境下でテスト生成をすることで効率的なテスト生成を行うことが見込める。

3. 2. TEMIS を用いたテスト生成

まず、TEMIS を用いたテスト生成問題を以下に定式化する。

(定式化)

TEMIS における縮退故障を対象としたテスト生成問題を、以下のように定式化する。

- ・入力：回路，検出可能故障集合
- ・出力：状態遷移のテスト系列 ST
- ・最大化：検出故障数
- ・制約：時間展開数 k

本手法では、通常的时间展開モデルに時間展開数 k と初期状態を与え、TEMIS を生成する。TEMIS を用いたテスト生成は、まず縮退故障を対象に初期状態をリセット状態として k サイクルテスト生成を行い、対象故障数に対して複数のテスト系列を生成する。その後、生成したテスト系列の中で最も検出故障数が多い系列を選択し、状態遷移機械のテスト系列に追加する。次に、選択した系列で検出される故障を対象故障から除外し、再度テスト系列を生成する。その際、選択したテスト系列の最終状態を初期状態としてテスト生成を行うことで、通常動作での連続したテスト系列を生成することができる。したがってテスト

系列を選択するごとに故障シミュレーションを実行し、検出故障を算出するとともに最終状態を求める必要がある。最終的に、TEMIS によるテスト生成からテスト系列選択までの動作を、すべての故障が検出されるまで繰り返し実行する。

図 4 を用いてテスト生成法例を示す。リセット状態から $k=3$ を指定し、テスト生成を行う。この図では $A \cdot B \cdot C$ という長さ 3 の 3 つのテスト系列が生成できたことを示している。 $A \cdot B \cdot C$ に関する情報を表 1 に示す。表 1 より、最も検出故障数が多いテスト系列 A を選択し、状態遷移機械のテスト系列に加える。テスト系列 A で検出できる故障を対象故障から除くと、対象故障数は 10 個となる。これらの故障を検出するために、再度テスト系列を生成する。その際、A によって遷移する回路の最終状態 011 を制約として与え、テスト生成を行う。

ただし、このときの ATPG 対象故障は、それまでのテスト生成で選択された系列では検出できない故障を ATPG の対象とする。最終的にテスト生成からテスト系列選択までの動作を、すべての故障が検出されるまで繰り返し実行する。

また、ATPG 対象故障に対してテスト系列が生成できない場合がある。この場合は、異なる初期状態を制約として与え、再びテスト生成を続ける。このとき到達可能状態の中に未到達状態（初期状態に設定したことがない状態）が存在する場合は、その状態を優先的に遷移させテスト生成を続ける。これは、未到達状態を初期制約として与えることで、より多くの故障が検出できるテスト系列を生成可能だと考えられるからである。

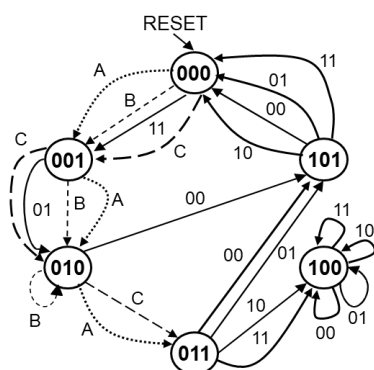


図 4. リセット状態からテスト生成を行った例 ($k=3$)

表 1. 図 4 において生成したテスト系列の情報

テスト系列	A	B	C
検出故障数	20	15	10
未検出故障数	10	15	20
最終状態	011	010	011

4. テスト生成全体のアルゴリズム

本手法では、TEMIS によるテスト生成とテスト選択を繰り返し実行することでひとつのテスト系列を生成する。図 5 に、本手法の全体アルゴリズムを示す。

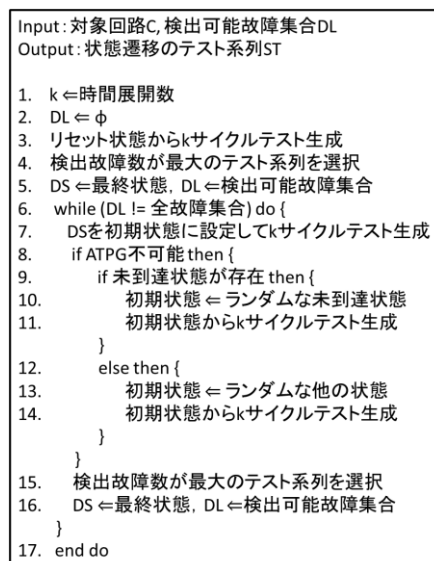


図 5. テスト生成全体アルゴリズム

- 1 行目：時間展開数を有限化するため、 k を設定する。
- 2 行目：検出故障集合を空集合に初期化する。
- 3 行目： k サイクルテスト可能な全故障を対象に、かつ FF の初期状態にリセット状態を制約として k 時間展開テスト生成を行う。
- 4 行目：生成された複数のテスト系列の中から最も故障検出数が多いものを選択し、状態遷移のテスト系列 ST に連結する。
- 5 行目：3 行目でテスト系列を選択し、 ST に連結することで遷移する FF の最終状態 DS と DL を更新する。
- 6 行目： ST による k サイクルテスト可能な全故障が DL に含まれるまで、7 行目から 16 行目までの処理を繰り返す。
- 7 行目： DL にない未検出故障を対象に、 DS を FF の初期状態に制約として与え、 k 時間展開テスト生成を行う。
- 8 行目：もし生成できるテスト系列がなければ、状態遷移機械を参照して他の状態に遷移させ再度テスト生成を行う。このとき ST により到達したことがない状態がある場合は、優先的にその状態に遷移させる。テスト系列が生成できた場合、検出故障数が最も多いテスト系列を選択し、 ST に連結する。
- 9 行目：もし ST による未到達状態があれば、10 行目の処理を行う。
- 10 行目： DS から最も少ない遷移数で到着可能な未到達状態をランダムに指定し、初期状態に設定する。

11 行目：10 行目で指定した未到達状態を FF の初期状態制約として与え、 k 時間展開テスト生成を行う。

12 行目：もし ST による未到達状態がなければ、13 行目の動作を行う。

13 行目： DS から最も少ない遷移数で到着可能な状態をランダムに指定し、初期状態に設定する。

14 行目：13 行目で指定した初期状態を制約として与え、 k 時間展開テスト生成を行う。

15 行目：11 行目または 14 行目で生成したテスト系列のうち、検出故障数が最も多いテスト系列を選択する。

16 行目：15 行目でテスト系列を選択し ST に連結することで、 DS と DL を更新する。

5. 実験結果

本章では、TEMIS を用いたテスト生成の実験結果を示す。本実験では、MCNC'91 ベンチマーク回路を対象とし、単一縮退故障についてテスト生成を行う。また、Synopsys 社の ATPG ツールである TetraMAX による順序回路テスト生成の結果とテストパターン数、故障検出率と比較した。さらに提案手法で生成したテスト系列に対して順序故障シミュレータを用いた静的テスト圧縮[7]を使用し、テストパターン数削減を試みた。提案手法の実験は Intel(R) Core(TM) i5-2320 3.0GHz の CPU を搭載する Windows コンピュータ上で行い、TetraMAX によるテスト生成は Intel(R) Xeon(TM) 2.8GHz の CPU を搭載する UNIX サーバ上で行った。どちらの実験もテスト生成時の制約として、テスト生成のバックトラック数の上限を 100 回に設定している。また TetraMAX によるテスト生成は、時間展開数による制約を設けていない。表 2 に実験結果を示す。表 2 の回路名は回路の名前を示し、Node は状態数、Edge 数は状態遷移数、Total F は全検出可能故障数、tp は生成したテストパターン数、FC(%) は故障検出率、und は未検出故障数、 k は時間展開数を示す。提案手法ではすべての回路で故障検出率 100% を達成し、検出故障数は最大で 4 個増加した。生成したテストパターン数は 3.3~8.0 倍(平均 5.5 倍)に増加した。また静的テスト圧縮を適用することで最大で 41.94% のテストパターン数を削減した。

6. まとめ

本論文では、TEMIS を用いた状態遷移機械のテスト生成法を提案した。TetraMAX の非スキャンテスト生成結果と比較して、全ての回路において故障検出率が向上した。またすべての回路において故障検出率 100% を達成した。今後の課題として、生成したテスト系列のテストパターン数を削減することが挙げられる。解決策として、テスト選択アルゴリズムの改善を検討することが挙げられる。

参考文献

- [1] H. Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.
- [2] M. Henftling, H. C. Wittmann, and K. J. Antreich, "A Single-Path-Oriented Fault Effect Propagation in Digital Circuits Considering Multiple-Path Sensitization," Proc. 1995 IEEE/ACM International Conference on Computer-Aided Design, pp. 304-309, 1995.
- [3] E. Gizdarski, and H. Fujiwara, "SPIRIT: A Highly Robust Combinational Test Generation Algorithm," IEEE trans. on Computer Aided Design for Integrated Circuits and Systems, Vol. 21, No. 12, pp. 1446-1558, Dec. 2002.
- [4] S. Ohtake, T. Masuzawa, and H. Fujiwara, "A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency," Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 16, No. 5, pp.553-566, Oct. 2000.
- [5] W.T.Cheng, "The back algorithm for sequential test generation," Proc. 1988 IEEE Int. Conf. on Computer Design, pp. 66-69, Oct. 1988.
- [6] T.M. Niermann and J.H.Patel, "HITEC : A Test Generation Package for Sequential Circuit," in Proc. Of the European Design Automation Conf., Feb.1991, pp.214-218.
- [7] Irith Pomeranz and Sudhakar M. Reddy, "Static Test Compaction for Scan-Based Designs to Reduce Test Application Time," Electrical and Computer Engineering Department.

表 2. 実験結果

回路名	Node	Edge	Total F	TetraMAX			提案手法			提案手法+[8]
				tp	FC(%)	und	k	tp	FC(%)	tp
train4	4	16	118	10	100.0%	0	5	73	100.0%	73
lion	4	12	118	10	100.0%	0	5	62	100.0%	36
dk15	4	32	392	20	99.74%	1	5	68	100.0%	66
tav	4	52	154	11	98.05%	3	5	70	100.0%	58
bbtas	6	24	172	5	97.67%	4	6	40	100.0%	40