

キャプチャ消費電力を考慮した キャプチャセーフテスト集合のテスト圧縮法

日大生産工(院) 越智小百合 日大生産工 ○山崎紘史
日大生産工 細川利典 京都産業大・コンピュータ理工 吉村正義

1. まえがき

近年、半導体微細化技術の発達に伴い、超大規模集積回路 (Very Large Scale Integrated Circuits : VLSI) の実速度スキャンテストは必要不可欠な技術となっている。スキャンテストでは、順序回路の全てのフリップフロップ (Flip-Flop:FF) がシフトとキャプチャの 2 つのモードで動作するスキャン FF に置き換えられる[1]。シフトモードでは、シフトインによるテストベクトルの印加とシフトアウトによるテスト応答の観測を行い、キャプチャモードでは、組合せ回路部のテスト応答をスキャン FF に取り込む。フルスキャン設計された回路に対するテストでは、順序回路を擬似的に組合せ回路として取り扱うことが可能となり、テスト容易性が向上する[2]。

一般的に実速度スキャンテストの消費電力は、テストコスト削減のため少数のテストベクトルで多くの故障を検出しようとするため、VLSI が機能動作する際の消費電力と比較して3倍～5倍になることが報告されている[3]。

スキャンテスト時消費電力として、スキャンチェインへのテストデータの印加を行うシフト動作時に発生するシフト時消費電力[4]と、テスト応答 FF への格納を行うキャプチャ時に発生するキャプチャ時消費電力[4]が挙げられる。シフト動作時には最大スキャンパス長分のクロックサイクル数が必要となるため、シフト時消費電力の影響は温度上昇という形で現れ、VLSI を熱破壊する可能性がある。一方、キャプチャ動作時には FF の遷移が同じタイミングで発生し、回路内の多くの信号線が遷移するため、キャプチャ時消費電力の影響は IR ドロップ[3]による回路内の遅延増加という形で現れる。増加した遅延は遅延故障として検出される可能性がある。その結果、良品を不良品として判定する誤テストを行う可能性があり、歩留り損失の原因となる。したがって、歩留り損失や回路の熱破壊を抑制するため、テスト時の消費電力を削減することが重要な課題と

なっている。

キャプチャ時消費電力の削減のための手法は、テストベクトルの変更による手法[5][6][7][8]とテスト生成による手法[9][10][11]が提案されている。テストベクトル変更による手法は、ドントケア (X) 判定による手法[5]、X 割当てによる手法[6][7][8]がある。X 判定による手法[5]は、低消費電力な X 割当てを効果的に行うために、1 つのテストキューブで検出可能な故障数を平均化する手法[5]が提案されている。また、X 割当てによる手法は、正当化や含意操作などの決定的アルゴリズムを用いてテストキューブ中の X に適切な 0 や 1 を割当てる LCP-FILL[6]や確率計算を用いてテストキューブ中の X に適切な 0 や 1 を割当てる Preferred-FILL[7]、その両方の手法を組み合わせた JP-FILL[8]などが挙げられる。これらの手法は、キャプチャ時の FF の遷移数を削減することで、キャプチャ時消費電力を削減することを目的としている。また、テスト生成による手法[9][10][11]は、従来の故障検出重視のテスト生成手法により生成されたテスト集合内の高消費電力テストベクトルでのみ検出されるアンセーフ故障[9]に対して、低消費電力テストベクトルを模倣し、高速に低消費電力なテストベクトルを合成する手法[10][11]などが挙げられる。上記で示したキャプチャ時消費電力削減のための手法を用いることにより、高消費電力テストベクトルであるキャプチャアンセーフテストベクトル数[9]やアンセーフ故障数[9]を削減することは可能だが、テストベクトル数の増加が課題となっている。

テストベクトル数の増加は、VLSI のテストコストの増加につながるため、テストベクトル数を削減することが重要である。テストベクトル数を削減するために様々なテスト圧縮法[12][13][14]が提案されている。テストベクトル数を削減する手法の 1 つとして、生成されたテスト集合に対し、X 判定、X に基づく静的圧縮、X 割当て、二重検出法[14]を繰り返し適用することで、テストベ

A Test Compaction Method Using Capture Safe Test Considering Capture Power Consumption

Sayuri OCHI, Hiroshi YAMASAKI, Toshinori HOSOKAWA and Masayoshi YOSHIMURA

クトル数を削減する手法が提案されている[13]. この手法において、セーフテスト集合に対して、X 判定や X 割当てに低消費電力指向な手法を適用したとしても、キャプチャアンセーフテストベクトルを生成し、アンセーフ故障が存在する可能性がある。

本論文では、キャプチャ時消費電力を考慮した静的テスト圧縮法を提案する。提案手法では、テスト圧縮前に圧縮後のテストベクトルの消費電力を見積もり、それを考慮して圧縮することでキャプチャアンセーフテストベクトルを生成しないで、できる限りテストベクトル数を削減することを目指す。

2. 低消費電力テスト

相補型金属酸化膜半導体 (Complementary Metal Oxide Semiconductor : CMOS) 回路の消費電力は静的なリーク電流、及びスイッチング動作に起因する動的電流により構成される。

2.1 動的消費電力の推定

CMOS 回路の動的消費電力は (1) 式のとおりである[15].

$$P_d = \frac{1}{2} \times V_{DD}^2 \times f_p \times \sum_{i=1}^G E(t_i) \times C_i \cdots (1)$$

(1) 式において、 V_{DD} は電源電圧、 f_p はクロック周波数、 G は回路中の総ゲート数、 $E(t_i)$ はあるテストベクトル t_i 当たりの予想スイッチング数、 C_i はゲート g_i の負荷容量を表す。本論文では、スイッチング動作に起因するキャプチャ時消費電力を評価する。キャプチャ時消費電力を見積もる手法として、多くの評価尺度では、FF や内部信号線における論理値の遷移数を評価している。そのため、消費電力の評価として計算式を簡略化した WSA[15]を用いる。あるテストベクトル t_i の WSA は (2) で表される。

$$WSA(t_i) = \sum_{j=1}^G tran(g_j) \times (1 + fanout(g_j)) \cdots (2)$$

(2) 式において、 $WSA(t_i)$ はテストベクトル t_i の WSA 値を表す。 G は回路中の総ゲート数を表す。 $tran(g_j)$ はゲート g_j の遷移関数であり、 g_j に遷移が発生した場合は 1、それ以外は 0 を返す。 $fanout(g_j)$ はゲート g_j のファンアウト数を示す。

2.2 キャプチャアンセーフテストベクトルとアンセーフ故障

2.1 節で説明したように、多数のスイッチング動作は過度な消費電力を発生させる。キャプチャ

時の過度な消費電力は過度な IR ドロップを発生させる。過度な IR ドロップは遅延を増加させ、増加した遅延が遅延故障として検知され可能性がある。その結果、良品を不良品として判定する誤テストを行う可能性がある。そのため、閾値を超えた高キャプチャ時消費電力なテストベクトルは、テストに使用することができない。このようなテストベクトルをキャプチャアンセーフテストベクトル[9]と呼ぶ。一方、テストに使用できるテストベクトルのことをキャプチャセーフテストベクトル[9]と呼ぶ。その集合をセーフテスト集合と呼ぶ。また、キャプチャアンセーフテストベクトルはテストに使用できないため、キャプチャアンセーフテストベクトルでのみ検出可能なアンセーフ故障[9]は、テストされなくなる。

3. ドントケアを用いたキャプチャセーフテスト集合の静的テスト圧縮法

本章では、提案手法であるドントケアを用いたキャプチャセーフテスト集合の静的テスト圧縮法について説明する。従来手法[13]では、テストキューブ同士の圧縮時に低消費電力であることを考慮していなかったため、最終的にキャプチャアンセーフテストベクトルを生成する可能性があった。提案手法では、テストキューブ同士の圧縮時に低消費電力であることを考慮することで、キャプチャアンセーフテストベクトルが一切ないテスト集合を生成する。

3.1 前提定義

(定義 1 : テストキューブ圧縮可能性グラフ)

テストキューブの圧縮可能性グラフは、頂点 $v \in V$ がテストキューブを表し、任意の頂点 u および $v \in V (u \neq v)$ に対するエッジ $(u, v) \in E$ は、 u と v は圧縮可能であり、生成されたテストベクトルが、テスト圧縮と低消費電力指向 X 割当て適用後のキャプチャセーフベクトルであることを表す無向グラフ $G(V, E)$ である。

(定義 2 : クリークテスト行列)

クリークテスト行列は、テストキューブ圧縮可能性グラフの各クリークがカバーする頂点を示す。クリークテスト行列の行と列はそれぞれクリークと頂点を示す。 c_i と t_j の行列の値 ($\in \{0, 1\}$) は、 $1 \leq i \leq m$ (m はクリークの数)、 $1 \leq j \leq n$ (n は頂点の数) としたとき、 $CTM(c_i, t_j)$ で表される。 c_i が t_j を被覆するとき、 $CTM(c_i, t_j) = 1$ である。そうでなければ、 $CTM(c_i, t_j) = 0$ である。

3.2 問題定式化

“ドントケアを用いたキャプチャセーフテスト集合の静的テスト圧縮法”による問題定式化を示す。

(問題定式化)

入力：フルスキャン設計回路，初期キャプチャセーフテスト集合，WSA 閾値

出力：最終的なキャプチャセーフテスト集合

制約：最終的なキャプチャセーフテスト集合中のテストベクトルは WSA 閾値未満のもの

最適化：最終的なキャプチャセーフテスト集合中のテストベクトル数の最小化

3.3 提案手法の全体アルゴリズム

提案手法では，キャプチャセーフテスト集合に対して，低消費電力を考慮した X に基づくテスト圧縮を行うことで，キャプチャアンセーフテストベクトルを生成しないテスト集合の生成を実現する。図 1 は，提案手法の全体アルゴリズムである。提案手法では，入力として回路 C ，初期キャプチャセーフテスト集合 T_{safe} ，WSA 閾値 W_{th} を与える。出力は，最終的なキャプチャセーフテスト集合 T_{fin_safe} である。はじめに， T_{safe} に対して X 判定[5]を適用し，2 値のテスト集合から 3 値のテスト集合 T_x を生成する (行 4)。次に， T_x をもとに圧縮可能性グラフ G を生成する (行 5)。このステップでは，2 つのテストキューブが圧縮可能な場合，2 つのテストキューブは圧縮され，圧縮されたテストキューブが生成される。その後，低消費電力指向 X 割当てである P-Fill[7]を圧縮されたテストキューブに適用し，圧縮されたテストベクトルが生成される。圧縮されたテストベクトルが W_{th} を超える場合，2 つのテストキューブに対応する頂点間のエッジは存在しない。そうでなければ，エッジが存在する。次に， G 中の全て

1. Input: Circuit C , initial capture-safe test set T_{safe} , and Threshold value of WSA W_{th}
2. Output: Final capture-safe test set T_{fin_safe}
3. static_test_compaction_Xbit_low_power(C, T_{safe}, W_{th}) {
4. $T_x = X_identification_lp(C, T_{safe});$
5. $G = compatibility_graph_generation(C, T_x, W_{th});$
6. $CTM = clique_enumeration(G, C, T_x, W_{th});$
7. $T_{comp_safe} = minimum_clique_cover(CTM, T_{safe});$
8. $T_{fin_safe} = double_detection(C, T_{comp_safe});$
9. return(T_{fin_safe});
10. }

図 1. 全体アルゴリズム

のクリークが列挙され，クリークテスト行列 CTM が生成される (行 6)。このステップでは，クリークに対応するテストキューブが圧縮され，圧縮されたテストキューブが生成される。P-Fill が圧縮されたテストキューブに適用され，圧縮されたテストベクトルが生成される。圧縮されたテストベクトルが W_{th} を超えると，クリークは削除される。 CTM に関しては，最小クリーク被覆問題 [16] が解かれ，圧縮されたテスト集合 T_{comp_safe} が生成される (行 7)。最後に， T_{comp_safe} に二重検出法 [14] が適用され，冗長なテストベクトルが T_{comp_safe} から削除され，最終的なキャプチャセーフテスト集合 T_{fin_safe} が生成される (行 8)。行 8 で生成した T_{fin_safe} が返される (行 9)。

4. 実験結果

提案手法は C 言語で実装し，ISCAS'89 ベンチマーク回路の一部 (キャプチャセーフテスト集合のみで遷移故障検出効率 100% を達成できた回路) を対象として実験を行った。本稿では，これらの初期テスト集合は，私たちの SAT ベースの遷移故障用テスト生成ツールと [11] で提案された低キャプチャ時消費電力テスト生成手法によって生成された。結果として，生成された初期テスト集合はキャプチャセーフであった。閾値は，[11] と同じものを使用した。[11] では，SAT ベースのテスト生成ツールが，キャプチャ時電力を考慮せずに初期テスト集合を生成する。[11] において，キャプチャアンセーフテストベクトルを判定するために使用される閾値は，私たちの SAT ベースのテスト生成ツールによって生成された初期テスト集合内の最大 WSA 値の 70% に設定した。

表 1 は，初期テスト集合の特性を示す。この表において，“Circuit”，“#init_tv”，“#det”，“WSA_th” はそれぞれ，回路の名称，初期テスト集合内のテストベクトル数，検出故障数，WSA の閾値を示す。初期テスト集合内の全てのテストベクトルは，キャプチャセーフテストベクトルであった。

本論文の目的である圧縮後のテストベクトル数は，初期テスト集合と比較して最大 40.8%，平均 25.6% 削減することができた。

表 2 は，提案手法の実験結果を示す。この表において，“Circuit”，“#init_vec”，“Conventional”，“Proposed”，“#mrg_tv”，“#dd_tv”，“#unsf_tv”，“#unsf_flt” は，それぞれ回路名，[13] で提案された静的テスト圧縮法の実験結果，提案された低消費電力を考慮した X ビットにもとづく圧縮されたテストベクトル数，二重検出法 [14] 後の最終テ

表 2. 初期テスト集合の特性

Circuit	#init_tv	#det	WSA_th
s5378	228	4315	1112
s15850	500	12386	2253
s35932	105	44076	8741
s38584	1857	43834	4500

表 1. 実験結果

Circuit	#init_vec	Conventional				Proposed		RR(%)
		#mrg_tv	#dd_tv	#unsf_tv	#unsfflt	#mrg_tv	#dd_tv	
s5378	228	204	201	0	0	204	202	11.4
s15850	500	282	281	14	138	296	296	40.8
s35932	105	77	77	3	339	79	79	24.7
s38584	1857	527	527	46	934	NA	NA	NA

ストベクトル数, キャプチャアンセーフテストベクトル数, アンセーフ故障数を示す. “RR” は, 式(3)に示される初期テストベクトル数に対する最終テストベクトル数の減少比を示す.

$$RR = \frac{\#initial_{tv} - \#dd_{tv}}{\#initial_{tv}} \times 100 \cdots (3)$$

提案手法では, テストベクトル数を減らすことができる平均して 25.6%, 最大では 40.8% 減少する可能性があります. 我々の提案した方法は, 従来の方法と比較して平均して 2.8% のテストベクトル数を増加させた. しかし, 従来手法を適用した結果, 1% のアンセーフ故障が平均して発生する. s38584 の “NA” は, 実験が進行中であることを示します.

5. むすび

本論文では, キャプチャ時消費電力を考慮したドントケアを用いたキャプチャセーフテスト集合に対する静的テスト圧縮法を提案した. 評価実験では, 実験結果が出ている回路において, 初期テスト集合と比較して最大 40.8%, 平均 25.6% 削減することができた. 提案手法は, 従来の手法 [23] に比べ, 平均で 2.8% のテストベクトル数を増加させたが, 提案手法ではアンセーフ故障が発生しなかった.

今後の課題として, アルゴリズムの高速化と提案手法の大規模回路への適用が挙げられる.

参考文献

1) H. Fujiwara, "Logic Testing and Design for Testability, " The MIT Press, pp298, 1985.

2) J.Savir and S.Patil, "Scan-based transition test," IEEE Trans. Comput. Aided Design Int. Circuit & Syst., vol.13, no.8, pp.1057-1064, 1994.

3) J.Saxena, K.M.Butler, V.B.Jayaram, S.Kundu, N.V.Arvind, P. Sreepakash and M. Hachinger, "A case study of IR-drop in structured at-speed testing," Proc. ITC, pp.1098-1104, 2003.

4) A.Krstic, and K.T.Cheng, "Delay Fault Testing for VLSI Circuits," Kluwer Academic Publishers, 1998.

5) K.Miyase, K.Noda, H.Ito, K.Hatayama, T.Aikyo, Y.Yamato, H.Furukawa, X.Wen, and S.Kajihara, "Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-Identification," IEEE/ACM International Conference on Computer-Aided Design, pp.52-58, 2008.

6) X.Wen, Y.yamashita, S.kajihara, L.-T.Wang, K. K.SALUJA, K.Kinoshita "A New Method for Low-Capture-Power Test Generation for Scan Testing", IEICE Trans. Inf. & Syst., vol.E89-D, No.5, 2006, pp1679-1686.

7) S.Remersaro, X.Lin, Z.Zhang, S.M.Reddy, I.Pomeranz and J.Rajski, "Preferred Fill: A Scalable Method to Reduce Capture Power for Scan Based Designs," Proc. ITC, paper 32.2, 2006.

8) X.Wen, K.Miyase, S.Kajihara, T.Suzuki, Y.Yamato, P.Girard, Y.Ohsumi and L.-T.Wang, "A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing," Proc. ITC, paper 25.1, 2007.

9) X.Wen, K.Miyase, S.Kajihara, H.Furukawa, Y.Yamato, A.Takashima, K.Noda, H.Ito, K.Hatayama, T.Aikyo and K.K.Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," Proc. ETS, pp. 55-60, 2008.

10) T.Hosokawa, A.Hirai, Y.Yamauchi, M.Arai, "A Low Capture Power Test Generation Method Based on Capture Safe Test Vector Manipulation," IEICE Trans. Inf. & Syst., vol.E100-D, No.9, p.p.2118-2125, set., 2017

11) 細川利典, 平井敦士, 山崎紘史, 新井雅之, “キャプチャセーフベクトルを利用した低消費電力指向テスト生成における動的テスト圧縮法”, 信学技法, vol.116, no.466, pp.1-6, 2017.

12) P.Goel, and B.C.Rosales, "Test Generation and Dynamic Compaction of Tests," Digest of Papers 1979 Test Conf., pp.189-192, Oct.1995

13) K.Miyase, S.Kajihara, S.M.Reddy Electronic Design, "A Method Of Static Test Compaction Based on Don't Care Identification," IPSJ Journal vol.43 No.5, pp.1290-1293, May, 2002.

14) S.Kajihara, I.Pomeranz, K.Kinoshita and S.M.Reddy, "Cost-Effective Generation of Minimal Test Sets for Stuck-at Faults in Combinational Logic Circuits," IEEE Trans. on CAD, pp.1496-1504, Dec.1995.

15) S-J.Wang, K-L.Fu, K.S-M.Li, "Low Peak Power ATPG for n-Detection Test", IEEE Trans., pp.1993-1996, 2009.

16) 笹尾勤, 論理設計-スイッチング回路理論, 近氏科学社, 1995