

低消費電力指向静的テスト圧縮法

日大生産工(学部) ○越智小百合 日大生産工 山崎紘史
日大生産工 細川利典 京都産業大・コンピュータ理工 吉村正義

1 まえがき

近年、半導体の微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated circuits : VLSI) の回路規模が増大し、その結果テスト設計の工数が増大している。しかしながら、VLSI の通常動作時と実速度スキャンテスト時の消費電力の差の増大が問題となっている [1]。テスト時の消費電力が増大すると、回路の熱破壊や、過度の IR ドロップにより正常な製品を不良品として判断する誤テストという問題を引き起こす [1] [2]。よって、実速度スキャンテスト時に与えられるテストパターンは、低消費電力であることが要求される。しかしながら、低消費電力指向のテスト生成 [3] は一般に、テスト生成時間やテストパターン数が増大する。

フルスキャン設計において、テストコストは式 (1) のテスト長 (TL) とテスト動作のクロック周期との積で求められるとされている。ただし、フルスキャン設計回路のスキャンフリップフロップ (flip-flop: FF) の出力を外部入力、スキャン FF の通常データ入力を外部出力に置き換えた組合せ回路の故障を検出するためのテストパターン数を CT とし、フリップフロップ部分を擬似外部入力・擬似外部出力として生成されたテストパターン数と各スキャンパスを構成しているスキャン FF 数の最大値を MSP とする。

$$TL = (CT + 1) \times MSP + CT \quad (1)$$

式 (1) によれば、テストパターン数の増加に伴いフルスキャン設計回路のテストコストが増加することがわかる。よって、低消費電力指向テスト生成においてもテストパターン数を削減する必要がある。

テストパターン数削減への解決法として、テスト圧縮法 [4] が挙げられる。テスト圧縮法はテスト生成時にテストパターン数削減を考慮する動的圧縮 [4] [5] と、テスト生成後にテストパターン数を削減する静的圧縮 [4] [5] [6] が提案されている。

そのため、実速度スキャンテストにおいて、低消費電力かつ少ないテストパターン数であるテスト集合が求められる。本論文では、テスト時低消費電力を考慮した静的圧縮法を提案することで、低消費電力かつ低コストなテスト集合を生成する。本論文では、その前段階として、遷移故障を対象としたテスト生成によって生成されたテスト集合に対しテスト圧縮をおこなった際に、高消費電力をもたらすアンセーフパターン [7] になる組み合わせを避けて圧縮するテスト集合の生成を提案する。

2 キャプチャ時消費電力を考慮したドントケア割当て

本章では、既存手法であるキャプチャ時消費電力を考慮したテスト圧縮後に X 割当てを行う手法について説明する。

2.1. 既存手法の全体アルゴリズム

はじめに、既存手法の入出力について定義する。既存手法では、テスト生成とドントケア判定 [8] によって生成された 0, 1, X の 3 値を含むテスト集合 T を入力とする。ちなみに、X とは 0 または 1 のどちらの値でも良い値のことを示す。また、テスト集合 T に含まれるテストパターン t_i とする。また、テスト圧縮後のテスト集合 TC 中に含まれ

A Low Power Oriented Static Test Compaction Method

Sayuri OCHI, Hiroshi YAMASAKI, Toshinori HOSOKAWA and Masayoshi YOSHIMURA

るテストパターンを tc_j とする。本論文では、圧縮の手法として静的圧縮法の Dsatur アルゴリズム [6] を用いる。さらに、本論文において、ある閾値以上の電力を消費するテストパターンをアンセーフパターンとし、低消費電力なテストパターンをセーフパターンとする。

図 1 に既存手法の処理手順を示す。

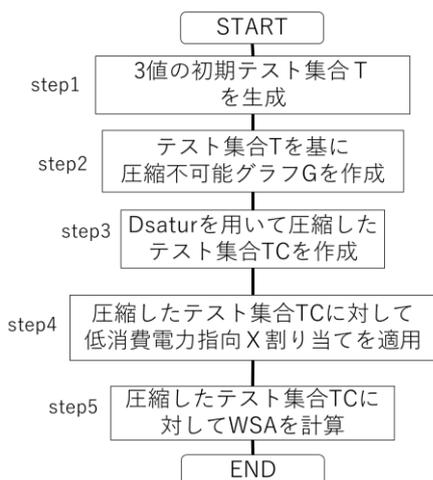


図 1. 既存手法の処理手順

下記に、図 1 の各ステップについて説明する。
(step1) 0, 1, X で構成されたテスト集合 T を生成する。

(step2) テスト集合 T を基に圧縮不可能グラフ G を生成する。

(step3) Dsatur アルゴリズムによってテスト集合 T を圧縮し、新たに圧縮されたテスト集合 TC を作成する。

(step4) step3 で生成されたテスト集合中の X に対して、低消費電力指向 X 割り当てである JP-Fi11 [9] を圧縮されたテスト集合 TC に適用する。

(step5) step4 の処理が終わったテスト集合 TC に対して WSA を計算する。

3 キャプチャ時消費電力を考慮したテスト圧縮

2 章より、Dsatur アルゴリズムを用いて圧縮のみを適用した場合、表 1 のように WSA 閾値 20% を指定するとアンセーフパターンが多く生成し

てしまう。そこで、第 3 章では、テスト集合内で、2 つのテストパターンを圧縮したアンセーフパターンを生成する組合せに対して、圧縮不可能とし、圧縮後のテスト集合 TC にアンセーフパターンが既存手法より少なく生成される手法を提案する。

表 1 既存手法を用いた時のアンセーフパターン数の結果

回路名	圧縮後の総テストパターン数	アンセーフパターン数 (閾値20%)
s5378	151	13
s9234	308	96
s13207	281	13
s15850	185	6
s35932	47	26
s38417	222	151
s38584	387	5

3.1. 提案手法のアルゴリズム

図 2 に予備実験の処理手順を示す。

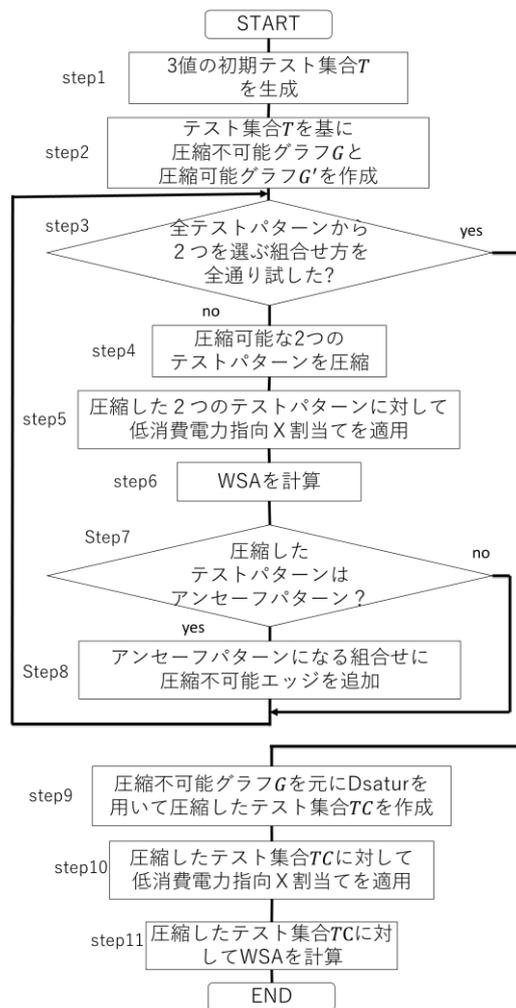


図 2. 提案手法の処理手順

下記に、図 2 の各ステップについて説明する。

(step1) 遷移故障を対象としたテスト生成 0, 1, X で構成されたテスト集合 T を生成する。

(step2) テスト集合 T を基に圧縮不可能グラフ G を作成する。

(step3) 全テストパターンから 2 個のテストパターンを選択する処理によって組合せを全通り試したかを判断し、試した場合は step9 へ進み、全通り試していない場合は step4 へ進む。

(step4) step3 で選択した 2 個のテストパターンを圧縮する。

(step5) step4 で圧縮したテストパターンに対して、低消費電力指向 X 割当てである JP-Fi11 を適用する。

(step6) step5 の処理を施したテストパターンに対して WSA を計算する。

(step7) WSA に閾値を与え、step5 の処理をしたテストパターンの WSA が閾値以上である場合、アンセーフパターンとみなし step8 へ進む。閾値未満の場合、step3 へ進む。

(step8) 圧縮不可能グラフ G に、エッジを追加し、step3 へ進む。

(step9) step3 から step8 による処理によって更新された圧縮不可能グラフ G を基に、Dsaturn を用いて圧縮したテスト集合 TC を作成する。

(step10) 圧縮したテスト集合 TC に対して、低消費電力指向 X 割当てである JP-Fi11 を適用する。

(step11) step10 の処理を終えた圧縮したテスト集合 TC に対して、WSA を計算する。

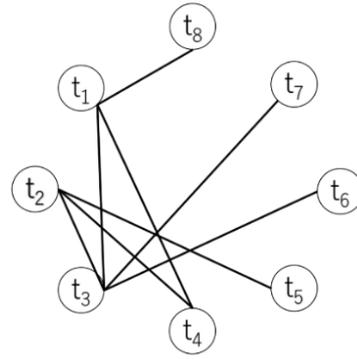


図 3 圧縮不可能グラフ G

表 3. テストパターン t_1, t_2

テストパターン	$(p_1, p_2, p_3, p_4, p_5, p_6)$
t_1	$(0, 0, X, X, X, 0)$
t_2	$(0, 0, 0, X, 1, X)$

表 4. テストパターン t_1, t_2 を圧縮したテストパターン tc_1

圧縮したテストパターン	$(p_1, p_2, p_3, p_4, p_5, p_6)$
tc_1	$(0, 0, 0, X, 1, 0)$

表 5. 低消費電力思考 X 割当て (JP-Fi11) を適用した圧縮後のテストパターン tc_1

圧縮したテストパターン	$(p_1, p_2, p_3, p_4, p_5, p_6)$
tc_1	$(0, 0, 0, 1, 1, 0)$

図 3 と図 4, 表 2 から表 6 に図 2 の (step1) から (step8) までの例を示す。

表 2 初期テスト集合 T

テスト集合 T	$(p_1, p_2, p_3, p_4, p_5, p_6)$
t_1	$(0, 0, X, X, X, 0)$
t_2	$(0, 0, 0, X, 1, X)$
t_3	$(1, X, X, X, X, X)$
t_4	$(X, 1, X, 1, X, X)$
t_5	$(0, X, 1, X, 1, X)$
t_6	$(0, X, X, 1, 1, X)$
t_7	$(0, X, X, X, 1, X)$
t_8	(X, X, X, X, X, X)

表 6. テストパターン tc_1 に対する WSA 計算

WSA 閾値 : 400

圧縮したテストパターン	$(p_1, p_2, p_3, p_4, p_5, p_6)$	WSA
tc_1	$(0, 0, 0, 1, 1, 0)$	500

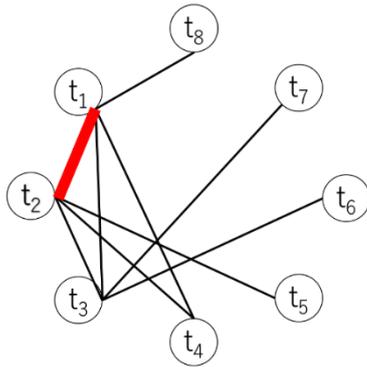


図4 更新後の圧縮不可能グラフ

表2の場合、初期テスト集合には、テストパターン t_1 から t_8 までが存在し、各テストパターン中に0, 1, Xが含まれているものとする。このテスト集合Tに対して図3のよう圧縮不可能グラフGを作成する。このうち、図3より、圧縮可能なテストパターン t_1, t_2 (表3)に着目する。表4のように、この2個のテストパターンを圧縮する。この段階で、テストパターン tc_1 中にXが残っているため、表5のように低消費電力指向X割当て(JP-Fill)を適用する。次に、テストパターン tc_1 に対してWSAを計算する。表6の場合、テストパターン tc_1 は設定した閾値以上のWSA値を持つのでアンセーフパターンとなる。2個のテストパターンを圧縮したことで、アンセーフパターンとなる場合、2個のテストパターンは圧縮不可能と判断し、図4のように t_1 と t_2 間にエッジが追加される。アンセーフパターンではないパターンに対しては処理を行わない。

4 まとめ

本論文では、キャプチャ時の低消費電力指向テスト圧縮法を提案した。今後の課題として、提案手法のプログラムを完成及び、ISCAS'ベンチマーク回路を用いた実験等が挙げられる。

「参考文献」

[1] T. Yoshida, and M. Watati, "A New Approach for Low Power Scan Testing," Proc. International Test Conference ,

pp. 480-487, 2003.

[2] J. Song, H. Yi, D. Hwang, and S. Park "A Compression Improvement Technique for Low-Power Scan Test Data" IEEE Region 10 Conference TENCON, pp.1-4, 2006.

[3] X. Wen, Y. Yamashita, S. Kajihara, L-T. Wang, K. K. Saluja, and K. Kinoshita, "On Low-Capture-Power Test Generation for Scan Testing," Proc. VLSI Test Symposium, pp. 265-270, 2005.

[4] S. Kajihara, I. Pomerantz, K. Kinoshita, and S. M. Reddy, "Cost-Effective Generation of Minimal Test Sets for Stuck-at Faults in Combinational Circuits," IEEE Transaction On Computer-Aided Design Of Integrated Circuits And System , Vol. 14, No. 12, pp1496-1504, Dec 1995.

[5] P. Goel and B. C. Rosales, "Test Generation and Dynamic Compaction of Tests," Digest of papers 1979 Test Conf., pp189-192, 1979.

[6] D. Brelaz, "New Methods to Color the Vertices of a Graph," Communications of the ACM, vol. 22, pp. 251-256, 1979

[7] X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo and K. K. Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," Proc. ETS, pp. 55-60, 2008.

[8] K. Miyase, and S. Kajihara, "XID: Don't Care Identification of Test Patterns for Combinational Circuits," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol. 23, No. 2, pp. 321-326, 2004.

[9] X. Wen, K. Miyase, S. Kajihara, T. Suzuki, Y. Yamato, P. Girard, Y. Ohsumi, and L. -T. Wang, "A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing," Proc. of ITC, 2007, Paper 25.1.