

MET と MEU を考慮した

順序回路高信頼設計手法に関する一検討

日大生産工(学部) ○藤山 了
日大生産工 新井 雅之

1. まえがき

LSIの信頼性を損なう要因の一つにソフトウェアエラーがある。ソフトウェアエラーとは、粒子線がLSIに衝突することで生じる一過性のエラーである。近年、論理回路の微細化により、複数の粒子線が組み合わせ回路の近傍に衝突し一過性のパルスが生じるMET (Multiple Event Transient)や、フリップフロップやSRAMに衝突することで記憶値を直接反転させるMEU (Multiple Event Upset)が問題となっている[1-3]。

本研究では、METやMEUが発生する事態を想定し、レジスタを並列2重化した順序回路高信頼設計手法について検討する。METに向けた先行研究[3]ではレジスタが直列に接続されていたのに対し、これを並列化することにより無故障時の時間オーバーヘッドを軽減する。また、耐MEUとしてBISER (Built-In Soft Error Resilience)技術[1]を実装する。

2. 先行研究

2-1. 同時多重に発生する過渡故障を前提にレジスタを2重化した順序回路

文献[3]ではMETを対象故障とし、レジスタを二重化した順序回路が提案されている。文献[3]の回路構成を図1に示す。図1の回路では、異なる位相のクロック信号で記憶素子を制御し、 $R_0 \Rightarrow EF_0 \Rightarrow R_1 \Rightarrow EF_1$ の順番でトリガ・更新している。比較器はそれぞれのレジスタの入出力を比較し、結果を1ビットで出力すると同時に、誤ったレジスタの検出を行う。エラーフラグは誤ったレジスタの特定に使用し、レジスタの更新後に比較器の出力を取り込みレジスタの更新状態を1ビットの情報として保持する。この結果を基に、制御回路でレジスタの更新を制御し、イネーブル信号を生成することで誤りが伝搬しないようにすることが可能である。し

かし、この回路構成では正常動作時、一遷移に対してクロックサイクルが4クロックかかってしまうという問題点がある。

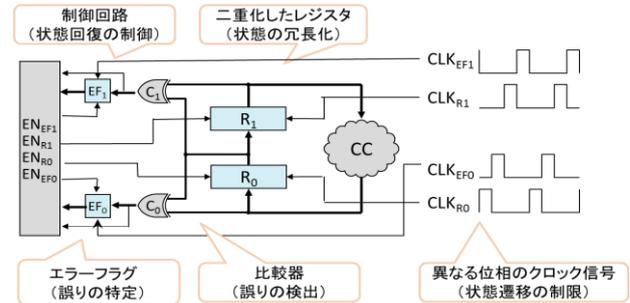


図1. レジスタ2重化回路の構成

2-2. BISER型フリップフロップ

MEUを対象故障としたBISER型フリップフロップ[1]を図2に示す。BISER型フリップフロップは、ラッチでのSEUによる誤動作をC-elementとweak keeperによって防ぐことができる。また、ラッチとC-element+weak keeperを可能な限り離して配置しており、面積のオーバーヘッドを生じさせずにソフトウェア耐性を高めている。

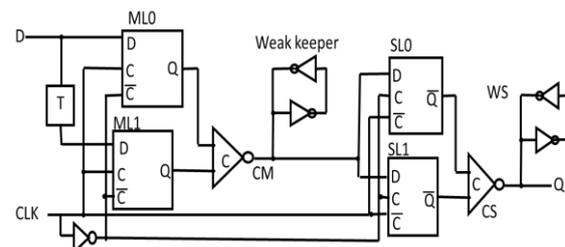


図2. BISER型フリップフロップ

3. 提案手法

以下に提案する回路の構成と、動作の概要について記す。

3-1. 提案する回路の構成

図3に提案する回路の構成を示す。異なる位相のクロック信号でレジスタを制御し、 $R_0 \Rightarrow$

R₁の順番でトリガ・更新している。そのため、回路のクロックの立ち上がりから次のクロックの立ち上がりまでの時間は通常のプロセッサコアと同一である。比較器はそれぞれのレジスタの入力と出力を比較し、結果を1ビットで出力すると同時に、誤ったレジスタの検出・特定を行う。

この比較結果を基に、制御回路でレジスタの更新を制御し、イネーブル信号を生成することで誤りが伝搬しないようにすることが可能である。また、MEU耐性を持たせるため、レジスタR₀およびR₁をBISERレジスタとして実装する。

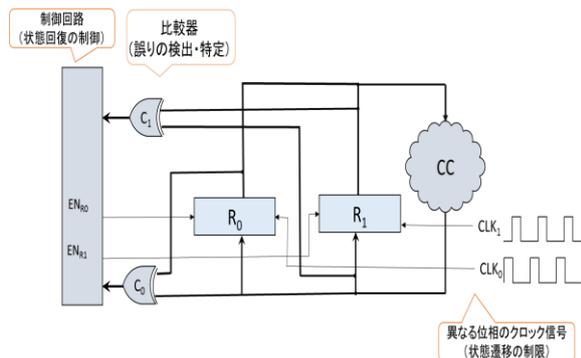


図3. 提案する回路の構成

3-2. レジスタに誤りが発生した際の動作

図4に、レジスタに誤りが発生した際の動作を示す。ここではR₀の値が誤ったと仮定する。この場合、比較器によってR₀の誤りを検出し、状態回復するまでR₀のイネーブル信号が1となる。次のクロックではR₁の状態を保持し、その次のクロックでR₁に正常値を上書き、正常状態に回復する。

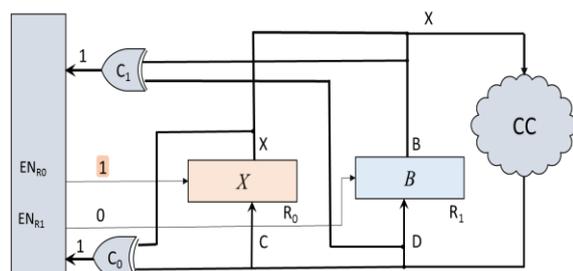


図4. レジスタに誤り発生時の動作

4. 提案手法の評価

提案手法の有効性をシミュレーションにより評価する。図5に提案手法の評価用回路を示した。メモリからの命令でALUは演算を行い、ACCは演算結果を累積する。提案する順序回路はレジスタを2重化しているため、図4中ACCは2重となっている。ACCの累積した演算結果はALUに入力され、ALUは再び演算を行

う。その後、次のクロックの立ち上がり同期してACCの値が更新される。

現在は、ハードウェア記述言語VHDLを用いて順序回路を実装中であり、その後に論理シミュレーションを行い回路の評価をする予定である。

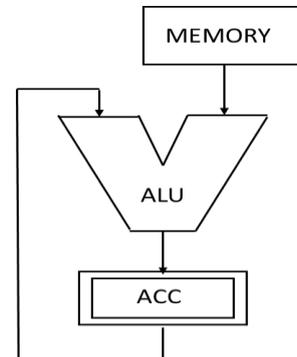


図5. 提案手法の評価用回路

5. まとめ

METとMEUを考慮した順序回路高信頼設計手法に関する一検討として、同時多重に発生する過渡故障を前提にレジスタを2重化した順序回路の時間オーバーヘッドを改善する手法を提案した。提案手法での、誤りが起きていない場合の回路のクロックの立ち上がりから次のクロックの立ち上がりまでの時間は、通常のプロセッサコアと同一である。これからは提案した手法を実際にシミュレーションし、通常のプロセッサコアと信頼度等を比較・評価する予定である。

参考文献

- [1]山本亮輔, 濱中力, 古田潤, 小林和淑, 小野寺秀俊, “MCUに強靱な耐ソフトウェアフリップフロップ,” 電子情報通信学会ICD研究会技術研究報告, No. 111, pp.131-136, 2011年12月.
- [2]戸坂義春, “LSI信頼性向上のための宇宙中性子ソフトウェア解析シミュレータ,” 雑誌FUJITSU, Vol.51, No. 5, pp. 303-307, 2000年9月.
- [3]丸本耕平, 新井雅之, 福本聡, 岩崎一彦, “同時多重に発生する過渡故障を前提にレジスタを二重化した順序回路,” 電子情報通信学会総合大会, No. D-10-20, 2009年3月.