

アンバイポーラ素子の Sea-of-Tiles レイアウトにおける 予備タイルを用いた耐故障設計

日大生産工(院) ○高橋 暖 日大生産工 新井 雅之

1 まえがき

CMOS 集積回路の縮小化の鍵である MOSFET の微細化において, MOSFET をワイヤ構造にし, ゲート電極を追加してアンバイポーラとすることによる, 回路設計の効率化に関する研究が行われている[1][2]. また, IC の歩留まり向上のための技術として, Sea-of-Tiles と呼ばれる, 小規模な基本ゲートをチップ上に敷き詰めた規則的なレイアウトに基づく回路設計の研究も行われている[3]. しかし, これまで Sea-of-Tiles を使用する際の冗長化については, あまり検討されていない. 本研究ではアンバイポーラ素子の Sea-of-Tiles レイアウトに予備タイルを追加し, 入力信号を取り出すことによって故障したタイルを再構成する耐故障設計について検討を行う. また, 同一論理ゲートのタイルを並列に配置し, 使用するマルチプレクサ (MUX) を削減する方法を提案し, トランジスタ数の評価を行う.

2 アンバイポーラ素子の Sea-of-Tiles 構造

アンバイポーラ素子は MOSFET のゲート電極 (CG) を従来の一つではなく二つ持ち, 新たに用意したゲート電極 (PG) に電圧を印加することによって n 型, p 型を切り替えて使用することが出来る[1][2][3].

Sea-of-Tiles は, アンバイポーラ素子を用いたいくつかのトランジスタから構成されたタイルを規則的に敷き詰めたものである. 図1に, 本研究で用いるタイルの内部構成および Sea-of-Tiles を示す.

タイルは2個のトランジスタグループから構成される. G1, G2 は CG となるゲート電極であり, g1, g2 は PG となるゲート電極である. n1~n10 はソース・ドレインまたは入出力端子となっている. これらの端子に対して信号線を接続する

パターンによって, 様々な論理ゲートを構成することが可能である[3].

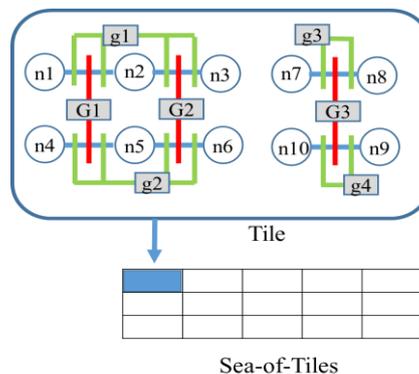


図1 タイルおよびSea-of-Tiles

3 Sea-of-Tiles の冗長化

3-1 冗長化手法の概要

Sea-of-Tiles の冗長化手法について検討する. 任意の個数の並列なタイルの最終段に予備タイルを追加する. タイルに入力される信号線を取り出し, 取り出した入力と隣のタイルの通常入力をマルチプレクサに接続している. これにより, 並列なタイルの内, 一つが故障したとしても, Sea-of-Tiles 上の論理ゲート構成が右に一つずつずれることにより故障をマスクすることが可能となる. 図2に Sea-of-Tiles の冗長化構成を示す.

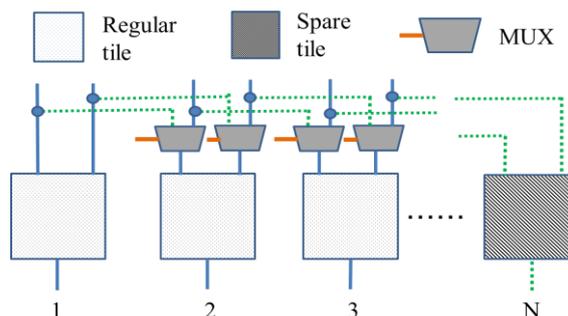


図2 Sea-of-Tiles の冗長化構成

Fault-Tolerant Design Applying Spare Tiles for Ambipolar-Device-Based Sea-of-Tiles Layout

Dan Takahashi and Masayuki Arai

ここでのマルチプレクサはトランスミッションゲートで実現しており、4トランジスタで構成されている。また、マルチプレクサの故障判定信号の生成方法については考慮していない。

3-2 単純な冗長化

単純な冗長化ではタイル配置を考慮せず、すべての端子、電極ゲートの入力を取り出した後、取り出した入力と通常入力をマルチプレクサに接続するものである。単純な冗長化を行った際のタイル内部の配線の一例を図3に示す。図3ではXORゲートとNANDゲートを構成するタイルが隣接している。またXOR、NANDゲートは、ともに右側のトランジスタグループを使用しないため省略されている。図3では描かれていない部分があるが、この手法では1タイルにつき17個のマルチプレクサが必要となる。

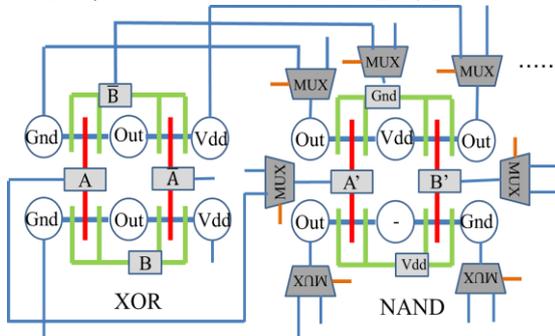


図3 単純な冗長化を行った際のタイル内部の配線

3-3 タイル配置を考慮した冗長化

タイル配置の考慮とは、回路設計の段階でSea-of-Tiles上に同一な論理ゲートを構成するタイルが、並列な配置になるよう設計することである。タイル配置を考慮した冗長化のタイル内部の配線例を図4に示す。

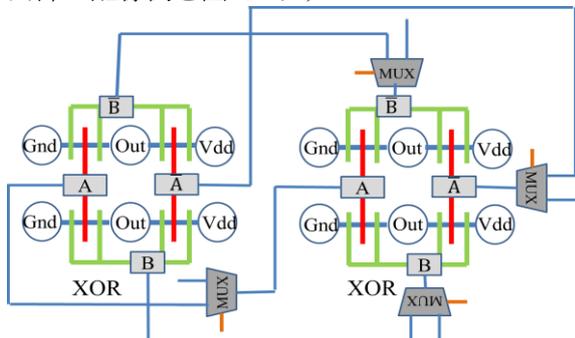


図4 同一論理ゲートが並列に配置されたSea-of-Tiles

図4のように同一な論理ゲートが並列な構成のSea-of-Tilesでは冗長化する信号線が論理ゲートへの入力だけとなるため、マルチプレクサの

使用を4個に抑えることが可能となる。単純な冗長化 (Simple-MUX) と、同一な論理ゲートを並列にしたSea-of-Tiles (Spare-grouping) を用いて8bit全加算器を冗長化した際の増加するトランジスタ数を比較した。図5に比較結果を示す。図5における全加算器はXORゲートを用いた半加算器2個とORゲートから構成されている。Simple-MUXでは、各端子、電極ゲートごとにマルチプレクサを接続することになるため使用トランジスタの増加が著しい。Spare-groupingではSimple-MUXと比較して、38%のトランジスタが削減された。

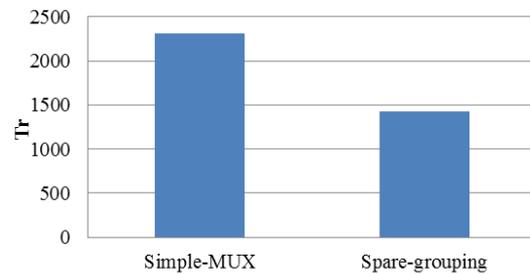


図5 8bit全加算器での比較

4 まとめ

本稿ではSea-of-Tilesの冗長化手法について提案した。同一な論理ゲートを構成するタイルを並列にして配置するSea-of-Tilesでは、通常のものと比較し有用性が確認された。今後の課題として、より効率の良いタイル配置、提案手法を適応したSea-of-Tilesの信号遅延への対策、タイルの故障率を考慮した予備タイルの最適個数などを検討していく予定である。

参考文献

- [1] M. Haykel Ben-Jamaa, K. Mohanram, G. De Michel, "An Efficient Gate Library for Ambipolar CNTFET Logic," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 30, No. 2, pp. 242-255, 2011.
- [2] 岩井洋, 角嶋邦之, "シリコンナノワイヤFET技術," 電子情報通信学会誌, Vol.95, No. 4, pp. 278-283, 2012年.
- [3] S. Bobba, M. De Marchi, Y. Leblebici, G. De Micheli, "Physical Synthesis onto a Sea-of-Tiles with Double-Gate Silicon Nanowire Transistors," Proceedings of the 49th Annual Design Automation Conference, pp. 42-47, 2012.