

抵抗性オープン故障のテスト生成戦略

日大生産工(院) ○錦織 誠 日大生産工 山崎 紘史 日大生産工 細川 利典
京産大 吉村 正義 日大生産工 新井 雅之

1 まえがき

従来, 大規模集積回路(Large Scale Integrated circuit: LSI)のテストには縮退故障モデルや遷移故障モデルが広く用いられている. これらの故障モデルは取り扱いが容易でかつ, 多くの欠陥が縮退故障用のテストや遷移故障用のテストで検出できることなどが利点として挙げられる.

一般的に組合せ回路のテスト生成にはDアルゴリズム, PODEM[1], FAN[2], SOCRATES[3]などの経路活性化を用いてきた. しかしながら, 近年の半導体技術の急速な進歩に伴い, 回路の大規模化, 複雑化による故障モデルの複雑化やテスト生成時間の増大という問題も起きている. これを解決する手法の一つとして, SAT (Satisfiability problem)を用いたテスト生成手法が存在する. これは, 論理回路を乗法標準形 (Conjunctive Normal Form: CNF) の式に変更し, CNF式全体を真 (1) にできる割当てが存在するか否か, という問題を解くことにより, 新しい故障モデルにも対応可能でかつ従来よりも高速なテスト生成が可能となっている[4].

前述のように, LSIの大規模化, 複雑化により, 故障モデルも複雑化している. これにより, 従来取り扱われてきた縮退故障モデルや遷移故障モデル以外にも, ブリッジ故障モデル[5], オープン故障モデル[6-8], 微小遅延故障モデル[9]などの様々な故障モデルが提案され, 各故障モデルに対してもテスト生成を行う必要がある. 本論文では, 信号線の判断線の欠陥をモデル化した抵抗性オープン故障を対象とする. これは, 隣接信号線の信号遷移によって故障値が決定する故障モデルである[7,10,11]. また, 抵抗性オープン故障が発生した信号線には遅延値が与えられるが, これを算出する手法が, 文献[12]で提案されている. この手法による隣接信号線の遷移から計算された遅延を用いることにより, 各信号線の遅延値を取り扱うことのできる故障シミュレータで抵抗性オープン故障が検出可能となる.

抵抗性オープン故障に対するテスト生成には様々な手法が存在し, なかでも, SATを用いた抵抗性オープン故障が提案されている[10,11]. また, 隣

接信号線数を限定することにより, 少ないテストパターンでより多くの故障を検出できる手法が考案されている[11]. しかしながら, 文献[11]の場合, 故障個所の具体的な遅延値を考慮していないので, 故障伝搬のパス長が短ければ故障が検出されない可能性がある. 文献[11]では, 故障個所の遅延値を考慮した故障伝搬経路の選択を行わないので, LSI内部にセンサを設けて, どのような経路を伝搬しても故障検出を可能としている. 本論文では, LSI内部にセンサを設けることを仮定しないで, 従来の外部テスト方式で期待値と実測値の比較で故障検出を行うものとする.

本論文では, すべての隣接信号線に故障個所の遷移とは逆の遷移を与え故障伝搬経路を限定しないテスト生成法を提案する.

本論文の構成は以下のとおりである. 第2章では, 抵抗性オープンに関して述べる. 第3章では, 既存手法, および提案手法の抵抗性オープン故障のテスト生成について述べる. 第4章では, ISCAS85ベンチマーク回路を用いたテストパターン生成例を述べる. 第5章でまとめを述べる.

2 抵抗性オープン故障

抵抗性オープン故障とは, 信号線が部分的に断線することでおこる故障であり, 故障影響は微小遅延となって現れる. 図1に, 抵抗性オープン故障モデルを示す. 図中の V_j は故障信号線を示し, $A_1 \sim A_3$ は V_j の隣接信号線を示す. 図に示す通り, 抵抗性オープン故障は隣接信号線の遷移によって故障による遅延値が決定する.

抵抗性オープン故障の遅延値 EX_{V_j} は, 以下の式で計算される[12].

$$EX_{V_j}(A_1, \dots, A_i, \dots, A_m) = \frac{\sum_{i=1}^m TR_{V_j}(A_i, V_j)}{m} \dots \dots (1)$$

$$TR_{V_j}(A_i, V_j) = \begin{cases} 1 & A_i, V_j \text{が異なる遷移} \\ -1 & A_i, V_j \text{が同じ遷移} \dots \dots (2) \\ 0 & A_i \text{が} 1(0) \text{に固定値} \end{cases}$$

Test Generation Strategy of Resistive Open Faults

Makoto NISHIKIORI, Hiroshi YAMAZAKI, Toshinori HOSOKAWA,
Masayoshi YOSIMURA and Masayuki ARAI

A_i は隣接信号線, V_j は故障信号線を表しており, m は隣接信号線数を示している. $EX_{V_j} = 1.0$ となった場合, すべての隣接信号線が抵抗性オープン故障と逆の遷移を持つことを意味する.

また, 抵抗性オープン故障の追加の遅延値 AD_{V_j} を以下に示す.

$$AD_{V_j} = EX_{V_j}(A_1, \dots, A_i, \dots, A_m) \times CRITICAL + SD \dots (3)$$

$CRITICAL$ は最長パスの遅延値を表し, SD は検出可能な最小の遅延値を表す. AD_{V_j} により, 抵抗性オープン故障シミュレーションを実行する際の故障個所の遅延値が決定できる.

図1の場合, 故障信号線 V_j と同じ遷移の隣接信号線は A_1 , V_j と異なる遷移の隣接信号線は A_2 , A_3 である. よって, $EX_{V_j}(A_1, A_2, A_3)$ は $\frac{1}{3}$ となる. また, $CRITICAL = 12$, $SD = 5$ とした場合, $AD_{V_j} = 9$ となり, この値を故障シミュレーション時に抵抗性オープン故障による故障個所の遅延として用いる.

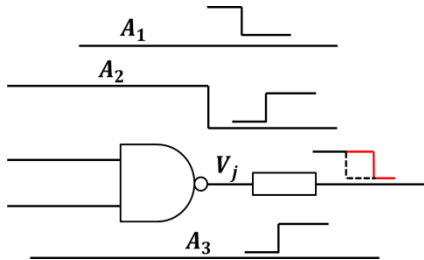


図1 抵抗性オープン故障モデル

2. 1 抵抗性オープン故障のテスト生成

抵抗性オープン故障のテスト生成を行う際, 順序回路を2時間展開したモデルを用い, 隣接信号線の遷移も含めた遷移故障のテスト生成として考えることで, 容易なテスト生成が可能となる[10,11]. また, 文献[11]では, 2時間展開した回路と隣接信号線の制約に対してCNF式を生成することで, SATを用いた抵抗性オープン故障のテスト生成を可能とした.

文献[11]の場合, すべての隣接信号線を0または1を固定させる2つのテストパターン T_{fix} と, 可能な限り多くの隣接信号線に故障信号線とは逆の遷移を割当てて2つのテストパターン T_{rev} からなる2パターンペアテストパターン T_{pair} を生成する. このパターンペアを回路に印可し, 両パターンから得られる遅延の差分をLSI内部に設けたセンサによって計測し, 抵抗性オープン故障の検出を行っている. また T_{rev} において, 隣接信号線に逆の遷移を

割当てられない場合は, 信号線を0または1に固定する.

図2に T_{fix} の生成手順を示し, 図3に T_{rev} の生成手順を示す. 図2, 図3において g が立下り遷移故障を起こしているものとする. また, 図2, 図3の隣接信号線は b , d , e である.

図2では隣接信号線 b , d に0, e に1を割当ててことで, すべての信号線を正当化できた. これにより生成される $T_{fix} = (pi_1, pi_2, FF1, FF2, FF3) = (1, 1, 0, 1, 0)$ である.

図3では, 隣接信号線 b で故障信号線とは逆の遷移を割当て, その他の隣接信号線は値を固定する条件を与えてテスト生成を実行した. これにより, 故障影響が擬似外部出力まで伝搬し, 抵抗性オープン故障を検出可能なテストパターン $T_{rev} = (pi_1, pi_2, FF1, FF2, FF3) = (1, 0, 1, 0, 1)$ を生成した.

3 提案する抵抗性オープン故障のテスト生成

文献[11]の手法では, 逆の遷移が割当てられる隣接信号線が最悪の場合1本だけになる可能性がある. その場合の遅延値は小さくなり, 最長パスでしか故障が検出できない.

本論文では, すべての隣接信号線に故障信号線とは逆の遷移を割当て, 遅延値を可能な限り大きくすることで可能な限り多くのパスで故障を検出できる手法を提案する. その例を図4に示す.

図4では, 図2, 図3と同じ構造の回路を対象とし, 1時刻目ですべての隣接信号線に故障信号線と逆の値を割当て, 2時刻目で故障信号線, 隣接信号線の値を遷移させたものである. しかしながら, 1時刻目の隣接信号線 d の値が衝突を起こし, 逆の遷移を割当てることが不可能である. この場合, 本手法は文献[11]と同様に信号線の値を固定させてテスト生成を実行する. これにより, 擬似外部出力に故障影響が伝搬され, 提案手法における抵抗性オープン故障に対するテストパターン $(pi_1, pi_2, FF1, FF2, FF3) = (1, 0, 1, 1, 1)$ が生成された.

また, 隣接信号線の遷移より得られる遅延値 EX_{V_j} は, 図3では $\frac{1}{3}$ となり, 図4では $\frac{2}{3}$ となることから, 提案手法を用いることでより大きな遅延値を得ることができる. さらに, 回路構造から $CRITICAL = 4$ となり, $SD = 2$ とした場合, 図3の $AD_{V_j} = 3.33$ となり, 図4の $AD_{V_j} = 4.67$ となる. 以上のことから, 提案手法を用いることで, より多くのパスで抵抗性オープン故障による遅延を検出できることがわかる.

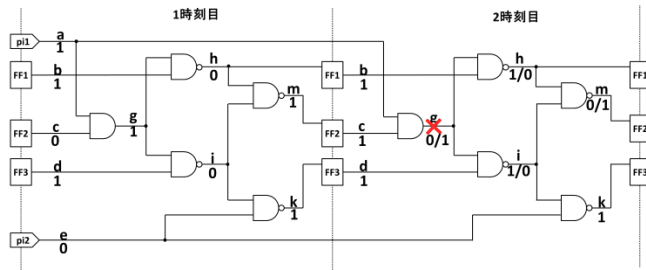


図2 文献[11]における T_{fix} の生成法

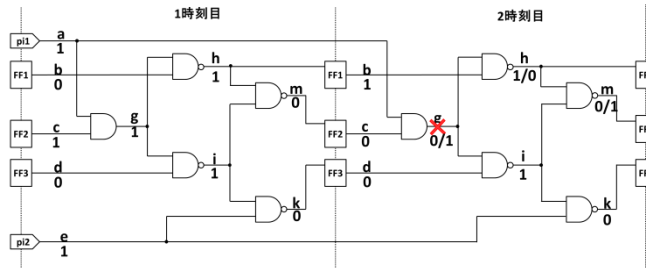


図3 文献[11]における T_{rev} の生成法

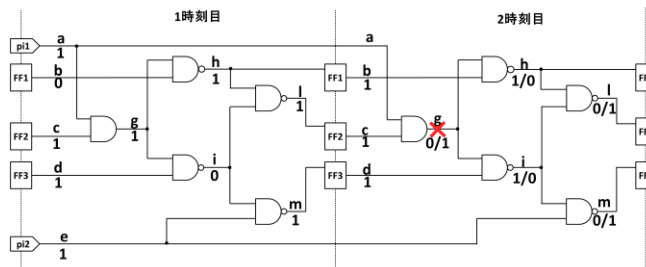
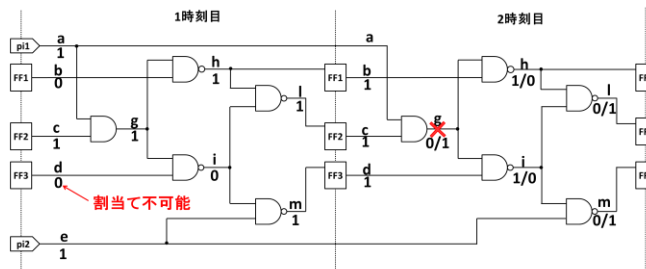


図4 抵抗性オープン故障用テストペア生成(提案手法)

4 実例

本章では、実際の回路モデルとしてテスト生成の実例を示す。対象回路はISCAS'85ベンチマーク回路のs27である。

例で示すのは、G16における立上り遷移故障を検出するためのテスト生成である。隣接信号線はG14, G15, FF3, G13とす。まず、1時刻目のG16に0, G14, G15, FF3, G13に1を、2時刻目のG16に1, G14, G15, FF3, G13に0を割当ててことで、G16の立上り遷移故障とG16の隣接信号線に故障信号線とは逆の立下り遷移を発生させる制約を設け、G16の抵抗性オープン故障の検出に必要な条件を与えた。

図5に、故障挿入、および隣接信号線に制約を設けたs27の2時間展開モデルを示す。

図5に対して2時刻目の故障信号線から値を伝搬させる。その結果、1時刻目のG14, および2時刻目のFF2, G13で値の衝突が発生する。これを回避するため、1時刻目のG14に1を、2時刻目のFF2, G13に0を再び割当てテスト生成を実行する。

図6に、故障影響の伝搬に必要な割当てが終了したs27回路を示す。故障影響を2時刻目のFFまで伝搬させる値割当てが終了した結果、テストパターン(FF1, FF2, FF3, G0, G1, G2, G3)=(0, 1, 0, 0, X, 1, 1)を回路に印可することで、FF2で故障影響が観測可能となった。

生成したテストパターンでの $EX_{V_j} = \frac{0+1+0+0}{4} = \frac{1}{4}$ となり、回路構造から $CRITICAL = 6$ となり、 $SD = 5$ とした場合、 $AD_{V_j} = \frac{1}{4} \times 6 + 5 = 1.5 + 5 = 6.5$ となる。回路内の最長パスは6のため故障影響がFFで観測可能となり、テストパターン(0, 1, 0, 0, X, 1, 1)でG16の抵抗性オープン故障が検出可能であることが証明された。

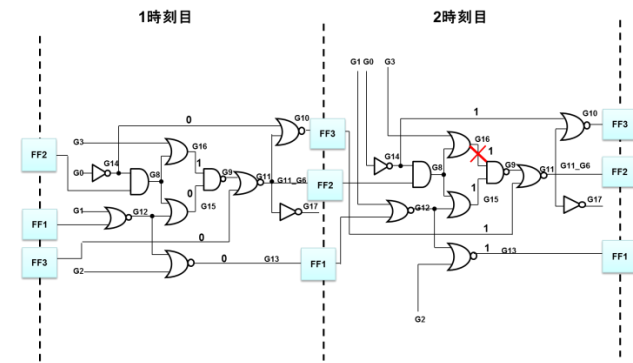


図5 制約を与えたs27回路の2時間展開

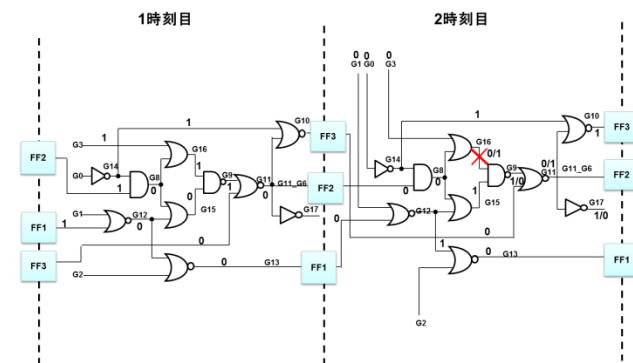


図6 テストパターン生成に必要な割当て後のs27回路

5 おわりに

本論文では、多くのパスで抵抗性オープン故障による遅延を検出するためのテスト生成手法を提案した。S27回路を用いた例により、できる限り隣接信

号線に故障信号線と逆の遷移を発生させることで、故障影響が観測可能なテストパターンの生成が可能であることを示した。

今後の課題として、本アルゴリズムを実装し、大規模回路でのテスト生成の実行、故障活性化経路の解析、遅延値の算出により故障検出不可能な経路を求め、その経路を故障伝搬経路とみなさない制約をテスト生成に与えるが挙げられる。

参考文献

- [1] H. Fujiwara and T. Shimono, "On the acceleration of test generation algorithms," IEEE Trans. Comput., vol. C-31, pp. 1137-1144, 1983.
- [2] P.Goel, "An implicit enumeration algorithm to generate tests for combinational logic circuits," IEEE Trans. Comput., vol. C-31, pp.215-222. 1981.
- [3] Michael H. Schulz, Erwin Trischler "SOCRATES : A Highly Efficient Automatic Test Generation System," IEEE Transactions on Computer-Aided Design, Vol 7 No 1, p130. January 1988.
- [4] 松永祐介 "SAT ソルバを用いた高速なテスト生成手法の開発" (2014)
- [5] 藤原 秀雄, "ディジタルシステムの設計とテスト, 工学図書株式会社", (2004)
- [6] Haluk Konuk, "Voltage- and Current-Based Fault Simulation for Interconnect Open Defects", Computer-Aided Design of Integrated Circuits and Systems, p . 1768-1779. 1999,
- [7] James C. -M. Li, Chao-Wen Tseng, and E. J.McCluskey, "Testing for Resistive Opens and Stuck Opens" Test Conference, p . 1049-1058. 2001
- [8] Yoshinobu Higami, Hiroshi Furutani, Takao Sakai, Shuichi Kameyama and Hiroshi Takahashi "Test Pattern Selection for Defect-Aware Test", Test Symposium (ATS) , p.102-107. 2011
- [9] Sudhakar M. Iledy, Irith Pomeranz and Seiji Kajihara, "On the effects of Test Compaction on Defect Coverage", VLSI Test Symposium , p.430-435. 1996
- [10] Jun Yamashita, Hiroyuki Yotsuyanagi, Masaki Hashizume, Yoshinobu Higami and Hiroshi Takahashi, "On SAT-based Test Generation for Observing Delay Variation Caused by a Resistive Open Fault and Its Adjacent Lines", Design of Paper of the 14-th IEEE Workshop on RTL and High Level Testing, pp.IV.2.F-1-- IV.2.F-6. Yilan, Taiwan, Nov. 2013
- [11] Jun Yamashita, Hiroyuki Yotsuyanagi, Masaki Hashizume, Yoshinobu Higami and Hiroshi Takahashi, "On SAT-based Test Generation for Resistive Open Fault Using Delay Variation Caused by Effect of Adjacent Lines", Proc. of the 15-th IEEE Workshop on RTL and High Level Testing, pp.49-53. Nov. 2013
- [12] Hiroshi Takahashi, Yoshinobu Higami, Yuzo Takamatsu, Koji Yamazaki, Toshiyuki Tsutsumi, Hiroyuki Yotsuyanagi and Masaki Hashizume, "A method for Diagnosing Resistive Open Faults with Considering Adjacent Lines", Proc. Int. Sympo. on Communication and information Technology, pp.609-614. 2010