

アンバイポーラ素子における トランジスタスタック故障モデルに関する評価

日大生産工(学部) ○山中 雄貴 日大生産工 新井 雅之

1. まえがき

半導体デバイスの高速化, 微細化, 低消費電力化への要求に対応して, FinFETやシリコンナノワイヤ(SiNW)などの3次元構造MOS設計や, カーボンナノチューブ(CNTFET)やグラフェン等の新材料によるデバイスの開発が進められている[1][2]. また, 特にSiNWやCNTFETにおいては, アンバイポーラ構造に基づく論理設計手法について提案・評価が行われている[3][4]. しかし, これらの構造における故障検出法や耐故障設計の評価についてはあまり行われていない. 本研究では, アンバイポーラ素子について, SPICEシミュレーション用の機能動作モデルを作成する. また, SPICEモデルに基づいて, トランジスタスタック故障における振る舞いを観測した.

2. アンバイポーラ素子を用いた論理回路設計

図1に, アンバイポーラ型電界効果トランジスタ(FET)の基本構造および回路記号を示す. 図1(a)はSiNW FETデバイスを上から見た構造を示す. ソース-ドレイン間に, 2個のゲート電極PG (Polarity Gate) およびCG (Control Gate)が存在する. PGの電位によりキャリアを切り替えて動作させることが可能である. すなわち, PG = 0の場合, このデバイスはpMOSとして動作し, PG = 1の場合にはnMOSとして動作する.

アンバイポーラ素子を用いることによって, 従来のプレーナ型FETと比較して少ないトランジスタ数で論理回路設計が可能であるとの報告がある. 例

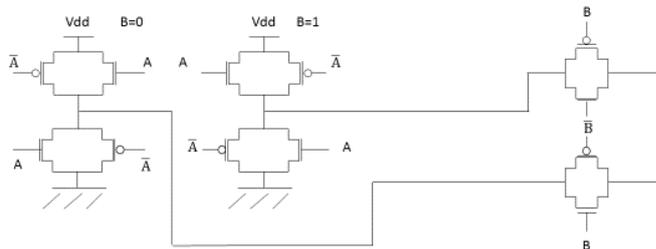


図2 アンバイポーラ素子による2入力XORゲートの機能等価SPICEモデル

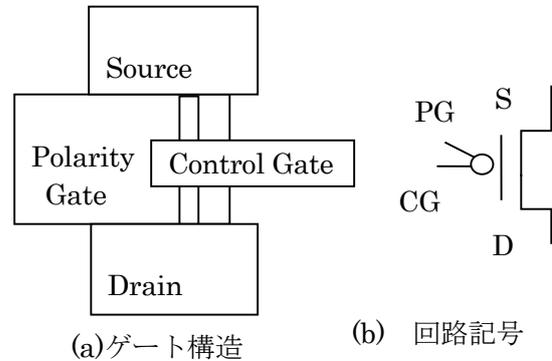


図1 アンバイポーラ素子の構造と回路記号

えば, XORゲートは, 従来の12個に対して, アンバイポーラ素子を用いると8個のトランジスタで構成可能である.

3. アンバイポーラ素子を用いた論理回路の機能等価SPICEモデル

アンバイポーラ構造を考慮したSPICEモデルは, 著者らの知る限り提供されていない[2][3][4]. 故障動作確認のための基礎的評価として, 従来のCMOS回路を複数接続した, 機能等価モデルの検証を行った.

図2に, 2入力XORゲートに対する機能等価モデルを示す. 左側は, 論理入力B = 0の場合に対応してアンバイポーラ素子をpMOS/nMOSで置き換えた構造であり, 同様に右側はB = 1の場合に対応する. 2通りの回路の出力をトランスミッションゲートにより接続する.

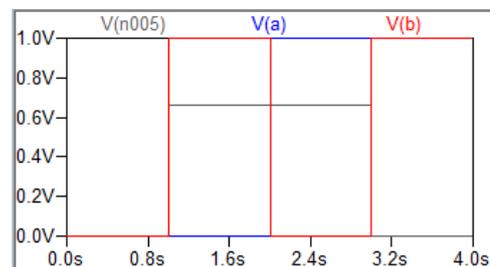


図3 XORゲート機能等価SPICEモデルシミュレーション結果

図2の回路をLTSpiceで記述し、動作を確認した。pMOS および nMOS デバイスとして、NCSU FreePDK45 PMOS/NMOS_VTLモデル(Vdd = 1V) を用いた。図3に、論理値(A, B) = (0 0), (0 1), (1 0), (1 1)と変化させた場合の出力波形を示す。トランスマッションゲートによって接続先が切り替わり、正しい出力が得られていることが判る。ただし、本モデルでは信号遷移遅延時間はアンバイポーラ素子と等価ではない。

3. アンバイポーラ素子を用いたXORゲートにおけるトランジスタスタック故障の動作

アンバイポーラ素子を用いたXORゲートにおける、トランジスタスタック故障の動作について観測した。図2に示したとおり、アンバイポーラ素子を用いたXORゲートは、4個のアンバイポーラトランジスタで構成される。各トランジスタのPGにはBまたはB₋が入力され、極性が制御される。CGにはAまたはA₋が入力される。4個のPGおよび4個のCGのうち一部におけるトランジスタスタック故障を仮定した。PGの故障に関しては、pMOS/nMOSの極性の反転として異なる回路を作成し、シミュレーションを行った。

表1に、SPICEシミュレーションから得られた出力観測結果を示す。A1 ~ A4, B1~B4はそれぞれ対応するゲート(CG, PG)を表し、○は故障した場合を表す。故障した場合、ゲート入力の論理値が反転するとした。図2に示したとおり、論理値A (B)およびその反転信号A₋ (B₋)は、複数のトランジスタのゲートに入力されている。このため、ファンアウト前後での複数の故障を考慮し評価を行った。出力Zにおいては中間電位が観測されたため、0 (0 ~ 0.1V), L (0.1 ~ 0.4V), M (0.4 ~ 0.6V), H (0.6 ~ 0.9V), 1 (0.9 ~ 1V)の5通りに分類した。

表から、スタック故障の発生個所により出力は様々に変化し、中間電位が多く発生していることが判る。中間電位は検出が困難である場合があり、また遅延故障を伴うことが考えられる。アンバイポーラ素子を適用した回路設計におけるテストおよび高信頼設計の重要性が示唆される。

4 まとめ

アンバイポーラ素子を用いた論理回路設計について、論理ゲートの機能的等価SPICEモデルの構成について検討した。また、機能的等価SPICEモデルに基づいて、トランジスタスタック故障発生時におけるゲート出力の変化について観測した。

今後の課題として、アンバイポーラ論理設計に有用と期待されるGNORゲートの故障動作の解析、

表1 アンバイポーラ素子 XOR ゲートのトランジスタスタック故障に対する出力 Z (A, B = (00), (01), (10), (11))

A1	A2	A3	A4	B1	B2	B3	B4	Z
-	-	-	-	-	-	-	-	(0,1,1,0)
○	-	-	-	-	-	-	-	(L,1,M,M)
○	○	-	-	-	-	-	-	(M,M,0,M)
○	○	○	-	-	-	-	-	(M,0,0,H)
○	○	○	○	-	-	-	-	(1,0,0,1)
-	○	-	-	-	-	-	-	(M,1,1,L)
-	○	○	-	-	-	-	-	(M,1,M,L)
-	○	○	○	-	-	-	-	(1,M,L,1)
-	-	○	-	-	-	-	-	(0,M,N,0)
-	-	○	○	-	-	-	-	(M,M,M,M)
○	-	○	-	-	-	-	-	(L,M,H,H)
○	-	-	○	-	-	-	-	(M,L,M,M)
○	○	-	○	-	-	-	-	(H,0,0,M)
○	-	○	○	-	-	-	-	(1,L,M,1)
-	-	-	○	-	-	-	-	(0,H,M,0)
-	-	-	-	○	-	-	-	(1,M,L,1)
-	-	-	-	-	○	-	-	(L,H,0,0)
-	-	-	-	-	-	○	-	(0,1,M,0)
-	-	-	-	-	-	-	○	(0,1,H,0)
-	-	-	-	-	○	○	-	(L,H,L,M)
-	-	-	-	-	○	○	○	(1,H,L,0)
-	-	-	-	-	○	-	○	(M,H,M,M)
-	-	-	-	-	-	○	○	(M,M,M,0)

遅延故障動作の解析、および耐故障設計の検討が挙げられる。

参考文献

- [1] 岩井洋, 角嶋邦之, “シリコンナノワイヤFET技術,” 電子情報通信学会誌, Vol. 95, No. 4, pp. 278-283, 2012年.
- [2] M. H. Ben-Jamaa, K. Mohanram, G. De Micheli, "An Efficient Gate Library for Ambipolar CNTFET Logic," IEEE Trans. CAD., Vol. 30, No. 2, pp. 242-255, 2011.
- [3] P.-E. Gaillardon, L. J. Zhang, G. De Micheli, "Advance System on a Chip Design Based on Controllable-Polarity FETs," Design, Automation and Test in Europe Conference, Paper 9.1.2, 2014.
- [4] D. Sacchetto, Y. Leblebici, G. De Micheli "Ambipolar Gate-Controllable SiNW FETs for Configurable Logic Circuits With Improved Expressive Capability," IEEE Electron Device Letters, Vol. 33, No. 2, pp. 143-145, 2011.