低消費電力指向テストポイント挿入法

日大生産工(院)	
日大生産工	

○高橋 慶安 日大生産工(院) 細川 利典

山崎 紘史 京都産業大学 吉村 正義

1. はじめに

近年の低消費電力デバイスの普及に伴い、超大規模 集積回路(Very Large Scale Integrated circuits: VLSI)の低消費電力化が進んでいる.低消費電力LSI は高度な電源設計により,回路中の一部分のみを動作 させることで低消費電力を実現している.一方で, VLSIテスト時の消費電力は増加しており,通常動作時 とテスト時の消費電力の差の増大が問題となっている.

VLSIはテスト効率化のためにスキャン設計が施さ れる場合が多い.スキャン設計回路のテストでは、テ ストパターンの印加とテスト応答の観測の際に、通常 動作では起こりえない多くの消費電力が発生する. そ のため、テスト時の消費電力は通常動作時と比較して 大幅に増加する.

テスト時の消費電力の増加が引き起こす問題として, 発熱による回路破壊やIRドロップ [1]による誤テスト 等が挙げられる. テスト時の過度の消費電力は、VLSI の発熱の原因につながり、回路に致命的なダメージを 与え、場合によっては回路を破損させるおそれがある [2]. また,過度の消費電力は過度なIRドロップを引き 起こす可能性が高い[3]. 過度なIRドロップは遅延を増 大させ、増大した遅延は遅延故障として検出される可 能性がある.その結果,正常な回路を不良品として判 定する誤テストの恐れがあり、歩留り損失の原因とな る[1][4]. したがって、歩留り損失を抑制するため、テ スト時の消費電力を削減することが重要な課題である. テスト時の消費電力の削減手法については様々な方 法が提案されており[5-8],電源管理技術の利用,設計 変更, テストデータの変更[5][7]などが挙げられる. 回 路構造の変更が必要無いテストデータを変更する消費 電力の削減手法として、テストパターンに対し、ドン トケア割当てを行うことでキャプチャ電力を削減する ことを目的に提案されたJP (Justification-Probability)-Fill 手法 [5] や LCP(Low Capture Power)-Fill手法[7]が挙げられる. しかしなが ら,回路構造が原因となり,テストパターンの変更の みでは高い消費電力をもつテストパターンが残る場合 が存在する.本論文では、高い消費電力をもつテスト パターンに対し、制御ポイント挿入技術[9]を用いて低 消費電力化を目指す.制御ポイント挿入により,初期 テスト集合中のドントケア数を増加させ、より効果的 なドントケア割当てを行う手法を提案する.



本論文の構成は以下の通りである。第2章で回路の消 費電力について説明する. 第3章で遷移故障テストのた めの制御ポイント挿入技術について説明する.第4章で 低消費電力向け制御ポイント挿入について説明する. 第5章では低消費電力向け制御ポイント挿入の実験結 果を示し、考察する.第6章は本論文のまとめをおこな い、今後の課題について述べる.

2. 消費電力

相補型金属酸化膜半導体(Complementary Metal Oxide Semiconductor: CMOS)回路の消費電力は静 的なリーク電流,及びスイッチング動作に起因する 動的電流により構成される.2.1節で静的および動的 な消費電力について説明する.また、本論文では消 費電力の評価として重み付き信号遷移(Weighted Switching Activity: WSA)を用いる. 2.2節で WSA について説明する.

3.1. 動的および静的な消費電力

静的な電力であるリーク電流は、回路上で絶縁さ れていて本来流れないはずの場所に電流が漏れ出す 電流である. リーク電流による消費電力は, 回路の 状態や温度によって異なる[11].

動的電流は、スイッチング動作に起因する.スイ ッチング動作は、回路中の各ゲートの論理値が遷移 することによって発生する.スキャン設計された回 路のテスト時に過度の消費電力が発生する原因とし て、テスト時に回路中の全 FF がシフト動作とキャプ チャ動作を行うことが挙げられる. それにより, テ スト時は機能動作時の3倍以上の消費電力が発生す ることが報告されている[7]. そのため、シフト時お よびキャプチャ時の消費電力を削減することが重要 となる.

Test Point Insertion for Low Capture Power Consumption

Yoshiyasu TAKAHASHI, Hiroshi YAMAZAKI, Toshinori HOSOKAWA and Masayoshi YOSHIMURA シフト動作時にはスキャンFFはテスターから直 接アクセス可能なスキャンチェインとして接続され, シフトイン動作でテストパターンを読み込むか,シ フトアウト動作でテスト結果を観測する.キャプチ ャ動作時には、スキャンFFは通常のFFとして動作 する.印加されたテストパターンのテスト応答は全 てのスキャンFFに読み込まれ、スキャンFFは現在 含まれているテストパターンを置き換える.これら の動作により、多数のスキャンFFの論理値が逆の論 理値に遷移する場合、組合せ回路部で大量の遷移が 発生し、多くの消費電力を発生させる.

キャプチャ動作時のタイミングチャートを図1に 示す.SE,CKはそれぞれスキャンイネーブル,ク ロックを表し、横軸は時間を表す.FFにおいてクロ ックSLで最後のシフト動作が終了すると、SEを0 にし、キャプチャ動作を行う準備をする.シフト動 作は、低速で行うことが可能であるが、遅延故障検 出のため、キャプチャ動作は実速度で行う必要があ る.この際、多数のFFに同時に遷移が発生すると、 瞬間的に過度の電力が消費される.そのため、キャ プチャ時の消費電力の削減が重要となる.

2.2. WSA

回路の消費電力を正確に計算する場合,電源電圧 やクロック周波数,ゲートの負荷容量など様々な要 素が必要となる[6].本論文における実験ではスイッ チング動作に起因する消費電力を評価する.そのた め,消費電力の評価として計算式を簡略化した WSA を用いる.WSA は次の式で表される.

$$WSA = \sum_{i=1}^{G} tran(g_i) \times (1 + fanout(g_i)) \quad \cdot \quad \cdot \quad (1)$$

(1)式のGは回路中のゲート数を表す. tran(g_i)はゲートg_iの遷移関数であり,g_iに遷移が発生した場合は
1,それ以外は0をとる. fanout(g_i)はゲートg_iのファンアウト数を表す.



図2. 制御ポイント構造

3. 遷移故障テストのための制御ポイント

制御ポイント[9]とは、テストポイントの一種であ り、挿入対象信号線を可制御にすることができる. 本章では、LOC(Launch-Off-Capture)による遷移故 障テスト法と本論文で使用する文献[9] で提案され ている.制御ポイント構造について説明する.3.1節 で本論文で用いる制御ポイントの構造について説明 する.3.2節で従来の制御ポイント挿入アプローチに ついて説明する.

3.1. 制御ポイント構造

文献[9]で提案されている制御ポイントの回路構造 は、マルチプレクサとスキャンFFにより構成される. 図2に制御ポイントの回路構造を示す.制御ポイン トは元回路のスキャンFFの通常データ入力に付加 される.またCP1,CP2,FFCは制御ポイント挿入 により付加されたスキャンFFを示している、FFC はマルチプレクサの入力端子の入力を制御するFF である.マルチプレクサは1時刻目では制御ポイン ト(CP1,CP2)からの入力を出力し、2時刻目では組 合せ回路部からの入力を出力する.

3.2. 従来制御ポイント挿入アプローチ

従来提案されている制御ポイント挿入アプローチ として、LOCによる遷移故障テストパターン削減法 [9]がある.本手法はFFのD端子に接続されている 信号線に対して制御ポイント挿入を行うことにより, 故障検出に必要なFFと外部入力のケアビット数を 削減する.これによりテスト圧縮の効果を高め、テ ストパターン数を削減する.

4. 低消費電力向け制御ポイント挿入

本論文では、文献[9]においてテストパターン数削 減のために用いられる制御ポイント挿入を低消費電 力のために利用する.制御ポイント挿入は FF や外部 入力のドントケア数を増加させる.増加したドント ケアにより、ドントケア割当てによるさらなる低消 費電力化が期待できる.4.1節で制御ポイントによる 低消費電力について説明する.4.2節で制御ポイント 挿入箇所問題について定式化を行う.4.3節で制御ポ イント挿入アルゴリズムを説明する.

4.1. 制御ポイントによる低消費電力化

従来の制御ポイント挿入は FF の D 端子に接続さ れている信号線に対して制御ポイント挿入を行うこ とにより,故障検出に必要な FF と外部入力のケアビ ット数を削減する.提案手法では、制御ポイント挿 入により増加したドントケアビットに対して、低消 費電力指向ドントケア割当てを行う.増加したドン トケアにより,低消費電力指向ドントケア割当ては 効果的に消費電力を削減する.

4.2. 問題定式化

キャプチャ電力削減のための制御ポイント挿入に よる問題定式化を示す.

(問題定式化)

入力:フルスキャン設計回路,LOC 遷移故障テスト 集合,最大制御ポイント挿入数 出力:制御ポイント挿入フルスキャン設計回路,制 御ポイント挿入対応LOC 遷移故障テスト集合 最適化:高WSA テストパターン数

4.3. 制御ポイント挿入アルゴリズム

図3に本手法の全体アルゴリズムの擬似コードを 示す.本手法はフルスキャン設計された回路 C, LOC による遷移故障用テスト集合T, WSA 閾値 WSAth, 最大制御ポイント挿入数 n_cp, 制御ポイント挿入候 補数 n_cp_{cnd} が入力として与えられる.本アルゴリズ ムはまず,入力として与えられた回路 C とテスト集 合TとWSA 閾値WSAthから制御ポイント挿入によ る低消費電力化が必要な高 WSA テスト集合 THと低 消費電力化が必要ない低 WSA テスト集合 TLを同定 する. また, 高WSA テストパターン数をn T_Hとし て出力する(Line5). 次に, 高 WSA テスト集合 TH でのみ検出可能なアンセーフ故障集合 FH を同定す る(Line6). そして、フルスキャン設計回路 C を制御 ポイント挿入フルスキャン回路 C'とする(Line7). そ の後、制御ポイント挿入箇所探索時間の削減のため に、制御ポイント挿入時の消費電力の評価を行う. ここでは、各 FF に制御ポイント挿入を仮挿入し、ド ントケア判定とドントケア割当てを行う.WSA が低 い n_cpicnd 個の FF を制御ポイント挿入候補 CPIcnd として出力する(Line8). 高 WSA テストパターン数 n_T_Hが 0 でない間,最大制御ポイント挿入数分 Line10 を繰り返す(Line9). Line10 では回路 C', 高 WSA テスト集合 TH, 制御ポイント挿入候補集合 CPIcnd を基に、制御ポイント挿入箇所を探索する. ここで制御ポイント挿入を行い、制御ポイント挿入 回路 Cを出力する. T_H, n_T_H はドントケア判定とド ントケア割当ての結果により更新される(Line10). TLをテストポイント挿入に対応したテスト集合 TL に変更する(Line11). T_H, T_Lの和集合をとりTとす る(Line12). 最後に、制御ポイント挿入回路 C'と制 御ポイント挿入テスト集合 T'を出力し, アルゴリ ズムを終了する.

- 1. Procedure CPI(C,T, WSAth, n_cp, n_cpimd)
- 2. C:circuit, T:test set, WSA:htreshold,

3. n_cp#control point, n_cpiced#control point insertion candidate; 4. {

- 5. (Tg.Tt.n Tg)=高 WSA テスト集合同定(C.T. WSA₄);
- F_H=アンセーフ故障同定(C,T,T_L);
- 7. C'=C;
- 8. (CPImd)=制御ポイント挿入時消費電力評価(C', TH, FH, WSAth, n_cpimd);
- for(i=0; i<n_cp &&n_T_H≠0; i++)
- 10. (C', T_H, n_T_H)=制御ポイント挿入箇所探索(C', T_H, F_H, WSA_{th}, CPI_{end});
- T'L=テスト集合変更(C',TL);
- 12. $T'=T_H \cup T'_L;$
- return(C,T')
- 14. }

図3. 全体アルゴリズム

5. 実験

本章では、提案した制御ポイント挿入手法の実験 結果と考察を示す.初期テスト集合とキャプチャ電 力の低消費電力化をおこなったテスト集合のWSA 値を計算し、消費電力を評価する.5.1節で実験手順 を説明し、5.2節で実験結果を示す.

5.1. 実験手順

本実験では、故障モデルは遷移故障を対象とし、 ATPG ツールは Synopsys 社の TetraMAX を用いた. 対象回路は、ISCAS'89 ベンチマーク回路を使用した. ドントケア判定には手法[8]を使用し、ドントケア割 当は JP-Fill 手法[5]を使用した.以下に実験フローを 説明する.

まず,ATPG ツールに回路情報を入力し,テスト 集合を生成する.次に,回路とテスト集合を用いて, 制御ポイント挿入による低消費電力化を行う.最後 に,WSA 計算を行い,各テストパターンのWSA と高WSA テストパターン数とアンセーフ故障数を 評価する.

5.2. 実験結果考察

表1と表2に実験結果を示す.表1において,「回 路名」は対象回路名,「FF 数」はスキャンFF 数,「CP 数」は挿入した制御ポイント数,「TP 数」はテスト パターン数,「最大 WSA」は各テストパターンにお いて,WSA 値が最大であるテストパターンのWSA 値,「高 WSA テストパターン数」は WSA 閾値を越 えた WSA 値をもつテストパターン数を示す.「初期」 は初期テスト集合を示す.「JP」は初期テスト集合に 対し,ドントケア判定[8]と JP-Fill[5]を行ったテスト 集合を示す.「CPI+JP」は提案手法を示す.WSA 閾 値は初期テストパターンの最大 WSA の 70%と 50% とし,最大制御ポイント挿入数は FF 数の 2%とした. 制御ポイント挿入候補数は FF 数の 10%とした.「JP」 と「CPI+JP」は WSA 閾値を越えたテストパターン にのみ適用した.

表1において CP 数が0 である回路が存在する. これは高 WSA テスト集合同定時に,制御ポイント挿 入による低消費電力化が必要な高 WSA テストパタ ーンが存在しなかったためである.これらの回路は JP-Fill の項で高 WSA テストパターン数が0 である ことがわかる.

実験結果から全ての回路において,制御ポイント 挿入によりキャプチャ電力を削減できていることが わかる. 閾値 70%では制御ポイント挿入を行った全 ての回路において,1個の制御ポイント挿入で,高 WSAテストパターン数とアンセーフ故障を0にした. 閾値 50%では初期テストパターンと比較して,高 WSA テストパターン数を平均 86%削減し,アンセー フ故障数を平均 78%削減することができた.

6. おわりに

本論文では、キャプチャ電力削減のための制御ポ イント挿入法を提案し,最大 WSA と高 WSA テスト パターン数,アンセーフ故障数を評価した.提案手 法により,最大 WSA と高 WSA テストパターン数, アンセーフ故障数の改善ができた. 今後の課題とし て,高い WSA 削減が達成できる FF の解析し,効率 的な FF の制御ポイント挿入箇所の選択を行うこと や異なるドントケア抽出法とドントケア割当法を用 いた実験が挙げられる.

文 献

[1] Takaki Yoshida, Masahmi Watati, "A New Approach for Low Power Scan Testing", International, Test Conference, 2003, pp480-487.

- [2] Jaehoon Song, Hyunbean Yi, Doochan Hwang, Sungju Park "A Compression Improvement Technique for Low-Power Scan Test Data" IEEE Region 10 Conference, 2006, pp12-13.
- [3] X.Wen, K.Miyase, S.Kajihara, H.Furukawa, Y.Yamato, A.Takashima, K.Noda, H.Ito, K.Hatayama, T.Aikyo, and K.K.Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing" IEEE, 2008, pp55-60.
- [4] Fukuzawa Tomoaki, Miyase Kohei, Yamato Yuta, Furukawa Hiroshi, Wen Xiaoqing, Kajihara Seiji. "A Transition Delay Test Generation Method for Capture Power Reduction during At-Speed Scan Testing" IEICE technical report. Dependable computing 107(337), 2007, pp7-12.
- [5] X.Wen, K.Miyase, S.Kajihara, T.Suzuki, Y.Yamato, P.Girard, Y.Ohsumi, and L.-T.Wang, "A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing," Proc. of ITC, 2007, Paper 25.1.
- [6] Sying-Jyan Wang, Kuo-Lin Fu, Katherine Shu-Min Li, "Low Peak Power ATPG for n-Detection Test", 1996, p1.
- [7] Xiaoqing WEN, Yoshiyuki YAMASHITA, Seiji KAJIHARA, Laung-Terng WANG, Kewal K.SALUJA, Kozo KINOSHITA "A New Method for Low-Capture-Power Test Generation for Scan Testing", IEICE TRANS INF. & SYST., 2006, pp1679-1686.
- [8] K.Miyase, S.Kajihara ,"XID: Don't Care Identification of Test Patterns for Combinational Circuits," IEEE Trans. Comuter-Aided Design of Integrated Circuits and Systems, Vol. 23, No. 2, pp. 321-326, Fed. 2004.
- [9] K.J. Balakrishnan and L. Fang, "RTL Test Point Insertion to Reduce Delay Test Volume," IEEE VLSI Test Symposium, pp. 325-332, 2007.
- [10] J. Savir and S. Patil, "On Broad-side Delay Test," VLSI Test Symposium, pp. 284-290 Sept. 1994.
- [11] R. M. Rao, J. L. Burns, and R. B. Brown, "A heuristic to determine low leakage sleep state vectors for CMOS ombinational circuits," in Proc.Int. Conf. Comput.- Aided Des., 2003, pp. 689–692.

表 1. 閾値 70%実験結果

回路名 TP数	TP数	FF数	00**	最大WSA			高WSAテストパターン数			アンセーフ故障数		
			FF釵	CP釵	初期	JP-Fill	CPI+JP	初期	JP-Fill	CPI+JP	初期	JP-Fill
s5378	179	179	1	2421	1983	1680	115	4	0	2050	103	0
s9234	319	228	1	4243	3091	2907	70	1	0	1293	150	0
s13207	310	669	0	5924	3849	-	39	0	-	747	0	-
s15850	199	597	0	5485	3562	-	47	0	-	1369	0	-
s35932	62	1728	1	16010	15742	11016	62	11	0	49278	6961	0
s38417	238	1636	1	17372	13437	10537	143	3	0	12746	616	0
s38584	412	1452	0	17192	11165	-	8	0	-	71	0	-

表 2. 閾値 50%実験結果

同时友			00**	最大WSA			高WSAテストパターン数			アンセーフ故障数		
凹路名	IP釵	₽₽剱	CP釵	初期	JP-Fill	CPI+JP	初期	JP-Fill	CPI+JP	初期	JP-Fill	CPI+JP
s5378	179	179	4	2421	2132	1729	160	21	13	6546	1321	730
s9234	319	228	5	4243	3585	2865	293	61	29	9008	2588	1339
s13207	310	669	14	5924	4791	3074	295	16	3	10466	2270	1055
s15850	199	597	12	5485	4693	3825	179	23	15	11067	2808	1070
s35932	62	1728	35	16010	15742	12905	62	22	14	49278	18746	12522
s38417	238	1636	33	17372	15920	14136	236	113	102	67319	23602	19732
s38584	412	1452	30	17192	14557	13899	81	2	2	6469	3445	3445