ISSN 2186-5647

2-34

マルチサイクルキャプチャテスト集合を用いた故障診断法の評価

日本大学生産工(院)　○高野秀之　日大生産工（院）山崎紘史
日大生産工　細川利典　明大　山崎浩二

1. はじめに

半導体微細化技術の進歩に伴い，超大規模集積回路（Very Large Scale Integrated circuits: VLSI）において，異常動作の物理的な原因を特定する故障解析[1]は，歩留まりの向上のために重要である．故障解析では，電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため，多大なコストを要する．そのため，故障 VLSI に存在する可能性のある故障（被疑故障）の数を事前にできる限り絞り込んでおく故障診断[2]が，故障解析コストの低減のために重要となる．故障診断[2]では，故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する．

一方，VLSI のテスト手法として，縮退故障を対象としたスキャンテスト[3][4]が，必要不可欠である．また，テスト品質を更に向上させるためには遅延テスト[5]や実速度機能テスト[6]が必要であることが報告されている．そのため，スキャンテストのキャプチャモードにおいて順序動作を複数サイクル間実行してテストを行うマルチサイクルキャプチャテストが重要である[7][8]．

縮退故障や遅延故障に対する従来のスキャンテストはキャプチャモードでの順序動作が 1 または 2 サイクルのみである．一方，マルチサイクルキャプチャテストでは，複数サイクル間の順序動作を実行するので，従来のスキャンテストでは検出できなかった欠陥を検出できる可能性が高まると考えられる．本論文では，マルチサイクルキャプチャテスト集合を用いて，誤り経路追跡と故障シミュレーションを組み合わせた故障診断法を単一縮退故障モデルを仮定した故障 VLSI に適用し，その被疑故障数，欠陥の検出回数との関係，及び実行時間を評価する．

2. マルチサイクルキャプチャテスト

現在，一般的に VLSI のテストにはスキャンテストが用いられている．スキャンテストはシフト動作によって回路中の各フリップフロップ(Flip-Flop ： FF)に外部から任意の状態を設定でき，また，それらの FF の状態を容易に観測することが可能である．しかしながら，スキャンテスト[3][4]のキャプチャモードは 1 サイクル，または 2 サイクルのみで順序動作させるため，十分な機能動作を行えておらず，結果としてテスト品質が下がってしまうという問題がある．

図 1 は，文献[11]に示されている 261 個の不良 VLSI をそれぞれのテスト手法によってテストし，不良であると判定できた VLSI の数を示した図である．この図より，スキャンテスト（縮退・遅延スキャンテスト）のみだと 8 個の不良 LSI を不良品と判定できず，良品として出荷してしまうことがわかる．その問題を解決するための手法として，スキャンテストに順序動作を組み込んだ

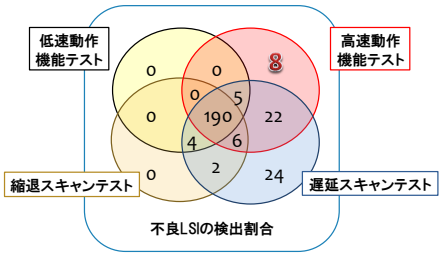

図 1.261 個の不良 LSI 検出分布図

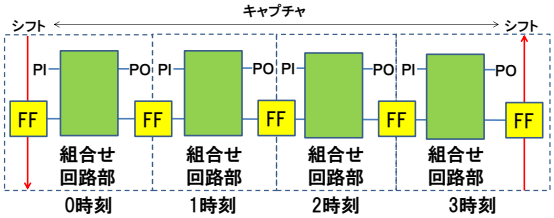

図 2.マルチサイクルキャプチャテスト(k=4)

An Evaluation of a Fault Diagnosis Method Using Multi Cycle Capture Test Sets

Hideyuki TAKANO, Hiroshi YAMAZAKI
Toshinori HOSOKAWA and Koji YAMAZAKI

マルチサイクルキャプチャテスト[7][8]が提案されている．マルチサイクルキャプチャテストは，0 時刻目にシフト動作より FF の状態を設定し，k サイクル分機能動作させた後，k 時刻目にキャプチャ動作によりシフト動作で取り込んだ FF の状態をシフト動作により観測するスキャンテストである．

3. 故障診断法

本論文では故障診断法として，誤り経路追跡と故障シミュレーション法の併用手法を用いる．

誤り経路追跡法は診断時間が高速だが分解能が低く，故障シミュレーション法は分解能が高いが診断時間が長いという問題点がある．よって，併用法では前処理として誤り経路追跡法によって被疑故障数を絞り込んでから故障シミュレーション法によって分解能の高い故障診断を行う．これによって，高い分解能を維持したまま診断時間の削減が可能となる．

ここで，故障回路に印加したときに誤りを観測できたテストパターンをフェイルパターンといい，正常値と同じ応答を観測したテストパターンをパスパターンと呼ぶ．

3.1 誤り経路追跡法

誤り経路追跡法[9]とは，テストパターンの出力期待値と観測値が異なる（疑似）外部出力から，入力側に向かって，故障の影響が伝搬する可能性のある信号線を追跡することによって誤りの原因となる故障を推定する手法であり，故障モデルに依存しない故障診断法である．よって，全体の処理時間が非常に高速に行え，使用する記憶領域も小さい．しかしながら分解能が低く，故障診断自体の時間は大幅に削減できても故障解析にかかる時間が大幅に増加するという問題点がある．

3.2 故障シミュレーション法

故障シミュレーション法[10]とは，ある故障が起こったときにテストパターンを印加したときの出力応答を計算し，テスト時の（疑似）外部出力応答を最もよく説明できる故障を被疑故障とする手法であり，誤り経路追跡法に比べて分解能の高い故障診断を行うことができる可能である．しかし，診断時間がかかってしまうという問題点がある．

3.3 併用手法のアルゴリズム

図 3 に併用手法のアルゴリズムを示す．

(Step1)フェイルパターン情報から誤り経路追跡法により，初期被疑故障集合を求める．

(Step2)フェイルパターン情報より，故障シミュレーション法によって被疑故障集合を削減する．

(Step3)パスパターン情報より，被疑故障集合をさらに削減し，最終被疑故障集合を求める．

4. 実験結果

本論文では，マルチサイクルキャプチャテスト集合を用いた故障診断を C 言語で実装し，ISCAS’89 ベンチマーク回路に対して単一縮退故障が存在する欠陥 VLSI のサンプル回路 100 個をランダムに生成し故障診断を行い，分解能を求めた．

表 1 に併用手法を用いた故障診断の結果を示す．表 1 は左から対象回路，時間展開数，被疑故障数の平均，最大，最小，分散，平均診断時間，フェイル外部出力数の平均，最大，最小，対象故障数を示している．

表 1 から，被疑故障数は時間展開数が増加すると増える傾向があることがわかる．これは，時間展開数を増やすごとに故障影響が伝搬する信号線が増えていることによるものだと考えられる．しかしながら一方で，時間展開数が増加したほうが被疑故障数が少なくなる場合も存在している．これは，伝搬経路が増加したことにより故障の影響を観測できる外部出力の数が増加したと考えられる．

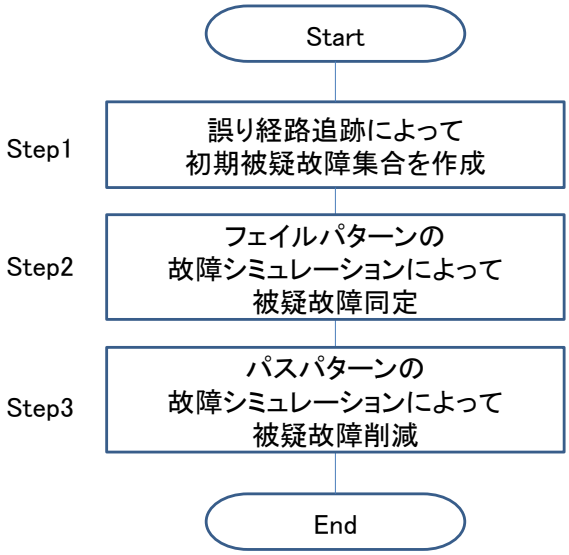

図 3. 併用手法アルゴリズム

また，実行時間においても時間展開数が増加すると実行時間が増加する．これは，故障シミュレーションする信号線数が時間展開数倍となることによるものである．

図 4 から図 8 に，s5378 回路の，被疑故障と検出回数との関係を示す．横軸は検出回数を示しており，棒グラフはその検出回数だった故障数を示す．また，折れ線グラフは検出回数ごとの被疑故障数の平均を示している．

これらより，検出回数が増加すると被疑故障数が減少する傾向があることがわかる．しかしながら，検出回数が増加したほうが被疑故障数が増加しているものも存在している．この原因の一つとして，検出される外部出力が同じである，つまり伝搬経路が似たようなフェイルパターンが数多く存在した結果，被疑故障を絞り込めなかったということが考えられる．

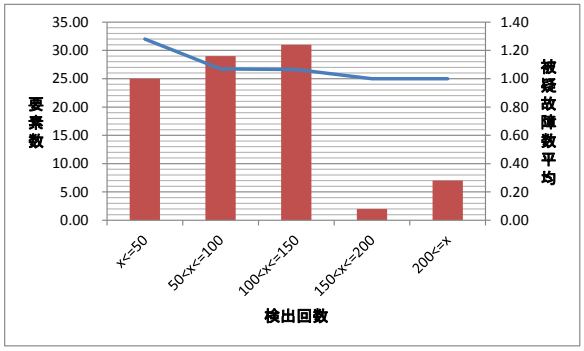

図 4. 1 時間展開時の検出回数と被疑故障の関係

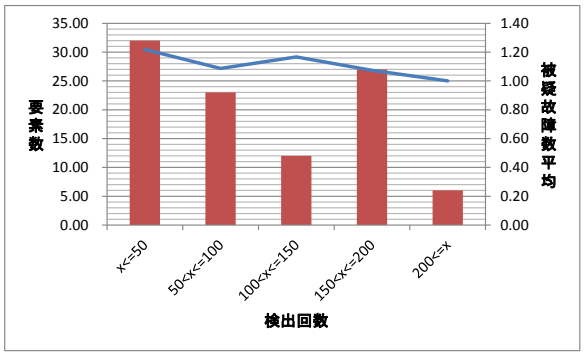

図 5. 2 時間展開時の検出回数と被疑故障の関係

5. おわりに

本論文ではマルチサイクルキャプチャテストのための故障診断法を実装し，その評価を行った．その結果，時間展開数の増加と被疑故障数の関係や，故障の検出回数と被疑故障数の関係を確認することができた．

今後の課題として，単一縮退故障以外の論理故障や遅延系の故障にも対応することなどが挙げられる．

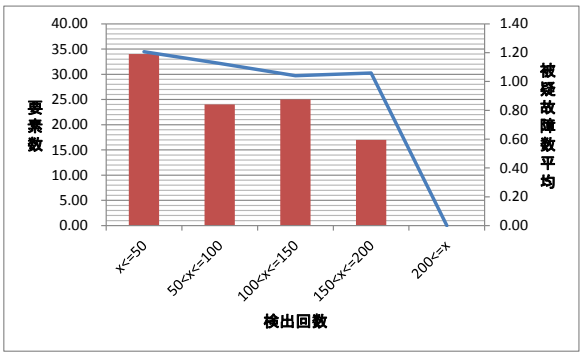

図 6. 3 時間展開時の検出回数と被疑故障の関係

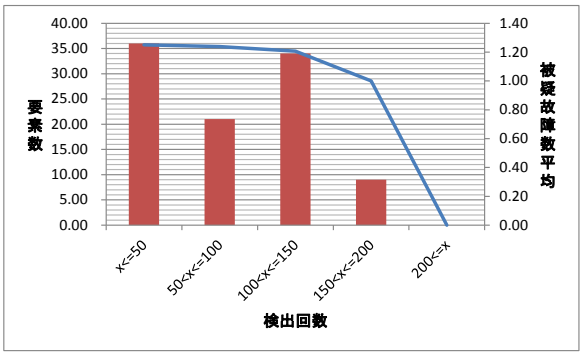

図 7. 4 時間展開時の検出回数と被疑故障の関係

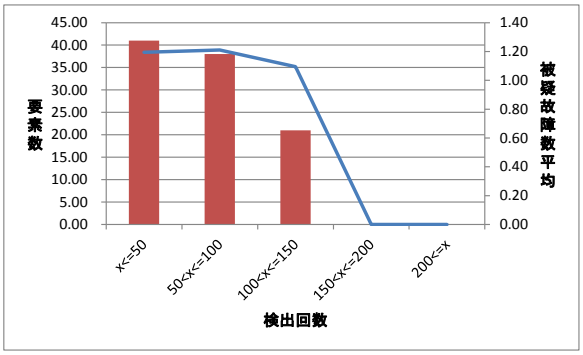

図 8. 5 時間展開時の検出回数と被疑故障の関係

表１.実験結果

回路名	時間展開数	被疑故障数				平均処理時間[ms]	フェイル外部出力数			対象故障数
		平均	最大	最小	分散		平均	最大	最小	
s5378	k=1	1.11	3	1	0.16	126.0	2.03	24	1	4603
	k=2	1.13	3	1	0.17	189.8	2.06	23	1	
	k=3	1.12	3	1	0.17	274.5	2.29	30	1	
	k=4	1.21	5	1	0.45	409.5	2.07	28	1	
	k=5	1.18	5	1	0.33	489.1	2.03	31	1	
s9234	k=1	1.28	3	1	0.39	237.5	1.76	19	1	6927
	k=2	1.32	3	1	0.42	484.6	2.22	19	1	
	k=3	1.39	3	1	0.48	855.2	2.41	25	1	
	k=4	1.35	3	1	0.43	1594.4	3.03	44	1	
	k=5	1.38	3	1	0.48	2636.2	3.35	59	1	
s13207	k=1	1.18	3	1	0.23	417.6	1.53	15	1	9815
	k=2	1.29	4	1	0.39	700.9	1.86	39	1	
	k=3	1.32	4	1	0.40	926.4	2.08	109	1	
	k=4	1.33	4	1	0.45	1227.3	2.55	108	1	
	k=5	1.40	5	1	0.65	2116.8	2.54	109	1	

参考文献

[1] H.Y.Chang , E.Manning and G.Metze: ”Fault Diagnosis of Digital Systems”, John Wiley & Sons, Inc.1970

[2] E.Manning H.Y.Chang and G.Metze. Fault Diagnosis of Digital Systems. John Wiley & Sons, Inc., 1970.

[3]H.Fujiwara,”Logic Testing and Design for Testability” The MIT Press,1985.

[4]M.Abramovici , M.A.Breuer, and A.D.Friedman. Digital Systems Testing and Testable Design.
Computer Science Press,1990.

[5]A.Krstic, and K.-T.Chang, “Delay Fault Testing for VLSI Circuits,”Kluwer Academic Publishers,1998

[6]P.C.Maxwell, R.C.Aitken, R.Kollitz, and A.C.Brown,” IDDQ and AC scan: the war against unmodelled defects” Proc. of IEEE Int. Test Conf.,pp.250-258,Oct.,1996

[7]I.Pomeranz and S.M.Reddy,”Static Test Compaction for Scan-Based Designs to Reduce Test Aplication Time,” IEEE Asian Test Symposium,pp.541-552,1998.

[8]J.Abraham,U.Goel and A.Kumar,”Multi-cycle sensitizable transition delay faults” ,VLSI Test Symposium,pp.306-313,2006.

[9] 山田輝彦 中村芳行. 組合せ回路における単一縮退故障の一診断法. 電子情報通信学会論文誌, 1991

[10] 山崎浩二 山田輝彦. 誤り経路追跡と故障シミュレーションを用いた順序回路における単一故障の診断法. 電子情報通信学技報 FTS97-68,1997-12

[11] P.C. Maxwell, R.C. Aitken, R. Kollitz, and A. C. Brown, “IDDQ and AC Scan: The War Against Unmodelled Defects,” Proc. of IEEE Int. Test Conf., pp.250-258, Oct., 1996.