

マルチサイクルキャプチャテスト生成における低消費電力要因解析

日大生産工(院) ○山崎 紘史 日大生産工(院) 西間木 淳
日大生産工 細川 利典 京都産大 吉村 正義

1. はじめに

近年の半導体微細化技術の進歩に伴って、大規模集積回路 (Very Large Scale Integrated circuits: VLSI) が大規模化・高速化し、テスト実行時における消費電力の増大が問題となっている。テスト時の過度な消費電力は IR ドロップを発生させ、回路内に遅延を引き起こすことで良品を不良品と判断する誤テストを行う可能性がある。また、消費電力による発熱で回路を破壊する可能性も考えられる。これらの現象により、テスト時の消費電力増加は歩留まり損失の原因の一つとして考えられる。したがって、歩留まり損失を抑制するためにテスト時の消費電力を削減することが重要である。

VLSI のテスト方法として広く普及しているスキャンテスト[1]では、テスト時特有の消費電力としてスキャンチェーンへのテストデータの印加を行うシフト動作時に発生するシフト電力[2]と、テスト応答のフリップフロップ(Flip-Flop: FF)への格納を行うキャプチャ動作時に発生するキャプチャ電力[2]が挙げられる。シフト動作時には最長スキャンパス長分のクロックパルスが必要となるため、シフト電力の影響は温度上昇という形で現れ、VLSI を高熱で破壊する可能性がある。一方、キャプチャ動作時には FF の遷移が同じタイミングで発生し、回路内の多くの信号線が遷移するため、キャプチャ電力の影響は IR ドロップによる回路内の遅延増加という形で現れ、誤テストを行う可能性がある。本論文では、フルスキャン設計[1]が施された順序回路の遷移故障モデルを対象とするテスト生成において、キャプチャ電力の削減を試みる。

遷移故障のテスト方法として、2 パターンテストが提案されている[2]。また 2 パターンテストを用いた実速度スキャンテスト法として、スキュードロード方式[3][4]とブロードサイド方式[5]が提案されている。本論文ではブロードサイド方式を用いる。キャプチャ時高消費電力の原因として、VLSI の機能動作を考慮せず構造的なテスト生成を行っていることが考えられる。フルスキャン設計が施された回路において、一般的な自動テスト生成 (Automatic Test Pattern Generation: ATPG) は機能動作を考慮せずテスト生成の容易性を優先してテスト生成を行う。そのため、生成されたテストパターンのスキャン FF の状態が機能動作では起こりえない状態となり、回路内の多くの信号線に遷移を発生させている可能性がある。

一方、文献[6]においてブロードサイドテスト用のテストパターンに対してマルチサイクル間(5 サイクル以上)キャプチャ動作を実行することでキャプチャ電力が減少することが報告されている。また、 $k(\geq 2)$ 時間展開モデルを利用してテスト不可能な遷移故障を判定するための手法としてマルチサイクルキャプチャテスト生成が文献[7]で提案されている。

本論文では、文献[6]で報告されているキャプチャ動

作をマルチサイクル間実行することによるキャプチャ電力の減少に着目し、マルチサイクルキャプチャテスト生成を用いて、 $k(\geq 2)$ サイクル間キャプチャ動作を行って最終時刻で遷移故障を励起・検出し、 $k-1$ 時刻におけるスキャン FF と外部入力(Primary Inputs: PI)の値をテストパターンとすることで、キャプチャ電力の抑制を目的としたブロードサイド方式の遷移故障テスト生成法を提案し評価を行う。

また、従来のブロードサイド方式のテスト生成では、機能動作で遷移しない状態に FF を設定してテスト生成を行っている可能性がある。この状態を無効状態という。一方、提案手法では、たとえ 1 時刻目が無効状態であったとしてもキャプチャ動作をマルチサイクル間実行することで、FF の状態が機能動作で遷移する状態、すなわち有効状態へと遷移する可能性がある。そのため、本論文では低消費電力設計された回路に対してテスト生成を行い、生成されたテスト集合を有効状態と無効状態に分類し、それぞれのキャプチャ時消費電力の解析を行った。

2 章でマルチサイクルキャプチャ動作と WSA について、3 章で提案手法であるキャプチャ消費電力削減のためのマルチサイクルキャプチャテスト生成を提案し、4 章で実験結果について考察し、5 章で結論と今後の課題について述べる。

2. マルチサイクルキャプチャ動作と WSA

文献[6]において、ブロードサイドテスト用のテストパターンに対してマルチサイクル間キャプチャ動作を実行することで、キャプチャ時消費電力が減少することが報告されている。本章では予備実験として、ATPG で生成したテストパターンに対して、キャプチャ動作を 50 サイクル間動作させた時のキャプチャ時消費電力を評価する。また、本論文ではキャプチャ時消費電力の評価には重み付き信号遷移 (Weighted Switching Activity: WSA)[8]を利用する。2.1 節で予備実験内容について説明し、2.2 節で予備実験結果を示す。

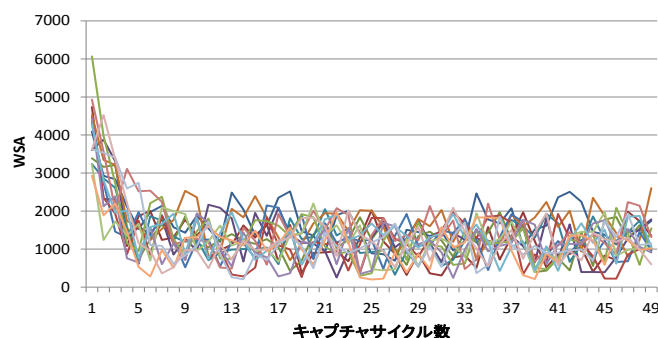


図 1. s15850 の 50 サイクル動作時の WSA

An Analysis of Low Power Dissipation using Multi Cycle Capture Test Generation

Hiroshi YAMAZAKI, Jun NISHIMAKI, Toshinori HOSOKAWA, and Masayoshi YOSHIMURA

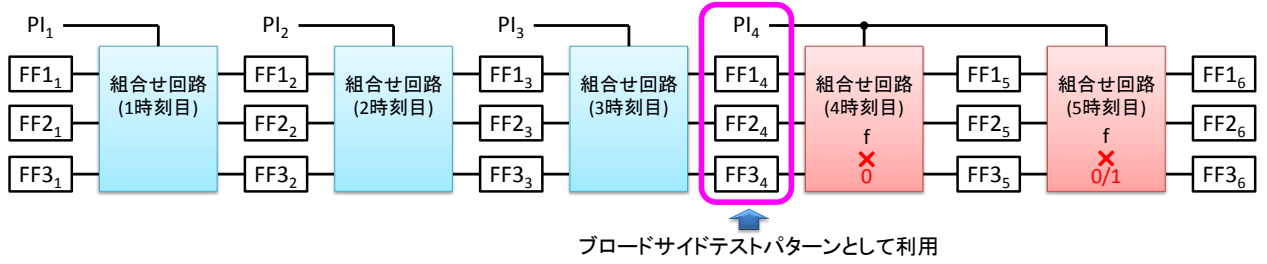


図 2. キャプチャ消費電力削減のためのマルチサイクルキャプチャテスト生成モデル例($k=5$)

2.1. 予備実験

本章では、文献[6]で報告されている内容を確認するために、予備実験としてマルチサイクル間のキャプチャ動作とキャプチャ時消費電力の関係について解析した。ブロードサイドテストではシフト動作によりテストパターンを印加した後、キャプチャ動作を2サイクル間実行するが、本予備実験ではシフト動作によるテストパターンを印加後、キャプチャ動作を50サイクル間実行させ、各サイクルにおける WSA を解析する。外部入力の値は1サイクル目のキャプチャでは ATPG で生成したテストパターンを印加し、2サイクル目以降はランダムパターンを印加する。

2.2. 予備実験結果

本章では予備実験結果について説明する。図 1 に s15850 に対して 50 サイクル間キャプチャ動作を行った際の WSA の推移を示す。図 1 において縦軸は WSA、横軸はキャプチャサイクル数を示す。テスト集合は Synopsys 社の TetraMAX ATPG で生成したテスト集合である。故障モデルは遷移故障を対象とした。テストパターン数は 20 パターンである。

図 1 の結果より、多くのテストパターンにおいて、1 サイクル目のキャプチャ動作時の WSA が一番高い結果となった。また、多くのテストパターンにおいて、5 サイクル以上キャプチャ動作を行うと WSA が激的に減少し、WSA の変化が小さくなることが確認できた。他の回路においても同様の結果が得られた。

本論文ではこの結果に着目し、テスト生成時にマルチサイクルキャプチャテストのための k 時間展開モデルを応用した低消費電力指向テスト生成法を提案する。

3. キャプチャ消費電力削減のためのマルチサイクルキャプチャテスト生成

本章では、提案手法であるマルチサイクルキャプチャテスト生成モデルを用いた低消費電力指向テスト生成について説明する。提案手法ではテスト対象回路に対して、 k 時間展開したテスト生成モデルを用いてテスト生成を行う。また提案手法はフルスキャン設計された回路を対象とする。また、本手法で生成したテスト集合に対するテストは、ブロードサイドテストを対象とする。3.1 節で提案手法のテスト生成法について説明し、3.2 節で提案手法のアルゴリズムについて説明する。

3.1. キャプチャ消費電力削減のためのマルチサイクルキャプチャテスト生成モデル

マルチサイクルキャプチャテスト生成モデルにおける k 時間展開モデルは、1 時刻目の FF の出力を擬似

外部入力とし、 k 時刻目の FF のデータ入力を擬似外部出力として、 k 時間分順序回路を時間展開した回路モデルである。また本論文で提案するキャプチャ消費電力削減のためのマルチサイクルキャプチャテスト生成モデルでは、時刻 $k-1$ と k のみをテストに用いる。時刻 $1 \sim k-2$ までの回路は状態正当化のみに利用する。そのため、時刻 $1 \sim k-2$ の回路においては外部入力の値は常に同じである必要はなく、異なる外部入力値を制御可能なモデルとする。また、1 時刻目から $k-1$ 時刻目の組合せ回路部に関しては、故障は設定しない。一方、時刻 $k-1$ 、時刻 k においては遷移故障を設定する。また、時刻 $k-1$ 、時刻 k においては遷移故障のテストに用いるモデルであるため、FF のクロックに同期して外部入力値を変化させることは困難であるので同じ値が入力されるモデルにする。

図 2 に信号線 f の立上り遷移故障に対する、5 時間展開モデル($k=5$)の場合の提案手法のテスト生成モデルの例を示す。図 2 において、1 時刻目の FF である $FF1_1$, $FF2_1$, $FF3_1$ の 3 個の FF は可制御である。また最終時刻+1 の FF である $FF1_6$, $FF2_6$, $FF3_6$ の 3 つの FF は可観測である。また、 $PI_1 \sim PI_4$ の各外部入力も可制御であり、4 時刻目と 5 時刻目の外部入力である PI_4 のみ同一の値が入力される。また 4 時刻目の組合せ回路部には、信号線 f に立上り遷移故障の初期値である 0 を割当てて、5 時刻目の組合せ回路部には、信号線 f に立上り遷移故障の故障値である 1/0 を割当てて、1 時刻目から 3 時刻目の組合せ回路部に関しては、故障は設定しない。テスト生成後、 PI_4 と $FF1_4$, $FF2_4$, $FF3_4$ に割当てられた値をブロードサイド用のテストパターンとして保存する。このようなテスト生成モデルを用いることで、キャプチャ動作を複数サイクル間実行した後の FF の状態をテストパターンとするため、キャプチャ電力が抑制されたテストパターンが得られることが期待できる。

3.2. キャプチャ消費電力削減のためのマルチサイクルキャプチャテスト生成アルゴリズム

本章では、提案手法であるマルチサイクルキャプチャテスト生成モデルを用いた低消費電力指向テスト生成のアルゴリズムを示す。図 3 に提案手法の全体アルゴリズムを示す。

回路 C と時間展開数 k 、高消費電力テストパターンを判定するための WSA 閾値 th を入力とする。まず高消費電力テスト集合 HPT と低消費電力テスト集合 LPT を Φ に初期化する(行 4, 行 5)。次にテスト生成の対象となる全ての遷移故障を算出し故障集合 F に代入する(行 6)。行 6 で算出した F と C を基に、ブロードサイドモデルでテスト生成を行い、テスト集合 T を算出する(行 7)。 T に対してブロードサイドモデルで故障シミ

```

1. Procedure low_power_multi_cycle_test_generation(C, k, th);
2. C : circuit, k : time_expansion, th : wsa_threshold
3. {
4.     HPT =  $\Phi$ ;
5.     LPT =  $\Phi$ ;
6.     F = collect_all_fault(C);
7.     T = broadside_test_generation(C, F);
8.     D = broadside_fault_simulation(C, T);
9.     XT = x_identification(C, D, T);
10.    FT = low_power_x_filling(C, XT);
11.    for each test pattern  $ft_i$  in FT {
12.         $wsa_i$  = calc_wsa(C,  $ft_i$ );
13.        if ( $wsa_i > th$ ) {
14.            HPT = HPT  $\cup$   $ft_i$ ;
15.        }
16.        else {
17.            LPT = LPT  $\cup$   $ft_i$ ;
18.        }
19.    }
20.    HPF = broadside_fault_simulation(C, HPT, F);
21.    LPF = broadside_fault_simulation(C, LPT, F);
22.    HPF = HPF - LPF;
23.    for each fault  $hpf_i$  in HPF {
24.         $mt_i$  = multi_cycle_capture_test_generation(C, k,  $hpf_i$ );
25.        LPT = LPT  $\cup$   $mt_i$ ;
26.        DM = broadside_fault_simulation(C,  $mt_i$ , HPF);
27.        HPF = HPF - DM;
28.    }
29.    return (LPT);
30.}

```

図 3. マルチサイクルキャプチャを用いた低消費電力指向テスト生成アルゴリズム

ュレーションを実行し、検出故障集合 D を算出する(行 8). T に対してドントケア判定[9]を実行し、ドントケアを含むテスト集合 XT を生成する(行 9). XT に対してキャプチャ時消費電力を低減するドントケア割当て[10]を実行し、テスト集合 FT を生成する(行 10). FT に含まれる各テストパターン ft_i に対して行 12 から行 19 の処理を適用する. ft_i に対して WSA を算出し wsa_i を求める(行 12). wsa_i が th より大きいかなかを判定する(行 13). もし wsa_i が th より大きければ ft_i を HPT に加え、 HPT を更新する(行 14). それ以外の場合は、 ft_i を LPT に加え、 LPT を更新する(行 17). HPT に対してブロードサイドモデルで故障シミュレーションを実行し、検出故障 HPF を算出する(行 20). LPT に対してブロードサイドモデルで故障シミュレーションを実行し、検出故障 LPF を算出する(行 21). HPF から LPF の差集合をとり、 HPT でしか検出できないアンセーフ故障集合 HPF を更新する(行 22). HPF に含まれる各故障 hpf_i に対して行 24 から行 28 の処理を適用する(行 23). hpf_i に対して時間展開数 k でマルチサイクルキャプチャテスト生成モデルを用いた低消費電力指向テスト生成を行い、テストパターン mt_i を生成する(行 24). mt_i を LPT に加え、 LPT を更新する(行 25). mt_i に対してブロードサイドモデルで故障シミュレーションを実行し、検出故障集合 DM を算出する(行 26). HPF から DM の差集合をとり、 HPF を更新する(行 27). テスト集合 LPT を返す(行 29).

4. 実験

本章では、提案したキャプチャ消費電力削減のためのマルチサイクルキャプチャテスト生成法の実験結果

と考察を示す. 4.1 節で ISCAS'89 ベンチマーク回路に対する実験結果を示し、4.2 節で低消費電力設計が施された回路に対する提案手法の実験結果を示す.

4.1. 実験結果

本章では ISCAS'89 ベンチマーク回路に対する実験結果を示す. 故障モデルは遷移故障である. 時間展開数 k は 2,5,10,15,20 で実験を行っている. $k=2$ は従来のブロードサイド方式のテスト生成と同一である.

表 1 に図 3 の行 22 までの処理を適用した、初期テスト生成結果を示す. 表 1 において、「閾値割合」は高消費電力テストパターンを判定するための閾値 WSA を計算するための割合を示す. 閾値割合は最高 WSA の 70%を用いた. 「 WSA 閾値」は高 WSA の閾値を示し、生成されたテスト集合の最高 WSA の 70%から算出した. 「アンセーフパターン数」は WSA 閾値を超えたテストパターン数, 「アンセーフ故障数」はアンセーフパターンでのみ検出可能な故障数を示す.

表 2 に表 1 のアンセーフ故障を対象に、図 3 の行 23 から 30 までの処理を適用した結果を示す. 表 2 において「テスト不可能故障判定数」は k 時間展開テスト生成モデルにおいてテスト不可能と判定された故障数を示す. また、「 $k=2$ 」, 「 $k=5$ 」, 「 $k=10$ 」, 「 $k=15$ 」, 「 $k=20$ 」は提案手法の時間展開数を示す. 「 lp_tmax 」は図 3 の 24 行目の処理を、キャプチャ時消費電力を考慮した TetraMAX ATPG で実行したものである. TetraMAX ATPG の打ち切り制限はバックトラック数 100 億回に設定した. 図 3 より、 $k=2$ と lp_tmax では、ほとんどの故障がアンセーフ故障と判定された. s13207 と s38417 においては、 lp_tmax で打ち切り故障が存在した. また、提案手法では時間展開数 k を増やすほどアンセーフ故障数が減少する傾向がある.

表 3 に表 2 におけるテストパターン数を示す. 「セーフパターン数」は WSA 閾値以内のテストパターン数を示す. ほとんどの回路において提案手法におけるテストパターン数は、時間展開数 k を変更しても大きく増減しないことがわかる. しかしながら、s38417 においては時間展開数 k を増やすごとにテストパターン数が増加していく傾向が確認できた.

4.2. 低消費電力設計回路に対する実験結果

従来のブロードサイド方式のテスト生成では、FF を無効状態に設定してテスト生成を行っている可能性がある. 一方、提案手法では、1 時刻目でたとえ無効状態であったとしても、キャプチャ動作をマルチサイクル間実行することで、有効状態へと遷移する可能性がある. しかしながら、低消費電力設計が施されていない回路に対しては、有効状態においても回路内の多くの信号線に遷移が発生する可能性が考えられる. 本章では、低消費電力設計を施した回路を設計し、低消費電力設計回路に対して提案手法の有効性を検証した.

表 4 に設計した低消費電力設計を施した回路に対して、提案手法($k=2,5,10,15,20$)でテスト生成を行った結果を示す. ここで $k=2$ は従来のブロードサイド方式のテスト生成と同一である. また本実験は、回路内の全ての遷移故障を対象に、図 3 の 24 行目の処理を適用した. 表 4 において、ex01 回路は無効状態時の次状態の定義を行っていない、ex02 回路は無効状態時の次状態を無効状態となるように設計した回路である. また ex2 回路は 6 サイクル動作すると、無効状態から有効状態へと状態遷移をする回路である. 表 4 において、「有効状態数」はコントローラの動作で定義されている状態数、「無効状態数」はコントローラの動作で定義

されてない状態数,「無効状態テストパターン数」は生成されたテストパターンで無効状態だったテストパターン数を示す。表 4 より, $k=10$ 以上でテスト生成を行うと無効状態のテストパターンが生成されないことが確認できた。表 5 に, 表 1 のテスト集合に対する WSA を示す。表 5 において,「有効状態パターン」は提案手法で生成されたテスト集合のうち有効状態であるテストパターン,「無効状態パターン」は提案手法で生成されたテスト集合のうち無効状態であるテストパターンを示す。表 5 より, 低消費電力設計が施された回路において, 無効状態の方が有効状態より最高 WSA, 最小 WSA, 平均 WSA が高いことが確認できた。

5. まとめ

本論文では, マルチサイクルキャプチャテスト生成用いたキャプチャ電力削減のためのテスト生成法を提案した。提案手法により, アンセーフ故障数の削減ができた。また, 時間展開数 k を増加するほどアンセーフ故障数が減少する傾向があることが確認できた。低消費電力設計が施された回路に対して, 時間展開数 $k=10$ 以上にすることで無効状態を含まないテスト集合が生成可能であることが確認できた。また, 低消費電力設計が施された回路では無効状態のほうが有効状態より WSA が高いことが確認できた。今後の課題として, アンセーフ故障数のさらなる削減や, テストパターン数の削減が挙げられる。

文献

[1] H. Fujiwara, “Logic Testing and Design for Testability,” The MIT

Press, (1985) pp298.

- [2] A.Krstic, and K-T Cheng, “Delay Fault Testing for VLSI Circuits,” Kluwer Academic Publishers, 1998.
- [3] J.Savir. “Skewd-Load Transition Test: Part 1:, Calculus.” Proceedings of IEEE International Test Conference, pp705-713, 1992
- [4] J.Savir. “Skewd-Load Transition Test: Part 2:, Calculus.” Proceedings of IEEE International Test Conference, pp714-722, 1992
- [5] Xiao Liu and Michael S. Hsiao “Constrained ATPG for Broadside Transition Testing” Department of Electrical & Computer Engineering, Virginia Tech, Blacksburg, VA 24061.
- [6] E. K. Moghaddam, J. Rajski, S. M. Reddy, M. Kassab, “At-Speed Scan Test with Low Switching Activity,” IEEE VLSI Test Symposium, pp177-182, 2010.
- [7] Masayoshi YOSHIMURA, Hiroshi OGAWA, Toshinori HOSOKAWA and Koji YAMAZAKI, “Evaluation of Transition Untestable Faults Using a Multi-Cycle Capture Test Generation Method,” IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems, pp273-276, 2010.
- [8] Syng-Jyan Wang, Kuo-Lin Fu, Katherine Shu-Min Li, “Low Peak Power ATPG for n-Detection Test”, p1, 1999.
- [9] K. Miyase, K. Noda, H. Ito, K. Hatayama, T. Aikyo, Y. Yamato, H. Furukawa, X. Wen and S. Kajihara, “Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-Identification,” IEEE/ACM International Conference on Computer-Aided Design, pp. 52-58, 2008.
- [10] Xiaoping Wen, Kohei Miyase, Seiji Kajihara, Tatsuya Suzuki, Yuta Yamato, Patrick Girard, Yuji Ohsumi, Laung-Terng Wang, “A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing,” International Test Conference, Paper 25.1, 2007.

表 1. 初期テスト生成結果

回路名	閾値割合	対象故障数	検出故障数	テスト不可能故障数	打ち切り故障数	テストパターン数	WSA閾値	アンセーフパターン数	アンセーフ故障数
s5378	70%	10590	6546	4044	0	223	1111	12	156
s9234	70%	18468	13813	4655	0	581	1759	71	519
s13207	70%	26358	19261	7097	0	627	1919	52	372
s15850	70%	31694	20009	11685	0	498	2252	8	120
s35932	70%	71224	49278	21946	0	113	8740	22	4922
s38417	70%	76678	73736	2942	0	1307	8222	46	2688
s38584	70%	76864	50138	26726	0	1820	4499	13	1448

表 2. 再テスト生成後のアンセーフ故障数

回路名	閾値割合	対象故障数	アンセーフ故障数						テスト不可能故障判定数						打ち切り故障数					
			k=2	k=5	k=10	k=15	k=20	lp tmax	k=2	k=5	k=10	k=15	k=20	lp tmax	k=2	k=5	k=10	k=15	k=20	lp tmax
s5378	70%	156	156	61	51	64	58	156	0	29	47	56	56	0	0	0	0	0	0	0
s9234	70%	519	516	93	58	40	56	482	0	296	297	297	298	0	0	0	0	0	0	0
s13207	70%	372	372	257	107	110	119	372	0	39	140	140	140	0	0	0	0	0	0	0
s15850	70%	120	119	27	15	18	0	117	0	19	25	25	26	0	0	0	0	0	0	0
s35932	70%	4922	4922	4363	2962	2460	2218	4922	0	0	0	0	0	0	0	0	0	0	0	0
s38417	70%	2688	2688	1094	385	139	226	2688	0	36	38	38	38	0	0	0	0	0	0	4
s38584	70%	1448	1448	804	747	725	645	1448	0	31	31	31	31	0	0	0	0	0	0	0

表 3. 再テスト生成後のテストパターン数

回路名	閾値割合	対象故障数	テストパターン数						セーフパターン数						アンセーフパターン数					
			k=2	k=5	k=10	k=15	k=20	lp tmax	k=2	k=5	k=10	k=15	k=20	lp tmax	k=2	k=5	k=10	k=15	k=20	lp tmax
s5378	70%	156	32	39	33	25	28	32	0	13	11	8	9	0	32	26	22	17	19	32
s9234	70%	519	129	62	63	69	66	128	1	37	43	47	44	6	128	25	20	22	22	122
s13207	70%	372	95	117	96	99	94	102	0	13	41	44	43	0	95	104	55	55	51	102
s15850	70%	120	17	24	20	20	20	22	1	16	16	14	19	1	16	8	4	6	1	21
s35932	70%	4922	71	67	50	53	49	48	0	2	10	14	11	0	71	65	40	39	38	48
s38417	70%	2688	168	221	276	299	316	161	0	23	119	139	199	0	168	198	157	160	117	161
s38584	70%	1448	122	134	125	133	143	72	0	66	83	91	95	0	122	68	42	42	48	72

表 4. 低消費電力設計回路に対する無効状態テストパターン数

回路名	対象故障数	有効状態数	無効状態数	テストパターン数					無効状態テストパターン数				
				k=2	k=5	k=10	k=15	k=20	k=2	k=5	k=10	k=15	k=20
ex01	14434	17	15	508	518	505	479	463	168	0	0	0	0
ex02	14588	17	15	506	502	509	502	467	87	57	0	0	0

表 5. 低消費電力設計回路の WSA

回路名	テストパターンタイプ	最高WSA					最小WSA					平均WSA				
		k=2	k=5	k=10	k=15	k=20	k=2	k=5	k=10	k=15	k=20	k=2	k=5	k=10	k=15	k=20
ex01	有効状態パターン	3499	3370	3553	3457	3221	229	178	200	223	205	1618	1604	1571	1585	1585
	無効状態パターン	3840	-	-	-	-	1675	-	-	-	-	2737	-	-	-	-
ex02	有効状態パターン	3546	3403	3330	3325	3446	206	212	216	231	228	1591	1608	1568	1604	1617
	無効状態パターン	3710	3729	-	-	-	1180	2106	-	-	-	2835	2916	-	-	-