

ドントケア抽出とテスト圧縮技術を用いたブロードサイド テストパターン数削減のための制御ポイント挿入法

日本生産工(院) ○山崎 紘史 日大生産工 細川利典
九大(院) 吉村正義

1. はじめに

近年、超大規模集積回路(Very Large Scale Integrated circuits: VLSI)の高速化、複雑化、高集積化により、テストコストの増大が問題となっている。VLSIの高速化のため、タイミング遅延欠陥が増加し、縮退故障におけるテスト集合の他に遷移故障におけるテスト集合によるテストが必要不可欠である。しかしながら、遷移故障におけるテスト集合は、縮退故障におけるテスト集合に比べてテストパターン数が大きく増加する。さらに、VLSIの大規模化によりテストパターン数が増加傾向にある。テストパターン数の増加に伴いテスト実行時間が増加し、テストコストの増大につながる。このことから、遷移故障におけるテストパターン数の削減が重要である。

テストパターン数が増加する問題を解決する手法の一つがテスト圧縮[1,2]である。テスト圧縮技術はテスト生成中にテスト圧縮を行う動的圧縮[1,2]と、テスト生成後にテスト圧縮を行う静的圧縮[1,2]に分類される。動的圧縮では自動テスト生成(ATPG: Automatic Test Pattern Generation)によるテスト生成時にテスト圧縮を行う。ATPGはある故障 f_1 を検出するためのテストパターン t を生成する場合、 t には多くのX(ドントケア)が含まれている可能性がある。その場合、動的圧縮では t に含まれるXに対して別の故障 f_2 を検出するためにXに0または1のケアビットの割当てを行い、再度テスト生成を行う。このように、テスト生成時に複数の故障を検出するようにテストパターンを生成することで、テストパターン数を削減することが可能である。静的圧縮にはXを利用する手法[3,4]と、故障の被覆関係に基づく手法[1,5]が存在する。Xに基づくテスト圧縮は、テストパターン中のXを利用して複数のテストパターンを1つのテストパターンに圧縮する[3,4]。故障の被覆関係に基づくテスト圧縮は、故障シミュレーションを利用して冗長なテストパターンを削除する。故障の被覆関係に基づくテスト圧縮法として逆順故障シミュレーション[5]や二重検出法[1]が存在する。一般に多くのXを含むテストパターンは他のテストパターンと圧縮しやすい傾向にある。この傾向を用いたテスト容易化設計(DFT: Design For Testability)手法として文献[6-14]のテストポイント挿入技術が提案されている。

テストポイント挿入技術[6-14]はテストポイント挿入をすることによりテストパターン中のX数を増加させ、テスト圧縮の効率を高めることが可能である。文献[4-12]では、縮退故障テスト集合のテストパターン

数削減のためのテストポイント挿入技術が提案されている。また文献[13,14]では、遷移故障用テスト集合のテストパターン数削減のためのテストポイント挿入技術が提案されている。文献[13]は、スキュードロード方式[15,16]に基づいている。また文献[14]はブロードサイド方式[17]に基づいている。これら文献[6-14]のテストポイント挿入法は、テストポイント挿入後回路に対して再度ATPGによるテスト生成を実行することにより、テストパターン数の削減を実現している。しかしながら、ATPGはテストポイント挿入をした付加回路部を利用してテスト生成するとは限らず、その結果テストパターン数が意図通りに削減されない可能性がある。

本論文では、ATPGによるテストパターンの再生成を行う必要のないブロードサイド方式に基づいた遷移故障用テスト集合におけるテストパターン数削減のためのテストポイント挿入法を提案する。提案手法では、テストポイント挿入後の回路に対して、X抽出技術[18]およびテスト圧縮技術[19]を用いたテストパターン変更を行う。

2. ブロードサイドテストパターン数削減のための制御ポイント挿入技法

2. 1. ブロードサイド方式による遷移故障テスト

遷移故障を検出するためには、2つのテストパターンが必要となる。遷移故障検出法である2パターンテストを用いた実速度スキャンテスト法としてブロードサイド方式[17]やスキュードロード方式[15,16]が提案

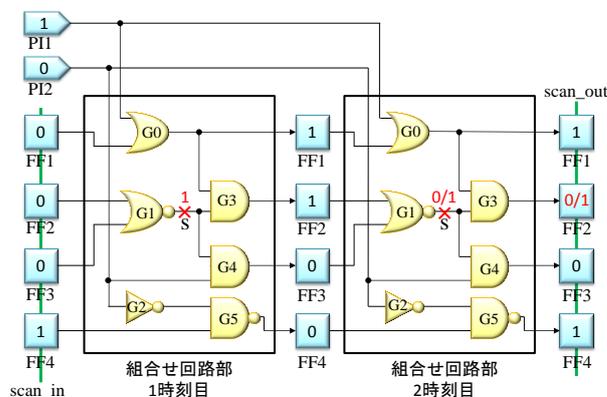


図 1. ブロードサイド方式による遷移故障テスト

A Control Point Insertion Method Using Don't Care Identification and Test Compaction Techniques to Reduce the Number of Test Patterns for Broad Side Test

Hiroshi YAMAZAKI, Toshinori HOSOKAWA, and Masayoshi YOSHIMURA

されている。図1にブロードサイド方式による信号線 s の立ち上がり遷移故障の検出の例を示す。

ブロードサイド方式は、スキャン設計された回路に対して適用される。ブロードサイド方式では、1時刻目のスキャン FF にはシフト動作により 1 パターン目のテストパターンが印加され、2 時刻目のスキャン FF には 1 パターン目の回路応答が 2 パターン目のテストパターンとして印加される。また、外部入力も 1 パターン目と 2 パターン目には同じ値が印加される。このように遷移故障の検出には、遷移前の信号線値を設定するテストパターンと、遷移後の信号線値を設定し故障影響を伝搬させるテストパターンを連続して印加しなければならない。

図1に外部入力数が2個($PI1, PI2$)、スキャン FF 数が4個($FF1, FF2, FF3, FF4$)から構成される順序回路において信号線 s に立ち上がり遷移故障が発生していると仮定した回路を例に説明をする。まず始めに信号線 s に 0 を割当て可能なテストパターンを 1 パターン目に印加する。例では、($PI1, PI2, FF1, FF2, FF3, FF4$) = (1, 0, 0, 0, 0, 1) となるようにテストパターンを印加する。次に 1 パターン目の回路応答を FF に取り込むことにより 2 パターン目のテストパターンとなり、各 FF は ($FF1, FF2, FF3, FF4$) = (1, 1, 0, 0) となる。この処理により信号線 s で値の遷移が起こり、立ち上がり遷移故障が励起され、その故障影響が $FF2$ まで伝搬し、 $FF2$ において故障影響を観測することが可能となる。

2. 2. 従来の制御ポイント挿入によるブロードサイドテストパターン数削減アプローチ

ブロードサイド方式による遷移故障テストパターン削減のアプローチとして、文献[14]の制御ポイント挿入によるテストパターン削減法が提案されている。制御ポイントとは、テストポイントの一種であり、対象信号線を可制御にすることができる。図2に例を示す。文献[14]では FF の D 端子に接続されている信号線に対して制御ポイント挿入を行うことにより、故障検出に必要な FF および外部入力のケアビット数を削減させ、テスト圧縮の効率を高める目的がある。図2では、 $FF2$ に対して制御ポイントを挿入することにより、1 時刻目の $FF2, FF3$ のケアビットを X にすることができる。

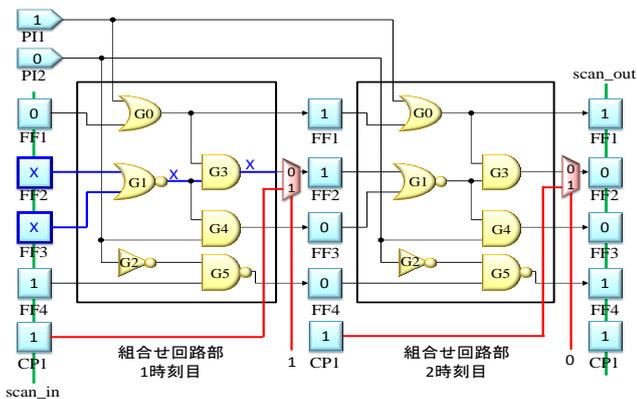


図 2. 制御ポイント挿入による X 増加例

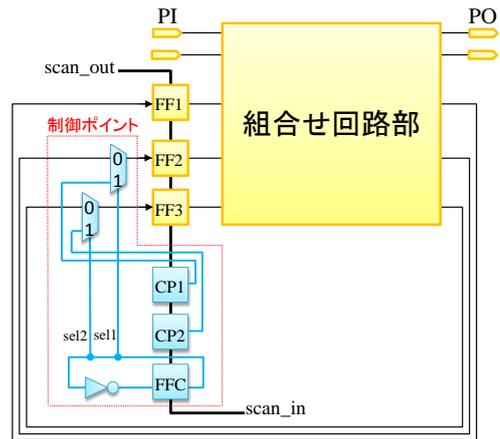


図 3. 制御ポイント挿入例

2. 3. 制御ポイント構造

文献[12]の制御ポイントの回路構造は、マルチプレクサとスキャン FF と NOT ゲートから構成されており、スキャン FF の D 端子に接続されている信号線に挿入される。n 個の FF に対して制御ポイントを挿入した場合、n+1 個のスキャン FF, n 個のマルチプレクサ, 1 個 NOT ゲートが付加される。図3に文献[12]の制御ポイント挿入例を示す。制御ポイントは元回路のスキャン FF の通常データ入力に挿入される。図3において、CP1, CP2, FFC は制御ポイント挿入により付加されたスキャン FF を示している。FFC はマルチプレクサの制御端子の入力を制動するスキャン FF であり、すべてのマルチプレクサの sel に接続されている。マルチプレクサは 1 時刻目では制御ポイント(CP1, CP2)からの入力を出力し、2 時刻目では組合せ回路部からの入力を出力する。

3. X 抽出とテスト圧縮技術を用いたブロードサイドテストパターン数削減のための制御ポイント挿入法

文献[14]では遷移故障の故障検出が困難な箇所制御ポイントを挿入し、高い故障検出率を維持しつつ遷移故障テストパターン数を削減することを目的としている。しかしながら、制御ポイント挿入箇所が故障検出困難な箇所であることから制御ポイントが遷移故障テストパターン数削減に効果的に使用されていない可能性がある。また、制御ポイントを挿入することにより、スキャン FF 数の増加により回路構造が変化するので、挿入後にテストパターンの再生成が必要であった。しかしながら再テスト生成において、制御ポイント挿入の意図通りに、テスト圧縮を指向したテスト生成が実行されるとは限らない。したがって、本論文では、制御ポイント挿入後に、X 抽出技術[18]とテスト圧縮技術を用いることにより ATPG による再テスト生成を必要としない手法を提案する。また、文献[14]では検出困難故障を評価関数としていたが、制御ポイント挿入後に削減されるテストパターン数を評価関数として用いることにより、テストパターン数削減に効果的な制御ポイント挿入箇所探索アルゴリズムを提案する。

```

1. Procedure CPI(C, T, num_cpi)
2. C: circuit, T: test set, num_cpi: #control points; {
3. {
4.     for (i = 0; i < num_cpi; i++) {
5.         (C, T) = Search_insertion_point(C, T);
6.     }
7.     T = Test_compaction(C, T);
8.     return(C, T);
9. }

```

図 4. 提案手法全体アルゴリズム

3. 1. 問題定式化

遷移故障用テストパターン数削減のための制御ポイント挿入による問題定式化を示す。

(問題定式化)

入力：フルスキャン設計された回路，ブロードサイド方式の遷移故障用テスト集合，制御ポイント挿入数

出力：制御ポイント挿入されたフルスキャン設計回路，制御ポイント挿入に対応したブロードサイド方式の遷移故障用テスト集合

最適化：制御ポイント挿入に対応したブロードサイド方式の遷移故障用テスト集合のテストパターン数最小化。

3. 3. X抽出とテスト圧縮技術を用いた制御ポイント挿入法

図 4 に提案手法の全体アルゴリズムを示す。提案手法はフルスキャン設計された回路(C)，ブロードサイド方式による遷移故障用テスト集合(T)，フルスキャン設計回路(C)に対して挿入する制御ポイント数(num_cpi)の3つが入力として与えられる。制御ポイント挿入数分，5行目の処理を繰り返す。5行目は，回路C

```

1. Procedure Search_insertion_point (C, T);
2. C: circuit, T: test_set;
3. {
4.     FFcp = FF0;
5.     Tcp = T;
6.     for (i=0; i<num_FF; i++){
7.         C' = Temporary_control_insertion(C, FFi);
8.         T' = Temporary_XID(C', T);
9.         T' = Temporary_test_compaction(T');
10.        if (|Tcp| > |T'|) {
11.            Tcp = T';
12.            FFcp = FFi;
13.        }
14.    }
15.    C = Control_point_insertion(C, FFcp);
16.    T = XID(C, T);
17.    return (C, T);
18. }

```

図 5. 制御ポイント挿入箇所探索アルゴリズム

およびテスト集合 T を入力とし，制御ポイント挿入箇所探索を行う。C に対し制御ポイント挿入回路，および X 抽出によるテスト集合の更新を行う。7 行目は制御ポイント挿入された回路 C，テスト集合 T を入力とし，テスト圧縮を行う。8 行目において制御ポイント挿入された回路 C，テスト圧縮されたテスト集合 T を出力する。

図 5 に制御ポイント挿入箇所探索アルゴリズムを示す。制御ポイント挿入箇所探索アルゴリズムは，図 4 の 5 行目で実行される関数である。フルスキャン設計回路 C，およびテスト集合 T を入力とする。本関数は，制御ポイント挿入探索を全スキャン FF 数分繰り返す。4 行目において，制御ポイント挿入箇所 $FFcp$ に FF_0 を代入する(初期化)。5 行目において，テストパターン集合 Tcp に入力されたテスト集合 T を代入する(初期化)。次に 6 行目から 14 行目までの処理をスキャン FF 数分繰り返す。7 行目は回路 C，および選択されている FF を入力とし，仮制御ポイント挿入を行う。仮制御ポイント挿入された回路を C' として出力する。8 行目は回路 C'，およびテスト集合 T を入力とし，仮 X 抽出を行い，仮テスト集合 T' を出力する。9 行目は仮テスト集合 T' を入力し，テスト圧縮を行い，仮テスト集合 T' を更新する。10 行目において，テスト集合(Tcp)より，仮テスト集合 T' のテストパターン数が少ない場合，11, 12 行目の処理を行う。11, 12 行目は，それぞれ Tcp および FFcp の更新を行う。15 行目において，回路 C，制御ポイント挿入箇所 FFcp を入力とし，制御ポイント挿入を行い，制御ポイント挿入された回路 C を出力する。16 行目は，回路 C，テスト集合 T を入力とし，X 抽出を行い，テスト集合 T を出力する。17 行目において，制御ポイント挿入された回路 C および，テストパターン変更されたテスト集合 T を出力する。

4. 実験結果

本章では，提案した制御ポイント挿入手法の実験結果を示す。提案手法，および制御ポイント挿入後再テスト生成を行ったテスト集合についてテストパターン数の比較を行う。予備的な実験として，2 時間展開した回路の 2 時刻目に縮退故障を割当てたテスト生成モデルを用いる。通常遷移故障の場合，2 時刻目の立ち上がり(立ち下がり)遷移を検出するために 1 時刻目に故障箇所信号線の値を初期化する。本実験のテスト生成モデルとの違いは，1 時刻目に値の初期化を行うかの違いであり，本実験によって制御ポイント挿入による遷移故障テスト集合の圧縮についての上界を得ることができる。テスト集合は Synopsys 社の TetraMAX で生成されたものを用い，対象回路は ISCAS' 89, ITC' 99 ベンチマーク回路に対して評価を行った。また，制御ポイント挿入数は 2 個で設定をした。

表 1 に提案手法の実験結果を示す。実験結果より，提案手法は，平均 44.95% のテストパターン数削減効果が得られた。

図 6 に s5378，図 7 に s9234 の全ての FF の組合せに対して，制御ポイント挿入を行い X 抽出，テスト圧縮を実行した実験結果を示す。図 6，図 7 の結果からテ

ストパターン数削減に有効な FF の組合せは非常に少ないことがわかる。また、図 6、図 7 において圧縮後のテストパターン数が最小の FF の組合せは、提案手法により選択された FF の組合せと同一であった。

5. おわりに

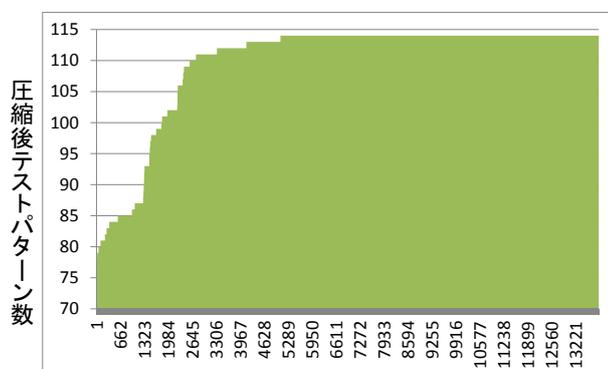
本論文では、制御ポイント挿入による遷移故障用テストパターン数削減法を提案した。実験結果より、提案手法では平均 44.95% のテストパターン削減率を得ることができた。今後の課題として、遷移故障モデルでの実験があげられる。

参考文献

- [1] Seiji Kajihara, Irith Pomeranz, Kozo Kinoshita and Sudhakar M. Reddy, "Cost-Effective Generation of Minimal Test Sets for Stuck-at Faults in Combinational Logic Circuits," IEEE Transactions, pp1496 - 1504, Dec 1995.
- [2] P.Goel and B.C.Rosales, "Test Generation and Dynamic Compaction of Tests," Digest of papers 1979 Test Conf., pp189-192, 1979.
- [3] D. Brelaz, "New Methods to Color the Vertices of a Graph," Communications of the ACM, Vol.22, Issue 4, pp. 251-256, 1979.
- [4] P.Goel and B.C.Rosales, "Test Generation and Dynamic Compaction of Tests," Digest of papers of Test Conf., pp.189-192, 1979.
- [5] L. N. Reddy, I. Pomeranz and S. M. Reddy, "ROTCO: A Reverse Order Test Compaction Technique," IEEE EURO-ASIC Conf., pp. 189-194, 1992.
- [6] C.-C. Lin, M. Marek-sadowska, K.-T. Cheng and M.T.-C. Lee, "Test Point Insertion: Scan Paths through Combinational Logic," 33rd Design Automation Conference, pp. 268-273, 1996.
- [7] M.J. Geuzebroek, J.T. van der Linden and A.J. van deGoor, "Test Point Insertion for Compact Test Sets," Proc. Int. Test Conf., pp. 292-301, 2000.
- [8] I. Pomeranz and S.M. Reddy, "Test Point Insertion to Enhance Test Compaction for Scan Designs," Dependable Systems and Networks, pp. 375-381, June 2000.
- [9] M.J. Geuzebroek, J.T. van der Linden and A.J. van deGoor, "Test Point Insertion That Facilitates ATPG in Reducing Test Time and Data Volume," Proc. Int. TestConf., pp.138-147, 2002.
- [10] M. Yoshimura, T. Hosokawa and M. Ohta, "A Test Point Insertion Method to Reduce the Number of Test Patterns," The 11th Asian Test Symposium, pp. 298-304, 2002.
- [11] R. Sethuram, S. Wang, S.T. Chakradhar and M.L. Bushnell, "Zero Cost Test Point Insertion Technique to Reduce Test Set Size and Test Generation Time for Structured ASICs," Asian Test Symposium, pp.339-346, 2006.
- [12] S. Remersaro, J. Rajski, T. Rinderknecht, S.M. Reddy and I. Pomeanz, "ATPG Heuristics Dependent Observation Point Insertion for Enhanced Compaction and Data Volume Reduction," IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems, pp. 385-393, 2008.
- [13] S. Wang and S.T. Chakradhar, "A Scalable Scan-path Test Point Insertion Technique to Enhance Delay Fault Coverage for Standard Scan Designs," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 25, No. 8, pp. 1555-1564, August 2006.
- [14] K.J. Balakrishnan and L. Fang, "RTL Test Point Insertion to Reduce Delay Test Volume," IEEE VLSI Test Symposium, pp. 325-332, 2007.
- [15] J. Savir, "Skewed-load Transition Test: Part 1: Calculus," Proc. IEEE International Test Conference, pp. 705-713, October 1992.
- [16] J. Savir, "Skewed-Load Transition Test: Part 2: Calculus," Proc. IEEE International Test Conference, pp. 714-722, October 1992.
- [17] J. Savir and S. Patil, "On Broad-side Delay Test," VLSI Test Symposium, pp. 284-290 Sept. 1994.
- [18] K. Miyase and S. Kajihara, "XID: Don't Care Identification of Test Patterns for Combinational Circuits," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol. 23, No. 2, pp. 321-326, 2004.
- [19] D. Brelaz, "New Methods to Color the Vertices of a Graph," Communications of the ACM, Vol.22, Issue 4, pp. 251-256, 1979.

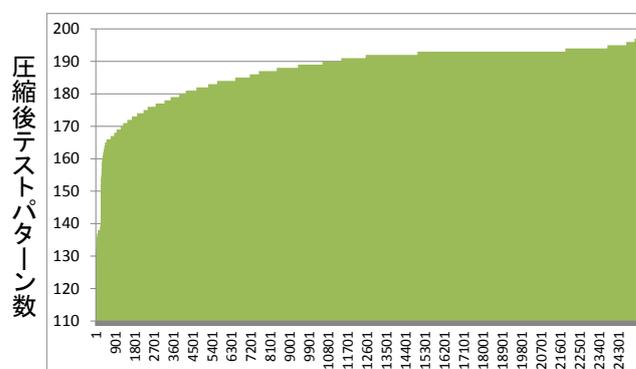
表 1. 実験結果

回路名	FF数	制御ポイント挿入数	初期テストパターン数	提案手法テストパターン数
s5378	179	2	119	73
s9234	228	2	214	124
b14	245	2	787	361



制御ポイント挿入FF組合せ番号

図 6. s5378 全通り



制御ポイント挿入FF組合せ番号

図 7. s9234 全通り