

マルチサイクルキャプチャテスト集合を用いた 誤り経路追跡診断法の評価

日本大学生産工(学部) ○高野秀之
日大生産工(院) 鈴木悠介 日大生産工(院) 山崎紘史
日大生産工 細川利典 明大 山崎浩二

1. はじめに

半導体微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) において、異常動作の物理的な原因を特定する故障解析[1]は、歩留まりの向上のために重要である。故障解析では、電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため、多大なコストを要する。そのため、故障 VLSI に存在する可能性のある故障（被疑故障）の数を事前にできる限り絞り込んでおく故障診断[2]が、故障解析コストの低減のために重要となる。故障診断[2]では、故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。

組合せ回路やスキャン設計された順序回路における単一縮退故障モデルの故障診断手法は様々なものが提案されており、被疑故障数も大きく削減できることが報告されている[2]。しかしながら、順序回路については、被疑故障数を少数に絞り込むことは必ずしも容易ではない。

一方、VLSI のテスト手法として、縮退故障を対象としたスキャンテスト[3][4]が、必要不可欠である。また、テスト品質を更に向上させるためには遅延テスト[5]や実速度機能テスト[6]が必要であることが報告されている。そのため、スキャンテストのキャプチャモードにおいて順序動作を複数サイクル間実行してテストを行うマルチサイクルキャプチャテストが

重要である[7][8]。

縮退故障や遅延故障に対する従来のスキャンテストはキャプチャモードでの順序動作は1または2サイクルのみである。一方、マルチサイクルキャプチャテストでは、複数サイクル間の順序動作を実行するので、従来のスキャンテストでは検出できなかった欠陥を検出できる可能性が高まると考えられる。また、マルチサイクルキャプチャテストでは、従来のスキャンテストと比較して実動作に近いことから、テスト時の消費電力が削減できるという利点も挙げられる。

本論文では、マルチサイクルキャプチャテスト集合を用いて誤り経路追跡法[9]を単一縮退故障モデルを仮定した故障 VLSI に適用し、その被疑故障数、及び実行時間を評価する。

2. マルチサイクルキャプチャテスト

現在、VLSI のテストには一般的にスキャンテストが用いられている。スキャンテストはシフト動作によって回路中の各フリップフロップ(Flip-Flop : FF)に外部から任意の状態を設定でき、また、それらの FF の状態を容易に観測することが可能である。しかしながら、スキャンテスト[3][4]は1サイクル、または2サイクルのみで動作させるため、十分な機能動作を行えておらず、結果としてテスト品質が下がってしまうという問題がある。

図1は、261個の不良VLSIをそれぞれのテス

A Fault Diagnosis method for Single Stuck-at Fault
Using Erroneous Paths Tracing for Multi Cycle Capture Test

Hideyuki TAKANO, Yusuke SUZUKI, Hiroshi YAMAZAKI
Toshinori HOSOKAWA and Koji YAMAZAKI

ト手法によってテストし、不良であると判定できた VLSI の数を示した図である。

この図より、スキャンテスト（縮退・遅延スキャンテスト）のみだと 8 個の不良 LSI を不良品と判定できず、良品として出荷してしまうこ

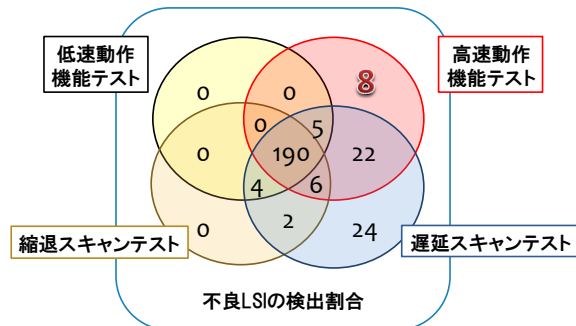


図 1.261 個の不良 LSI 検出分布図

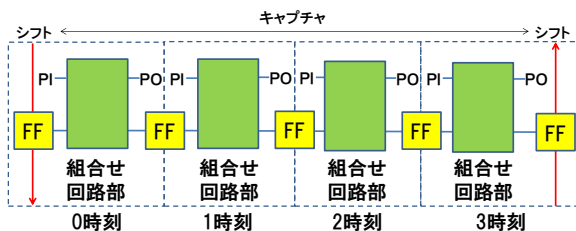


図 2.マルチサイクルキャプチャテスト(k=4)

とがわかる。その問題を解決するための手法として、スキャンテストに順序動作を組み込んだマルチサイクルキャプチャテスト[7][8]が提案された。マルチサイクルキャプチャテストは、0 時刻目にシフト動作より FF の状態を指定し、k サイクル分機能動作させた後、k 時刻目にキャプチャ動作によりシフト動作で取り込んだ FF の状態を観測するスキャンテストである。

3. 誤り経路追跡法

誤り経路追跡法[9]とは、故障の影響を観測した（疑似）外部出力から入力側へと経路を追跡していくことで故障箇所を同定していく故障診断法である。

3.1 誤り経路追跡法の概要

誤り経路追跡法は、テストパターン出力期待値と観測値が異なる（疑似）外部出力から、入力側に向かって、故障の影響が伝搬してくる可能性のある信号線を追跡することによって誤りの原因となる故障を同定する方法であり、会故障モデルに依存しない故障診断法である。

よって、全体の処理時間が非常に高速で、使用する記憶領域も小さい。

2.2 誤り経路追跡法による診断

図 3 に信号線 f に 1 縮退故障が発生している回路例を示す。

誤り経路追跡は、以下の追跡規則に従って誤りが観測された（疑似）外部出力から外部入力、または FF に到達するまで故障の可能性のある経路を追跡することにより故障信号線を絞り込む。

[追跡規則]

- 1) 制御値をもつ入力線がただ 1 つ存在するとき、その入力線を追跡する。制御値が複数存在するときは、それらのうちの任意の一つを追跡する。
- 2) 制御値をもつ入力線が存在しないときは、全ての入力線を追跡する。

図 4 は各テストパターン、各フェイル外部出力に対して誤り経路追跡を行った図である。テスト t_0 では、外部出力 p で誤りが観測されている。外部出力 p を出力とする NAND ゲート

の入力 ℓ, k の正常回路における期待値はそれぞれ 0, 1 である。このとき、追跡規則 1 より、制御値をもつ信号線 ℓ を追跡する。信号線 ℓ の入力

は信号線 f のみであるので、信号線 f を追跡する。信号線 f を出力とする AND ゲートの入力 a, d の期待値はそれぞれ 1, 0 であるので、追跡規則 1 より信号線 d を追跡する。信号線 d の入力は信号線 b のみであるので、信号線 b を追跡する。信号線 b は外部入力であるのでテスト t_0 における誤り経路追跡を終了する。結果的に図 4(a) における太線で示される信号線が追跡され、 t_0 における被疑故障信号線は

$$\{b, d, f, \ell, p\}$$

がとなる。

テスト t_1 では、外部出力 p, q で誤りが観測されている。外部出力 p で観測された誤りに関しては、図 4(b) に太線で示す信号線が追跡され、 t_1 の外部出力 p からの被疑故障信号線は

$$\{a, f, \ell, p\}$$

となる。

外部出力 q で観測された誤りに関しては、図 4(c) に太線で示される信号線が追跡され、 t_1 の外部出力 q からの被疑故障信号線は

$$\{a, f, g, j, q\}$$

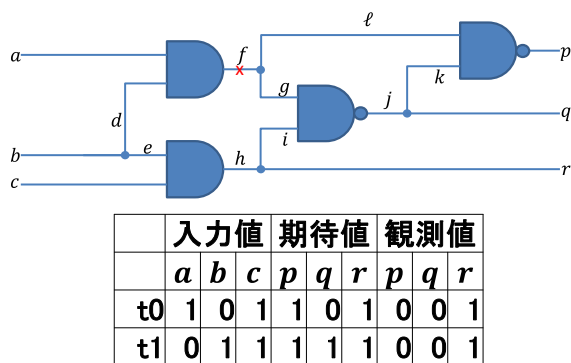


図 3.対象回路と入出力表

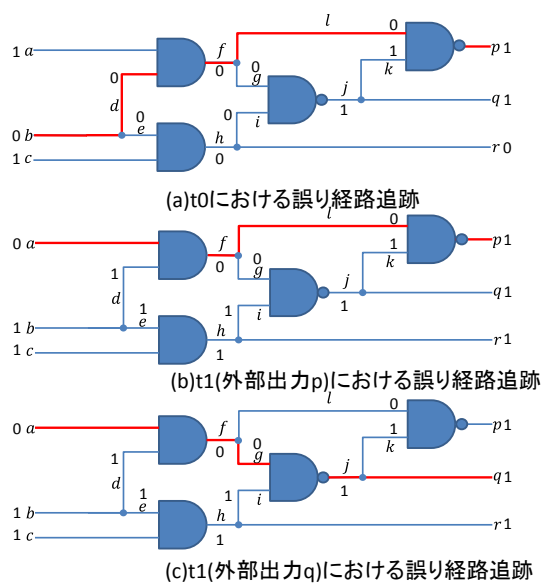


図 4.誤り経路追跡

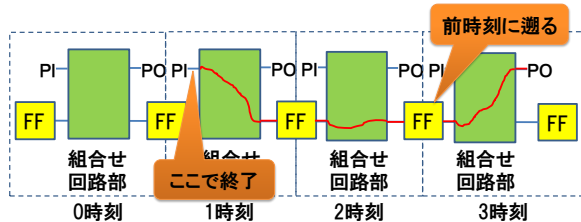


図 5.後方追跡が FF に達したとき

となる。

ここでは、単一縮退故障を欠陥とした不良 VLSI を対象としているので、最終被疑故障線は外部出力で観測された誤り毎に求めた被疑故障信号線集合の共通部分となる。したがって、最終被疑故障信号線は

$$\{b, d, f, \ell, p\} \cap \{a, f, \ell, p\} \cap \{a, f, g, j, q\} = \{f\}$$

となる。

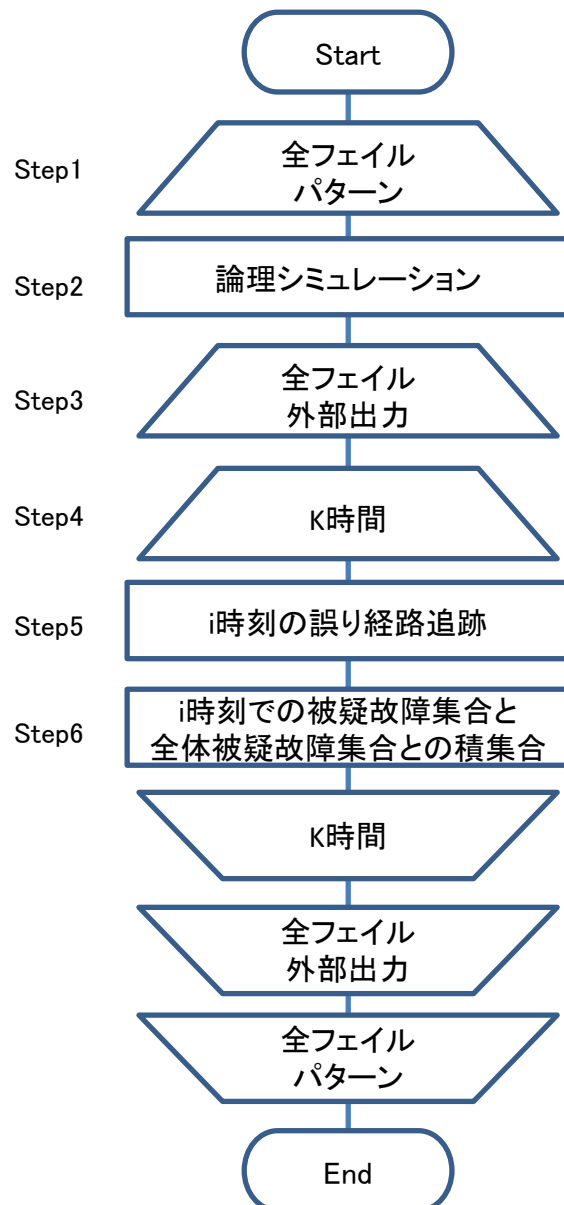


図 6.マルチサイクルキャプチャテスト用誤り経路追跡アルゴリズム

2.3 マルチサイクルキャプチャテストを考慮した誤り経路追跡法

マルチサイクルキャプチャテストを考慮した誤り経路追跡法では、後方追跡が FF に到達した場合、現在時刻-1 時刻目の組合せ回路部に対して、再び後方追跡を行う必要がある。

図 6 にマルチサイクルキャプチャテスト用を考慮した誤り経路追跡のアルゴリズムを記す。

(Step1)

全フェイルパターンに対して誤り経路追跡を行う。

(Step2)

選択したフェイルパターンに対して論理シミュレーションによって期待値を求める。

(Step3)

全フェイル外部出力に対して誤り経路追跡を行う。

(Step4)

k 時間分誤り経路追跡を行う。

(Step5)

i 時刻目の誤り経路追跡を行う。

(Step6)

i 時刻目の誤り経路追跡によって得られた被疑故障集合と全体被疑故障集合との積集合をとる

4. 実験結果

回路名	信号線数	時間展開数	被疑故障信号線数		
			最大	最少	平均
s27	27	1	18	1	7.04
		2	22	2	9.58
		3	24	2	10.71
		4	24	2	12.11

5. まとめ

本論文ではマルチサイクルキャプチャテストのための誤り経路追跡法について提案し、その評価を行った。

今後の課題として、故障シミュレーション法との併用による高速で高い分解能をもつ故障診断法の提案、評価が挙げられる。

参考文献

- [1] H.Y.Chang, E.Manning and G.Metze: "Fault Diagnosis of Digital Systems", John Wiley & Sons, Inc.1970
- [2] E.Manning H.Y.Chang and G.Metze. Fault Diagnosis of Digital Systems. John Wiley & Sons, Inc., 1970.
- [3]H.Fujiwara,"Logic Testing and Design for Testability" The MIT Press,1985.
- [4] M.Abramovici , M.A.Breuer, and A.D.Friedman. Digital Systems Testing and Testable Design. Computer Science Press,1990.
- [5]A.Krstic, and K.-T.Chang, "Delay Fault Testing for VLSI Circuits,"Kluwer Academic Publishers,1998
- [6]P.C.Maxwell, R.C.Aitken, R.Kollitz, and A.C.Brown," IDDQ and AC scan: the war against unmodelled defects" Proc. of IEEE Int. Test Conf.,pp.250-258,Oct.,1996
- [7]I.Pomeranz and S.M.Reddy,"Static Test Compaction for Scan-Based Designs to Reduce Test Application Time," IEEE Asian Test Symposium,pp.541-552,1998.
- [8]J.Abraham,U.Goel and A.Kumar,"Multi-cycle sensitizable transition delay faults" ,VLSI Test Symposium,pp.306-313,2006.
- [9] 山田輝彦 中村芳行. 組合せ回路における単一縮退故障の一診断法. 電子情報通信学会論文誌, 1991