

故障活性化率向上のためのドントケア割当ての評価

日大生産工(院) ○北尾 隆志 日大生産工(院) 山崎 紘史
日大生産工 細川 利典 九州大学(院) 吉村 正義

1. はじめに

従来，大規模集積回路(VLSI：Very Large Scale Integrated circuits)のテスト生成には縮退故障モデルや遷移故障モデルが広く用いられている．これらの故障モデルは計算機での取り扱いが容易でかつ，多くの欠陥がこれらの故障用のテストで検出できることなどが利点として挙げられる[1][2]．

しかしながら，近年の VLSI の製造技術の進歩に伴い，回路の大規模化，高速化，複雑化が進み，それに伴って故障モデルも複雑化している．従来使用されてきた縮退故障テストや遷移故障テストでは検出することが困難な欠陥が増加している．そのため，様々な欠陥を検出できる高品質なテスト集合の生成が必要とされている．本論文では，検出困難な故障として，微小遅延故障[3]，オープン故障[4-8]を対象とし，高品質なテスト集合とは，これらの検出困難な故障モデルの検出率が高いテスト集合を示す．

高品質なテスト手法として， n 回検出テスト[9][10]が知られている． n 回検出テストとは，「回路内の各故障が，異なる $n(n>0)$ 個以上のテストパターンで検出される」ようなテストである． n 回検出テストの利点として，既存のテスト生成アルゴリズムの応用で容易に実現可能であり， n の値を増加すればテスト品質も向上するということが知られている[9][10]．しかしながら， n 回検出テストは容易に高品質なテスト集合が生成できる反面， n の値が増加するに伴いテストパターン数が最大 n 倍増加するという欠点知られている[3][4]．さらに， n 回検出テストの定義に従いテスト生成を行った場合，テスト品質に向上しないテストパターンが生成される可能性が存在する[11]という欠点知られている．テスト品質に向上しないテストパターンが生成される問題に対して提案された手法として，

故障活性化率指向 n 回検出テスト生成法(FSOD: Fault Sensitization Coverage Oriented n -Detection Test Generation)が提案されている[11]．この手法は，できるだけ多くの故障伝搬経路を活性化させるようにテスト集合を生成する．

文献[11]において，縮退故障に対して様々な経路を活性化するようにテスト生成を行うことで，様々な故障モデルの検出条件を満たす可能性が上がり，実際にブリッジ故障に対するテスト品質の向上に効果的であることが報告されている．したがって，本論文では，文献[11]に記されている，「ある故障に対して活性化される信号線数が多いほど，テスト品質も向上する」という考えに基づき，検出困難な故障を検出する高品質なテスト集合の生成を目的とする．

2 章では n 回検出テストとその問題点について述べる．3 章では本論文で使用するテスト評価尺度の定義とその計算方法を述べ，4 章では本提案手法について述べる．5 章では実験結果について評価し，6 章では，今後の課題について述べる．

2. n 回検出テスト

n 回検出テストとは，「回路内の各故障が，異なる n 個以上のテストパターンで検出される」ようなテストである[3][4]．

図 1 にフルスキャン設計した順序回路を使用した 2 回検出テストの例を示す．図 1 において，外部入力は(a, c)，外部出力は(k)，疑似外部入力は(b, d)，疑似外部出力は(h, j)である．信号線の値は(1 時刻目の値→2 時刻目の値)と表記する．tpA では，信号線 b の立ち上がり遷移故障が $tpA(a, b, c, d)=((1, 0, 1, 1) \rightarrow (1, 1, 1, 1))$ で検出できる．tpB では，信号線 b の立ち上がり遷移故障が $tpB((1, 0, 0, 0) \rightarrow (1, 1, 0, 1))$ で検出できる．この様に，信号線 b の立ち上

Evaluation of a don't care filling method to increase fault sensitization coverage

Takashi KITAO, Hiroshi YAMAZAKI,
Toshinori HOSOKAWA, and Masayoshi YOSHIMURA

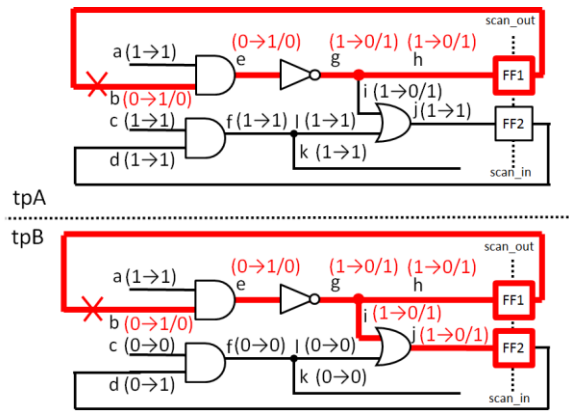


図 1. 2 回検出テスト

がり遷移故障がテスト集合中に存在する 2 つの異なるテストパターンで検出できる場合、信号線 b の立ち上がり遷移故障は 2 回検出であるという。ただし、テスト集合には信号線 b の立ち上がり遷移故障を検出する他のテストパターンは存在しないものとする。他の信号線の遷移故障に対しても同様に、2 回検出となるように生成したテスト集合は 2 回検出テストの故障検出率 100% のテスト集合である。 n の値を大きくすると欠陥の検出率が向上すると報告されている[3][4]。

しかしながら、 n 回検出テストの問題点として、生成されたテストパターンがテスト品質の向上に寄与しない可能性が存在する。図 2 にその例を示す。図 2 は、故障 b の立ち上り遷移故障を $tpA(1, 0, 0, 1)$ と $tpB(1, 0, 0, 0)$ で検出する例を示している。この例では、異なる 2 つのテストパターン tpA , tpB で故障 b の立ち上り遷移故障を検出しているが、2 つのテストパターンは活性化される信号線が同じであり、回路内部の信号線値もほとんど同である。したがって、2 つのテストパターンで検出される故障に差はほとんどなく、

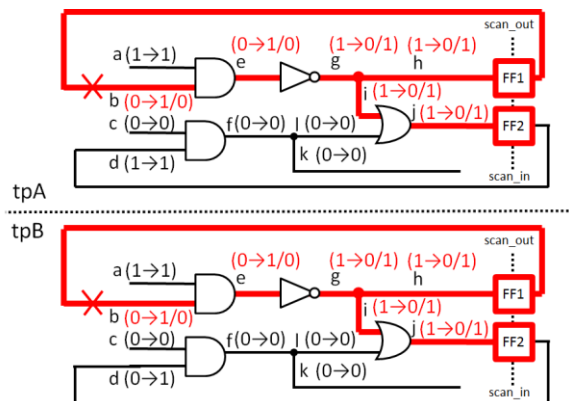


図 2. テスト品質に向上しない 2 回検出テスト

tpB を tpA を含んだテスト集合に加えた場合、テスト品質の向上には寄与しないと考えられる。

3. 故障活性化率

本論文で使用するテスト集合評価尺度として、故障活性化率[7]を採用する。以下にその定義を示す。

[定義] 故障活性化率

テスト集合 T における故障 f の故障活性化率は、故障 f の箇所から構造的に到達可能な信号線のうち、テスト集合 T によって活性化された信号線の割合を示す。

式(1), (2), (3), (4)は、故障 f の故障活性化率を算出するために必要な式を示している。式(1)(2)は、故障 f から疑似外部出力まで到達可能な信号線(トランシブファンアウト)に関する式を示している。(1)式において、 $tfo(f)_k$ とは故障 f から疑似外部出力まで到達可能な任意の信号線を示しており、 $TFO(f)$ は故障 f のトランシブファンアウト集合を示している。(2)式は、故障 f のトランシブファンアウト数を示している。(3)式は、故障活性化信号線判定に関する論理関数を表しており、故障 f がテストパターン t_i で $tfo(f)_k$ を伝搬し疑似外部出力で検出された場合、 $tfo(f)_k$ は故障 f において活性化信号線と判定され 1 となる。それ以外の場合は 0 となる。式(4)は故障活性化率算出式を示している。(4)式は、故障 f の箇所から構造的に到達可能な信号線のうち、テスト集合 T によって活性化された信号線の割合を示している。

4. 故障活性化率向上指向ドントケア割当て法

本章では、提案手法のアルゴリズムを示す。図 4 内の T は初期テスト集合、 F は故障集合を示す。以下にアルゴリズムの手順を示す。

$$tfo(f)_k \in TFO(f) \quad (1)$$

$$|TFO(f)| \quad (2)$$

$$FS(t_i, f, tfo(f)_k) = \begin{cases} 1 & tfo(f)_k \text{ が活性化信号線} \\ 0 & \text{その他} \end{cases} \quad (3)$$

$$Sen(T, f) = \frac{\sum_{k=1}^{|TFO(f)|} |V_{i=1}^{|T|} FS(t_i, f, tfo(f)_k)|}{|TFO(f)|} \quad (4)$$

```

Fault_Sensitization_Coverage_Increase_X_FILLING(T,F)
initial_test_set T, fault_sets F;
{
  T' = X_identification(T,F); /*step1*/
  Fault_Sensitization_Coverage_Calculation(T,F); /*step2*/
  for each test_pattern  $t'_i$  in T' { /*step3*/
    for each target_fault  $f_j$  in F { /*step4*/
      P = Collect_Target_Fault_Sensitization_Path( $t'_i, f_j$ ); /*step5*/
       $t''_i$  = AFTER_FILLING_FSO_X_FILLING( $t'_i, f_j, P$ ); /*step6*/
    }
    Fault_Sensitization_Coverage_Calculation( $t''_i, F$ ); /*step7*/
  }
  T'' = Return_Bit(T, T''); /*step 8*/
  return T''
}

```

図 4. 提案手法アルゴリズム

step1

初期テスト集合 T に対してドントケア抽出を行い、テスト集合 T' を生成する。

step2

ドントケア抽出後テスト集合 T' を対象として、故障活性化率を算出する。

step3

ドントケア抽出後テスト集合 T' からテストパターン t'_i を選択する。

step4

故障集合 F から、故障活性化率を増加させる対象となる故障 f_j を選択する。

step5

選択したテストパターン t'_i に対してドントケア割当が成功した場合、故障 f_j の故障活性化率が向上する可能性を持つパスを探索し、パス集合 P を生成する。

step6

パス集合 P からパスを 1 つ選択し、故障 f_j の故障活性化率を向上するように t'_i ドントケア割当てを行い、割当て後のテストパターンを t''_i とする。

Step7

割当て後テストパターン t''_i を対象として、故障活性化率を算出する。

step 8

各テストパターンに対してのドントケア割当終了後、残ったドントケアに対して、初期テスト集合 T と同じビットをドントケアに割当て、割当て後の最終テスト集合 T'' とする。

5. 実験結果

本論文では、初期テスト集合 T に対しドントケア抽出を行い、テスト集合 T' を生成する。そして、生成されたテスト集合 T' に対して故障影響が途中でつぶれることなく、理想的に割当が成功したときの故障活性化率を求め、少なくともどれだけの故障の故障活性化率が向上する可能性を持つか評価した。対象回路は ISCAS89 ベンチマーク回路を対象とした。図 5、図 6 に実験を行った時の実験結果を示す。横軸は初期テスト集合時の故障活性化率を示し、縦軸は理割当時の故障活性化率を示している。実験結果より、多くの故障の故障活性化率が向上する可能性を示しており、s15850 において、向上する可能性を持つ故障は約 14%、減少する可能性を持つ故障は約 0.7%、s38584 において、向上する可能性を持つ故障は約 13%、減少する可能性を持つ故障は約 3%となった。

6. 今後の課題

今後の課題は、本提案手法では、テストパターン選択や故障選択に対して選択の考慮を加えなかったため、今回の実験結果を元に、テストパターン選択や故障選択を考慮に加え、初期テスト集合よりも故障活

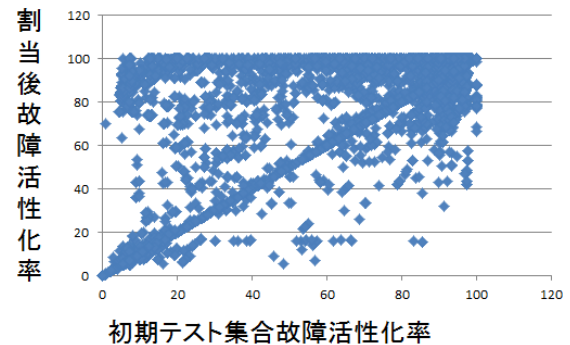


図 5. S15850 実験結果

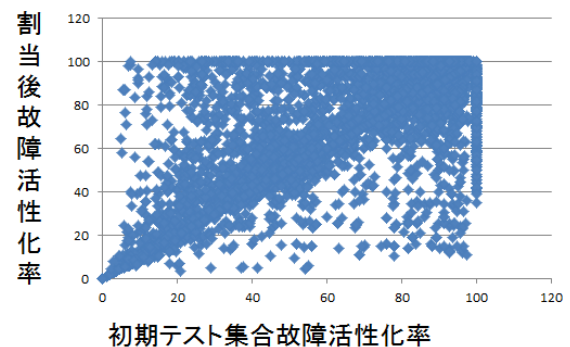


図 6. S38584 実験結果

性化率が向上するようなドントケア割当を行っていき
たい。

7. 参考文献

- [1] Intaik Park, Ahmad Al-Yamani, Edward J. McCluskey, "Effective TARO Pattern Generation, "23rd IEEE VLSI Test Symposium (VTS'05), vts, pp. 161-166, 2005.
- [2] E. J. McCluskey, A. Al-Yamani, C. W. Tseng, E. Volkerink, F. F. Ferhani, E. Li and S. Mitra, "ELF-Murphy data on defects and test sets, "in Proc. 2004 VLSI Test Symp, pp. 16-22, 2004.
- [3] G.L.Smith, " Model for delay faults upon paths," Proceeding of the International Test Conference, pp.342-349, 1985.
- [4] S. M. Reddy, I. Pomeranz, H. Tang, S. Kajihara, and K. Kinoshita, "On Testing Interconnect Open Defects in Combinational Logic Circuits with Stems of Large Fanout," Proc. Int. Test Conf., pp.83-87, 2002.
- [5] S. Venkataraman and S. B. Drummonds, "A Technique for Logic Fault Diagnosis of Interconnect Open Defects," Proc. VLSI Test Symp., pp.313-318, 2000.
- [6] S-Y. Huang, "Symbolic Injec-and-Evaluation Paradigm for Byzantine Fault Diagnosis," Journal of Electronic Testing Theory and Applications, vol. 19, pp.161-172, 2003.
- [7] Y. Sato, I. Yamazaki, H. Yamanaka, T. Ikeda, and M. Takakura, "A Persistent Diagnostic Technique for Unstable Defects," Proc. Int. Test Conf., pp.241-249, 2002.
- [8] H. Konuk, "Voltage- and Current-Based Fault Simulation for Interconnect Open Defects," IEEE Trans. on Computer-Aided Design, vol.18, no. 12, pp.1768-1779, 1999.
- [9] S. C. Ma, P. Franco and E. J. McCluskey, "An Experimental Chip to Evaluate Test Techniques Experiment Result, " in Proc. 1995 International Test Conference, pp. 663-672, Oct. 1995.
- [10] S. M. Reddy, I. Pomeranz and S. Kajihara, "On the effects of Test Compaction on Defect Coverage, " in Proc. 14th VLSI Test Symp, pp. 430-435, April 1996.
- [11] 細川利典 山崎浩二, "故障活性化率向上のための n 回検出テスト法," 電子情報通信学会論文誌, pp. 1474-1482, 2007