

マルチサイクルキャプチャテスト生成を用いた低消費電力指向テスト生成

日大生産工(院) ○川連 裕斗 日大生産工(院) 細川 利典 日大生産工(院) 山崎 紘史
 日大生産工(院) 北尾 隆志 日大生産工(院) 高橋 慶安 日大生産工(院) 平井 淳士
 九大(院) 吉村 正義 明大 山崎 浩二

1. はじめに

近年の半導体微細化技術の進歩に伴って、大規模集積回路 (Large Scale Integrated circuits: LSI) が大規模化・複雑化し、テスト生成時間の増大やテスト実行時における消費電力の増加という問題が発生している。テスト時の過度な消費電力は IR ドロップ[1]を発生させ、回路内に遅延を引き起こすことで良品を不良品と判断する誤テストを行う可能性が高まる。また、消費電力による発熱で回路を破壊する可能性も考えられる。これらの現象により、テスト時の消費電力増加は歩留まり低下の原因の一つとして考えられる。したがって、歩留まり低下を抑制するためにテスト時の消費電力を削減することが重要である。LSI のテストとして広く普及しているスキャンテスト[1]では、テスト時特有の消費電力としてテストデータの印加により発生するシフト電力[2]と、テスト応答のフリップフロップ (Flip-Flop : FF) への格納により発生するキャプチャ電力[2]が挙げられる。キャプチャ動作時には同時に多数の FF に高速な遷移が発生することになり、瞬間的に過度の電力が消費される。そのため、キャプチャ電力の削減が重要となる。本論文では、フルスキャン設計[1]が施された順序回路の遷移故障モデルを対象とするテスト生成において、キャプチャ電力の削減を試みる。遷移故障のテスト方法として、2 パターンテストが提案されている[2]。また 2 パターンテストを用いた実速度スキャンテスト法として、スキュードロード方式[3][4]とブロードサイド方式[5]が提案されている。本論文ではブロードサイド方式を用いる。ブロードサイド方式では 1 パターン目で故障信号線に遷移を発生させるため、初期値に 0 または 1 を設定し、2 パターン目で故障信号線に遷移を発生させて故障影響を FF まで伝搬することで故障を検出している。このとき、1 パターン目の回路応答をキャプチャする時に同時に多数の FF が遷移することで高い消費電力が発生し、それが原因で誤テストを行う可能性がある。キャプチャ時に高い電力を消費する原因として、1 パターン目が通常動作を考慮せずに故障を検出させることやテ

スト生成の容易性を優先し、スキャン FF に印加するテストパターンを生成しているため、回路内に多くの遷移を発生させていることが考えられる。

文献[6]では、マルチサイクル間機能動作を繰り返すことでキャプチャ電力が通常動作の消費電力値に近づき安定することが報告されている。(k ≥ 2) サイクル間機能動作を行ってから最終時刻で遷移故障を励起・検出するようなテストが効果的であると考えられる。シフト動作によりスキャン FF にテストパターンを印加した後、k サイクル間機能動作を行ってテスト生成を行う手法はマルチサイクルキャプチャテスト生成として文献[7][8]で提案されている。

本論文では、マルチサイクルキャプチャテスト生成を用いて、k サイクル間機能動作を行って最終時刻で遷移故障を励起・検出し、最終時刻-1 におけるスキャン FF の値をテストパターンとするような、キャプチャ電力を抑制したテスト生成法を提案する。さらに、高い消費電力となるテストパターンをあらかじめ解析し、1 時刻目の FF に高消費電力テストパターンをスキャンインすることを回避するための制約を与えてテスト生成を実行する方法を提案する。また、テスト生成において制約を付加するという点から、制約付加が容易である充足可能性問題 (Satisfiability problem: SAT) を利用したテスト生成法[9][10][11][12]を採用する。

本論文では、ブロードサイドテスト生成の結果より高消費電力パターンの FF を解析し、高消費電力状態を同定する手法と、同定した高消費電力状態を回避する制約を加えてマルチサイクルキャプチャテスト生成を行う手法を提案する。2 章でブロードサイドテストについて、3 章で高消費電力状態回避テスト生成について、4 章でマルチサイクルキャプチャテスト生成を用いた低消費電力指向テスト生成を説明し、5 章でまとめを述べる。

Test Generation For Low Power Consumption Using Using Multi Cycle Capture Test Generation

Yuto KAWATSURE, Toshinori HOSOKAWA, Hiroshi YAMAZAKI, Takashi KITAO, Yoshiyasu TAKAHASHI, Atsushi HIRAI, Masayoshi YOSHIMURA and Kouji YAMAZAKI

2. ブロードサイドテスト

ブロードサイド方式を用いたテスト例を図 1 に示す。図 1 は立下り遷移故障 f を検出する例である。スキャンインからシフト動作により $(FF1, FF2, FF3)=(0, 1, 0)$ を 1 パターン目のテストパターンとして印可し、故障信号線に遷移を発生させるための初期値として 1 を設定する。次に、1 パターン目のテストパターンに対する回路応答 $(FF1, FF2, FF3)=(1, 0, 0)$ が 2 パターン目のテストパターンとなり、故障信号線に正常値 0 を設定することで $1 \rightarrow 0$ の立下り遷移を発生させ、故障影響 $(0/1)$ を $FF2$ まで伝搬し、シフト動作によりスキャンアウトで検出できる。このとき、2 パターン目のテストパターンは 1 縮退故障を検出するテストパターンと同じである。

3. 高消費電力状態回避制約テスト生成

SAT とは、乗法標準形 (Conjunctive Normal Form: CNF) が与えられたときに、全ての変数の値を 1 (真) または 0 (偽) のどちらかに定めることで、式全体の値を 1 (真) にできる割当てが存在するか否かを判定する問題である。CNF を 1 (真) にできる割当てが存在した場合、充足可能 (SAT) といい、与えられた CNF が正当化可能であることを示す。

SAT は CNF を入力として問題を解決するので、SAT を用いてテストの生成を行うためには、論理回路を CNF に変換する必要がある。

3.1. 充足可能性問題を用いたテスト生成

本論文における SAT を用いたテスト生成では、SAT ベース ATPG である TEGUS[9] で提案された CNF 生成規則を用いる。TEGUS で用いられる CNF は、論理回路を CNF 変換規則[9]に基づいて、正常値を持つ CNF と、故障影響による故障値を持つ CNF に変換した後、故障影響を外部出力まで伝搬させるための制約となる CNF を追加することで生成される。生成された CNF について、SAT-solver を用いて充足可能性問題を解き、式全体を 1 (真) にできる変数の割当てが存在するとき充足可能 (SAT) であるといい、そのときの外部入力にあたる変数の値がテストパターンとなる。式全体を 1 (真) にできる変数の割当てが存在しない場合には充足不可能 (UNSAT) であるといい、その故障はテスト不可能故障である。

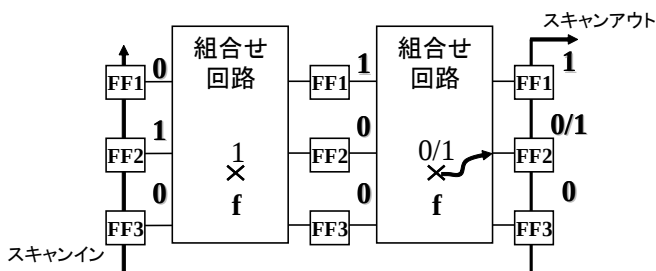


図 1. ブロードサイド方式

3.2. 高消費電力状態回避のための CNF

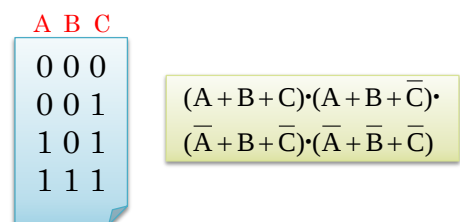
高消費電力状態とは、あらかじめテスト生成を行って生成されたテストパターンについて、WSA(Weighted Switching Activity)[13]によって消費電力を評価し、閾値以上となるようなテストパターンの FF の状態を指す言葉である。WSA について式 1 に示す。

$$WSA = \sum_{i=1}^G tran(g_i) \times (1 + fanout(g_i)) \quad (1)$$

式 1 において、 G は回路中のすべてのゲート数、 $tran(g_i)$ はゲート g_i の遷移数、 $fanout(g_i)$ はゲート g_i のファンアウト数である。1 は遷移が発生したゲートの重み付けのために足し込まれる。WSA 値が高いほど、回路内での遷移が多く発生しているため消費電力が高いと評価できる。

高消費電力状態へ遷移しないような制約を CNF に追加するために、高消費電力状態回避のための制約に対する CNF 変換を行う。初めにテスト対象となる回路に対して高消費電力状態の同定を行う。次に同定された高消費電力状態の情報から、擬似外部入力に高消費電力状態が割当てられると充足不可能となる制約に対する CNF を生成する。3.1 節で説明したテスト対象回路の CNF に高消費電力状態の制約 CNF を追加することで、SAT-solver を用いて充足可能性問題を解くときに高消費電力状態を回避したテスト生成が行われる。

図 2 を用いて高消費電力状態回避のための制約に対する CNF について説明する。図 2(a) に FF を 3 個持つ回路に対して高消費電力パターンを解析し、高消費電力な各パターンにおける FF の状態を示す。図 2(a) の左から 1 列目の FF に A, 2 列目の FF に B, 3 列目の FF に C のリテラルが割り当てられたとすると、擬似外部入力に高消費電力状態が割当てられると充足不可能となる制約 CNF は図 2(b) のようになる。図 2(b) の CNF を制約としてテスト生成を実行する。得られたテストパターンの (A, B, C) の値は図 2(a) に示す高消費電力状態を回避したものである。



(a)高消費電力状態集合 (b)制約 CNF

図 2. 高消費電力状態と制約 CNF

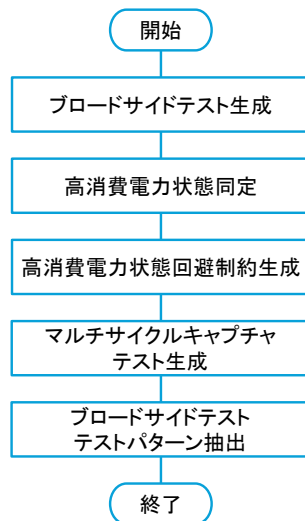


図 3. 提案手法フロー

4. マルチサイクルキャプチャテスト生成を用いた低消費電力指向テストパターン生成

提案手法のフローチャートを図 3 示す。まずブロードサイドテスト生成を実行し、生成したテストパターンに対して WSA 計算を実行し、高消費電力状態を同定する。次に同定した高消費電力状態を回避する制約に対する CNF 式を生成し、その制約を付加してマルチサイクルキャプチャテスト生成を実行する。実行した結果から、時刻 $k-1$ と時刻 k (最終時刻) の FF の値をブロードサイドテストパターンとして抽出する。

4.1. k サイクルキャプチャテスト生成の時間展開モデル

k サイクルキャプチャテスト生成の時間展開モデルとは、1 時刻目の FF の出力を擬似外部入力とし、 k 時刻目の FF のデータ入力を擬似外部出力として、 k 時間分順序回路を時間展開した組合せ回路モデルである。また本モデルでは時刻 1~ $k-2$ まで低速に動作させることが可能なため、外部入力の値は同じである必要はなく、異なる値を設定可能なモデルとする。一方、時刻 $k-1$ 、時刻 k においては遷移故障のテスト生成モデルであるため、FF のクロックに同期して外部入力値を変化させないようにする。

4.2. マルチサイクルキャプチャテスト生成を用いた低消費電力指向テストパターン生成

本論文におけるマルチサイクルキャプチャテスト生成を用いた低消費電力指向テスト生成では、フルスキャン設計された回路を対象とする。それらの回路から k 時間展開モデルを生成し、その k 時間展開モデルに対してテスト生成を行う。

図 5 に提案手法の例を示す。 $k=4$ の 4 サイクルキャプチャテスト生成の時間展開モデルで立下り遷移故障 f を検出するテストパターンの生成例を示す。最終時刻である 4 時刻目のひとつ前の 3 時刻目で、立下り遷移故障を検出するために故障信号線

に初期値として 1 が割当てられ、4 時刻目で立下りの遷移を発生させ、故障影響を疑似外部出力である FF2 へと伝搬することでスキャンアウトで故障が検出される。このときの 3 時刻目の FF の状態と外部入力値を抽出し、ブロードサイド方式の 1 時刻目のテストパターンとして用いることで、機能動作によってキャプチャ電力が抑制されたテストパターンとして効果が期待できる。

従来のブロードサイド方式のテストでは、通常動作で遷移しない状態に FF を設定してテストを行っている可能性がある。この状態を無効状態という。一方で、マルチサイクルキャプチャテスト生成でテスト生成することにより、1 時刻目では無効状態であっても機能動作を数時刻間繰り返すことで、FF の状態が通常動作で遷移する状態、すなわち有効状態へと遷移する可能性がある。有効状態・無効状態の例を図 4 に示す。ブロードサイド方式では、001 → 010 や 111 → 011 のように無効状態から無効状態または無効状態から有効状態といったようなテストパターンが用いられることがある。しかしながら、マルチサイクルキャプチャテスト生成を用いることで、 $k=4$ の場合で 001 → 111 → 011 → 100 のように時刻 3 と時刻 4 において有効状態となり、このときの時刻 3 の FF の状態と外部入力値をブロードサイド方式における 1 時刻目のテストパターンとすることで、テスト中の動作が通常動作へと近づき、消費電力が抑制されることが考えられる。

5. おわりに

本論文では、マルチサイクルキャプチャテスト生成を用いて機能動作させることにより、キャプチャ電力を抑制したブロードサイド方式のテストパターン生成法を提案した。また、高消費電力状態を同定し、高消費電力状態を回避する制約を与えることで低消費電力指向テストパターンを生成する手法を提案した。

今後の予定としては本論文で提案した低消費電力指向テスト生成を実装して実験・評価を行う。

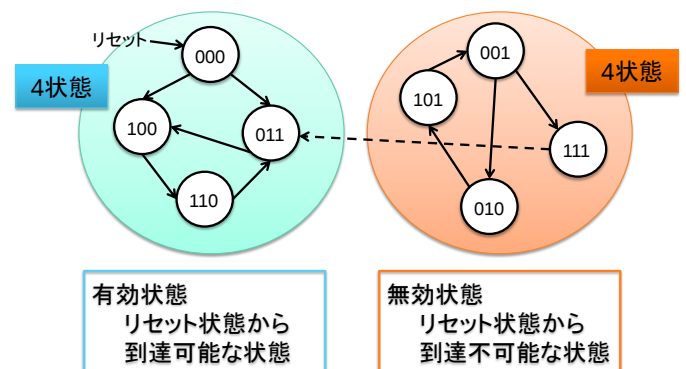


図 4. 有効状態と無効状態

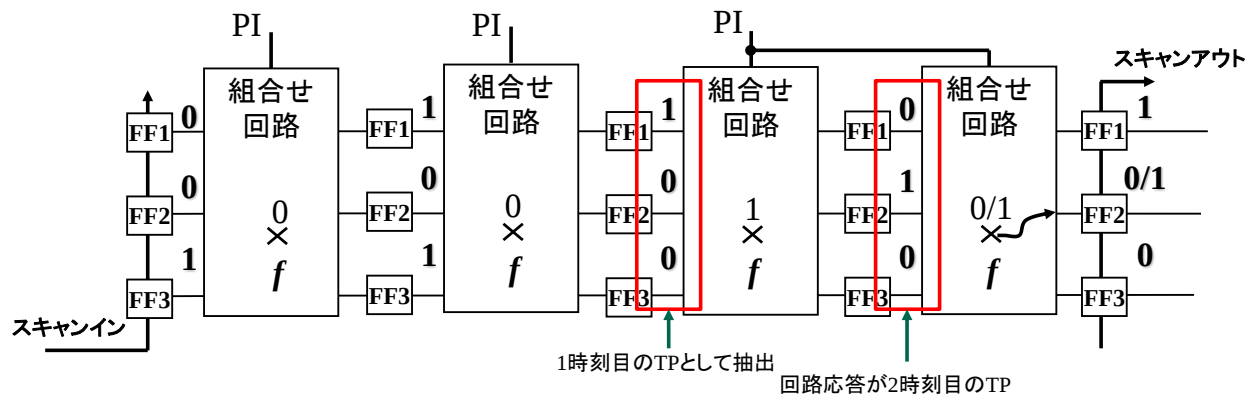


図 5. 提案手法例 (k=4)

「参考文献」

- [1] H. Fujiwara, "Logic Testing and Design for Testability," The MIT Press, (1985) pp298.
- [2] A.Krstic, and K-T Cheng, "Delay Fault Testing for VLSI Circuits," Kluwer Academic Publishers, (1998).
- [3] J.Savir. "Skewd-Load Transition Test: Part 1: Calculus. " Proceedings of IEEE International Test Conference, (1992), pp705-713.
- [4] J.Savir. "Skewd-Load Transition Test: Part 2: Calculus. "Proceedings of IEEE International Test Conference, (1992), pp714-722.
- [5] Xiao Liu and Michael S. Hsiao "Constrained ATPG for Broadside Transition Testing" Department of Electrical & Computer Engineering, Virginia Tech, Blacksburg, VA 24061.
- [6] Yasuo Sato, Hisato Yamaguchi, Makoto Matsuzono, Seiji Kajihara, "Multi-Cycle Test with Partial Observation on Scan-Based BIST Structure," Asian Test Symposium, (2011) pp54-59.
- [7] Masayoshi YOSHIMURA, Hiroshi OGAWA, Toshinori HOSOKAWA and Koji YAMAZAKI, "Evaluation of Transition Untestable Faults Using a Multi-Cycle Capture Test Generation Method," IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems, (2010) pp273-276.
- [8] 小河 宏志, 細川 利典, 吉村 正義, 山崎 浩二, 小河 宏志, "マルチサイクルキャプチャ遷移故障テスト生成を用いた テスト不可能故障の原因解析", 信学技報, vol.109, No.416, (2010) pp13-18.
- [9] Paul Stephan, Robert K. Brayton, and Alberto L. Sangiovanni-Vincentelli., "Combinational Test Generation Using Satisfiability", IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 15, NO. 9, (1996) pp1167-1176.
- [10] Joao P. Marques-Silva., "GRASP: A Search Algorithm for Propositional Satisfiability", IEEE TRANSACTIONS ON COMPUTERS Volume 48 (1999), pp506-521.
- [11] Matthew W. Moskewicz., "Chaff: Engineering an Efficient SAT Solver", 38th annual Design Automation Conference (2001), pp530-535.
- [12] Tracy Larrabee., "Test Pattern Generation Using Boolean Satisfiability", IEEE TRANSACTION ON COMPUTER-AIDEDDESIGN, VOL.11, No.1 (1992).
- [13] Sying-Jyan Wang, Kuo-Lin Fu, Katherine Shu-Min Li, "Low Peak Power ATPG for n-Detection Test", 1996, p1.