SAT を用いた低消費電力指向ドントケア割当て法

日大生産工	○高橋 慶安	日大生産工(院)	山崎 紘史
日大生産工	細川 利典	九大(院)	吉村 正義

1. はじめに

近年の半導体集積技術の進歩に伴い,超大規模集積 回路(Very Large Scale Integrated circuits : VLSI)が 大規模化, 微細化している. それに伴い VLSI のテス ト時の消費電力の増加が問題となっている.

LSI はテスト効率化のためにスキャン設計が施され る場合が多い.スキャン設計回路のテストでは、テス トパターンの印加とテスト応答の観測の際に、通常動 作では起こりえない、多くの消費電力が発生する.こ れらの動作により、テスト時において、消費電力はさ らに増加することとなる.

テスト時の消費電力の増加が引き起こす問題として, 発熱による回路破壊や IR ドロップ[1]による誤テスト 等が挙げられる.テスト時の過度の消費電力は, VLSI の発熱の原因につながり,回路に致命的なダメージを 与え,場合によっては回路を破損させるおそれがある [2].また,過度の消費電力は IR ドロップを引き起こ す可能性が高い[3].IR ドロップは遅延を増大させ,正 常な回路を不良品と誤テストする可能性が高く,歩留 り低下の原因となる[1][4].したがって,歩留り損失を 抑制するため,テスト時の消費電力を削減することが 重要な課題である.テスト時の消費電力の削減手法に ついては様々な方法が提案されており,電源管理技術 の利用,設計変更,テストデータの変更などが挙げら れる[7-9].

本論文では、回路構造の変更が必要無い手法を用い て消費電力の削減を行う.その中で有効な手法として、 テストパターンに対し、ドントケア割当てを行うこと でキャプチャ電力を削減することを目的に提案された JP (Justification-Probability)-Fill 手法[5]が挙げられ る.しかしながら、JP-Fill はドントケアのほとんどを ゲートの遷移確率の計算に基づいて割当てを行う.そ のため、ドントケアを持つ FF で遷移を多く発生させ てしまう可能性がある.本論文では、ドントケアを持 っ FF に遷移が発生しないように論理式を生成し,充 足可能性問題(Satisfiability Problem:SAT)を解くこ とで生成されたテストパターンにより,消費電力が削 減可能であるか否かを評価する.

本論文の構成は以下の通りである.第2章で回路の 消費電力について説明する.第3章でドントケア割当 てについて説明し,第4章でSATを用いたドントケア 割当てを説明する.第5章ではドントケア割当ての実 験結果を示し,考察する.第6章は本論文のまとめを 行い.今後の課題について述べる.

2. 消費電力

相補型金属酸化膜半導体(Complementary Metal Oxide Semiconductor: CMOS)回路の消費電力は静的 なリーク電流,及びスイッチング動作に起因する動的 電流により構成される.本章の 2.1 節で静的および動 的な消費電力について説明する.また,本論文では消費電力の評価として重み付き信号遷移(Weighted Switching Activity: WSA)を用いる. 2.2 節で WSA について説明する.

2-1. 静的および動的な消費電力

静的な電力であるリーク電流は, CMOS 回路の特性 上発生する電流である.テスト時においては, 静的な 消費電力は動的な消費電力よりも低いと報告されてい る[7].

動的電流は、CMOS 回路中の各ゲートの論理値が遷 移することによって発生する.スキャン設計された回 路のテスト時に過度の消費電力が発生する原因として、 テスト時に回路中の FF がテストデータとテスト結果 のシフト動作と高速なキャプチャ動作を行うことが挙 げられる.それにより、テスト時は機能動作時の3倍 以上の消費電力が発生することが報告されている[7].

Don't Care Filling Method for Low Power Consumption Using SAT Yoshiyasu TAKAHASHI, Hiroshi YAMAZAKI, Toshinori HOSOKAWA and Masayoshi YOSHIMURA そのため、シフト時、およびキャプチャ時の消費電力 を削減することが重要となる.

図 1 にシフト電力とキャプチャ電力について示す. シフト動作時にはスキャン FF はテスターから直接ア クセス可能なスキャンチェインとして接続され、シフ トイン動作でテストパターンを読み込むか、シフトア ウト動作でテスト結果を観測するために使用される. キャプチャ動作時には、スキャンFFは通常のFFとし て動作する.印加されたテストパターンのテスト応答 は全てのスキャンFFに読み込まれ、スキャンFFは現 在含まれているテストパターンを置き換える.それに より、スキャン FF の論理値が逆の論理値に遷移する 結果、キャプチャ電力を発生させる.

キャプチャ動作時のタイミングチャートを図2に示 す.SE, CK はそれぞれスキャンイネーブル, クロック を表す.FF において SL で最後のシフト動作が終了す ると,SEを0にし,キャプチャ動作を行う準備をする. 遅延故障を検出するため, キャプチャ動作は実速度で 行われる.この際,多数のFF に同時に遷移が発生す ると,瞬間的に過度の電力が消費される.そのため, キャプチャ電力の削減が重要となる.

2-2. WSA

回路の消費電力を正確に計算する場合,電源電圧や クロック周波数,ゲートの負荷容量など様々な要素が 必要となる[6].本論文における実験ではそれらの要素 を考慮していないため,消費電力の評価として計算式 を簡略化した WSA を用いる. WSA は次の式で表され る.

$$WSA = \sum_{i=1}^{G} tran(g_i) \times (1 + fanout(g_i))$$
(1)

(1)式の G は回路中のゲート数を表す. tran(gi)はゲート giの遷移数であり, fanout(gi)はゲート giのファンアウト数を表す.

3. ドントケア割当て

ー般に生成されたテストパターン中の(疑似)外部 入力には全て 0,1 が設定される.しかしながら,生成 されたテストパターンの中には,逆の論理値に変更し ても故障検出率が低下しない入力値が存在し,そのよ うな値はドントケアと呼ばれる.また,テストパター ンからドントケアを抽出するドントケア抽出技術[8] が提案されている. ドントケア割当てではドントケア を含むテスト集合に対し,適用分野の性質に応じてド ントケアに 0,1 の論理値の再割当てを行う. 本論文で 比較対象に用いる JP-Fill[5]では,ドントケアをもつ スキャン FF に遷移が発生しないよう正当化操作と確 率計算の両方を用い,論理値を割当てる.



図1.シフト電力,キャプチャ電力



図 2. キャプチャ動作タイミングチャート

4. SAT を用いた低消費電力指向ドントケ ア割当て

充足可能性問題は、一つの命題が与えられたときに、 含まれる変数の値を0もしくは1にすることにより式 全体を真にすることが可能であるか否かを判定する問 題である.命題論理式は乗法標準形(Conjunctive Normal Form: CNF)として与えられる.本章の4-1 節で論理回路のCNF変換を説明する.4-2節でSATを 用いた消費電力削減指向ドントケア割当て(SAT-Fill) を説明する.

4-1. 論理回路の CNF 変換

表1に各論理ゲートの CNF 変換規則を示す.各論 理ゲートは表1の規則に従い CNF に変換する.それ ぞれ括弧でくくられた論理式を節と言い,節の論理積 をとった式が各ゲートの CNF である.例として2入 力(X,Y),1出力(Z)の AND ゲートを考える.CNF 全体 が真となるとは(X,Y,Z) = (0,0,0), (1,0,0), (0,1,0), (1,1,1)の4通りである.これにより CNF が実際の論 理ゲートの動作を表現していることがわかる.

表 1. 論理ゲートの CNF 変換規則

ゲートタイプ	入力	出力	CNF
AND	Χ, Υ	Ζ	$(\bar{Z}+X)(\bar{Z}+Y)(\bar{X}+\bar{Y}+Z)$
OR	<i>X</i> , <i>Y</i>	Ζ	$(Z+\bar{X})(Z+\bar{Y})(X+Y+\bar{Z})$
EXOR	Χ,Υ	Ζ	$(\overline{X} + Y + Z)(X + \overline{Y} + Z)(\overline{X} + \overline{Y} + Z)(X + Y + \overline{Z})$
NOT	X	Y	$(X+Y)(\overline{X}+\overline{Y})$
FOUT	Χ	Y, Z	$(\overline{X} + Y)(X + \overline{Y})(\overline{X} + Z)(X + \overline{Z})$



図 3. SAT Fill 例

4-2. SAT-Fill

SAT-Fill は前節で生成した CNF 式に, テストパタ ーンの制約を与え, さらに, ドントケアをもつ FF に 遷移が発生しないような制約を加えることで低消費電 カドントケア割当てを行う.図3に回路と制約を示し, 以下に例を示す.

図 3 の四角の枠は組合せ回路部を示し, PPI と PPO はそれぞれ同一 FF の入出力ビット対を示す. PPI の 0,1,Xはテストパターンを示し, PPO の 0,1,Xはテスト パターンの期待値を示す. 図 3 の例の PPI のテスト パターンは(PPI₁, PPI₂, PPI₃, PPI₄) = (1, X, 0, X) で あり,それに対する期待値は(PPO₁, PPO₂, PPO₃, PPO₄) = (0, 0, X, X) となる.

SAT-Fill はドントケアを持つ FF に遷移が発生しな いようケアビット割当てる. そのため、ドントケアを も つ ビ ッ ト 対 に 遷 移 が 発 生 し な い よ う $\overline{PPI_2}$, $\overline{PPO_3}$, $(\overline{PPI_4} + \overline{PPO_4}) * (\overline{PPI_4} + \overline{PPO_4})$ の条件を CNF 式に追加する.

5. 実験結果

本章では、ドントケア抽出後、ドントケア割当てを 行い、ドントケア割当てを行ったテストパターンの WSA 値を計算し、消費電力を評価する. 5-1 節で実験 手順を説明し、5-2 で実験結果を示す.

5-1. 実験手順

図4に本実験のフローを示す.故障モデルは遷移故 障を対象とし,ATPG ツールは Synopsys 社の TetraMAX を用いた.対象回路は ISCAS'89 ベンチマ ーク回路を使用した.以下に図4の各ステップにつ いて説明する.



図 4. 実験フローチャート

(Step1)

ATPG ツールに回路情報を入力し,ケアビットのみのテスト集合を生成する.

(Step2)

テスト集合から,ドントケア抽出を行う.

(Step3)

テストパターンに対し, SAT-Fill を用いてドント ケア割当てを行う.

(Step4)

各テストパターンの WSA 値を計算する.

5-2. 実験結果考察

表 2 に実験結果を示す. 表 2 において, 「回路名」 は,対象の回路名, 「FF 数」は,回路中のスキャン FF 数, TP 数はテストパターン数, X 割合はテストパター

ンのドントケアの割合を示す.「最大 WSA」は各テス トパターンにおいて WSA 値が最大である WSA 値, 「WSA 削減率」は初期テストパターンからの WSA 値 の削減率を示す.

実験結果から, SAT-Fill はほとんどの回路で JP-Fill と比較し, WSA 値の削減を達成できた. s208 において は, JP-Fill と比較し10%以上の WSA 削減率を達成し ている.

6. おわりに

本論文では、テストパターンに対して、ドントケア 抽出を行い、SAT-Fillを適用し、最大のWSA値を評価 した.実験結果から、ほとんどの回路において最大 WSA値を改善することができた.

今後の課題として,高い WSA 削減を達成した回路 の解析を行い,低消費電力指向ドントケア割当てを効 率化することが挙げられる.

参考文献

- Takaki Yoshida, Masahmi Watati, "A New Approach for Low Power Scan Testing", International, Test Conference, 2003, pp480-487
- [2] Jaehoon Song, Hyunbean Yi, Doochan Hwang, Sungju Park "A Compression Improvement Technique for Low-Power Scan Test Data" IEEE Region 10 Conference, 2006, pp12-13
- [3] X.Wen, K.Miyase, S.Kajihara, H.Furukawa, Y.Yamato, A.Takashima, K.Noda, H.Ito, K.Hatayama, T.Aikyo, and K.K.Saluja, "A

Capture-Safe Test Generation Scheme for At-Speed Scan Testing" IEEE, 2008, pp55-60

- [4] Fukuzawa Tomoaki, Miyase Kohei, Yamato Yuta, Furukawa Hiroshi, Wen Xiaoqing, Kajihara Seiji.
 "A Transition Delay Test Generation Method for Capture Power Reduction during At-Speed Scan Testing" IEICE technical report. Dependable computing 107(337), 2007, pp7-12
- [5] X.Wen, K.Miyase, S.Kajihara, T.Suzuki, Y.Yamato, P.Girard, Y.Ohsumi, and L.-T.Wang, "A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing," Proc. of ITC, 2007, Paper 25.1.
- [6] Sying-Jyan Wang, Kuo-Lin Fu, Katherine Shu-Min Li, "Low Peak Power ATPG for n-Detection Test", 1996, p1.
- [7] Xiaoqing WEN, Yoshiyuki YAMASHITA, Seiji KAJIHARA, Laung-Terng WANG, Kewal K.SALUJA, Kozo KINOSHITA "A New Method for Low-Capture-Power Test Generation for Scan Testing", IEICE TRANS INF. & SYST., 2006, pp1679-1686.
- [8] K.Miyase, S.Kajihara ,"XID: Don't Care Identification of Test Patterns for Combinational Circuits," IEEE Trans. Comuter-Aided Design of Integrated Circuits and Systems, Vol. 23, No. 2, pp. 321-326, Fed. 2004.
- [9] V.R.Devanathan, C.P.Ravikumar, V.Kamakoti, "Glitch-Aware Pattern Generation and Optimizatio Framework for Power-Safe Scan Test", 25th IEEE VLSI Test Symmposium, pp167-172, 2007.

回路名	FF数	TP数	X割合	最大WSA		WSA削減率		
				初期	JP-Fill	SAT-Fill	JP-Fill	SAT-Fill
s27	3	5	31.4%	10	10	10	0.0%	0.0%
s208	8	18	69.6%	88	80	65	9.1%	26.1%
s344	15	42	49.0%	179	179	175	0.0%	2.2%
s820	5	75	49.0%	248	245	255	1.2%	-2.8%
s5378	179	161	77.4%	2137	1946	1938	8.9%	9.3%
s9234	228	320	70.7%	3907	3541	3263	9.4%	16.5%
s13207	669	311	90.0%	5217	4670	4610	10.5%	11.6%
s15850	597	200	81.2%	4754	4519	4554	4.9%	4.2%

表2. 実験結果