

ドントケア抽出とテスト圧縮技術を用いた 遷移故障用テストパターン数削減のための制御ポイント挿入法

日本生産工(院) ○高橋 明彦 日大生産工 細川利典
九大 吉村正義

1. はじめに

近年、半導体集積技術の進歩に伴い、大規模集積回路(LSI: Large Scale Integrated Circuits)が大規模化、高集積化している。したがって、テスト設計の工数の増大につながり、テストコスト削減手法の重要度が増している。一般的に、順序回路に対してのテスト生成にはスキャン設計[1][2]に代表されるテスト容易化設計(DFT: Design For Testability)と自動テストパターン生成(ATPG: Auto Test Pattern Generation)が広く用いられている。

LSIの大規模化に伴い、縮退故障モデルでは検出困難なタイミング遅延による欠陥の増加により、遷移故障モデルによるテストが重要視されている。しかし、テスト対象とする故障モデルの増加に伴い、テストパターン数が増加[3]し、テストコストの増大につながってしまう背景がある。

一般的に遷移故障のテスト方法には信号線における値の遷移遅延を検出するために2パターンテスト[13-15]が用いられている。2パターンテストとは変化前の信号線値を設定するテストパターンと変化後の信号線値を確かめるテストパターンの2つのテストパターンを連続して印加し、故障の影響をスキャンフリップフロップ(FF: Flip-Flop)まで伝搬するテスト方法である。遷移故障を対象としたテストパターンは縮退故障を対象としたテストパターンに比べ、テストパターン数が多いことから遷移故障用テストパターン数の削減が重要課題となっている。

テストコスト削減のためのテストパターン数削減手法として、テストポイント挿入技術によりテスト圧縮率を高める手法が提案されている[5-12]。テストポイント挿入技術とは、LSI上に新たにテストポイント回路を付加することにより、回路中の内部信号線の可制御性または可観測性、もしくはその両方を高める手法である。テストポイントは大きくわけて3種類あり、内部信号線値を自由に設定できる制御ポイント、内部信号線値を自由に観測できる観測ポイント、内部信号線値を制御観測可能にするテストポイントに分類される。

文献[5-10]では縮退故障を対象としたテストパターン数を削減するためのテストポイント挿入法が、

提案されている。また文献[11-12]では遷移故障に対するテストポイント挿入箇所探索アルゴリズムが提案されている。文献[5-10]では、回路構造に着目し、回路構造上テスト圧縮困難であると予測される箇所にテストポイント挿入を行い、テストパターン数の削減を図っている。文献[11]では、遷移故障のテストにおける2パターン目をシフト動作で印加するスキュードロード方式[13-14]においてテストポイント挿入を行う手法が提案されている。

文献[12]では、遷移故障のテストにおける2パターン目を1パターン目の回路応答から印加するLOC(Launch On Capture) [15]においてテストポイント挿入を行う手法が提案されている。文献[12]では、遷移故障検出が困難な箇所を探索し、テストポイント挿入を行っている。テストポイント挿入後、ATPGによるテストパターンの再生成を行うことにより、遷移故障用テストパターンのテストパターン数の削減を実現している。しかし、テストパターンの再生成を行うことにより、テストポイント挿入を行った経路を通して生成されるとは限らない。

そこで、本論文では、文献[12]のテストポイント構造を用い、テストパターンの変更を行うことにより、テストポイント挿入後のATPGによるテストパターンの再生成を必要としない手法を提案する。

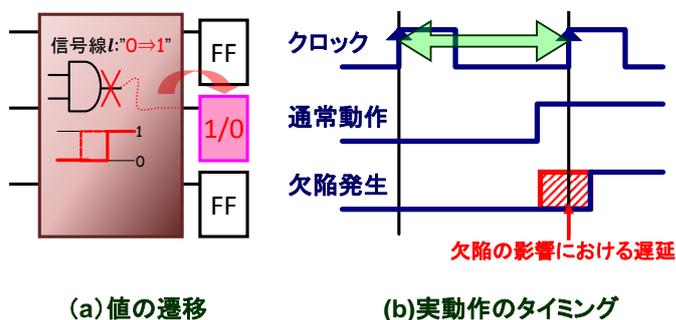


図 1. 立ち上がり遷移故障(R 故障)

A Test Point Insertion Method Using Don't Care Identification and Test Compaction Techniques to Reduce Test Application Time for Transition Faults

2. 背景

2.1 遷移故障

遷移故障とは、回路中の1つの信号線にのみ遅延が生じ、増加した遅延により故障箇所から外部出力やFFに伝搬する経路の長さに依存せず観測できる故障である。0から1に遷移する時間が遅れる立ち上がり遷移故障(R故障:slow-to-rise fault)と1から0に遷移する時間が遅れる立ち下がり遷移故障(F故障:slow-to-fall fault)の2種類の故障が存在する。図1に立ち上がり遷移故障の例を示す。

図1(b)の上からクロックタイミング、通常動作の値の遷移が起こるFFのD端子でのタイミング、欠陥が発生した場合での値の遷移が起こるFFのD端子でのタイミングの波形をそれぞれ表している。また、矢印間は実動作でのクロック周期を表し、斜線部分は欠陥の影響における遅延を表している。通常動作では2サイクル目で1がFFに取り込まれるのに対して、ゲートに遅延が発生したことによりFFへの値の伝搬が遅れ、0が取り込まれる。

2.2 LOC による遷移故障用テストパターン生成

遷移故障検出法である2パターンテストを用いた実速度スキュンテスト法としてLOCがある[15]。図2にLOCによる信号線sのR故障の検出方法の例を示す。

LOCは、スキュン設計された回路に対して適用される。1パターン目においてシフト動作によりテストパターンが印加される。2パターン目は1パターン目の回路応答がテストパターンとなる。LOCにおいて、遷移故障を検出するためのテストパターン条件として、1パターン目は、遷移故障を検出するための値割当てを行い、2パターン目は、遷移故障の励起、伝搬を行うことが条件としてあげられる。

図2に外部入力が2個(PI1, PI2)、スキュンFFが4個(FF1, FF2, FF3, FF4)からなる順序回路であり、信号線sに対してのR故障を検出するテストパターン生成例である。まず始めに信号線sに0を割当て可能なテストパターンを1パターン目に印加する。例では、(FF1, FF2, FF3, FF4)=(X, 0, 0, X)となるようにテストパターンを印加する。次に1パターン目の回路応答をFFに取り込むことにより2パターン目のテストパターンとなり、各FFは(FF1, FF2, FF3, FF4)=(1, 1, X, X)となる。この処理により信号線sでの値の遷移が起こり、なおかつFF2により故障影響を観測することが可能となる。

2.3 従来の制御ポイント挿入による遷移故障用テストパターン削減アプローチ

LOCによる遷移故障用テストパターン削減のアプローチとして、文献[12]の制御ポイント挿入による、テストパターン削減法がある。図3に例を示す。FFのD端子に接続されている信号線に対して制御ポイント挿入を行うことにより、FFおよび、外部入力上の故障検出に必要なケアビットの数を削減

させ、テストパターン圧縮率を高める目的がある。図3では、FF3に対して制御ポイントを挿入することにより、1時刻目のFF2, FF3のケアビットをXにすることができた。

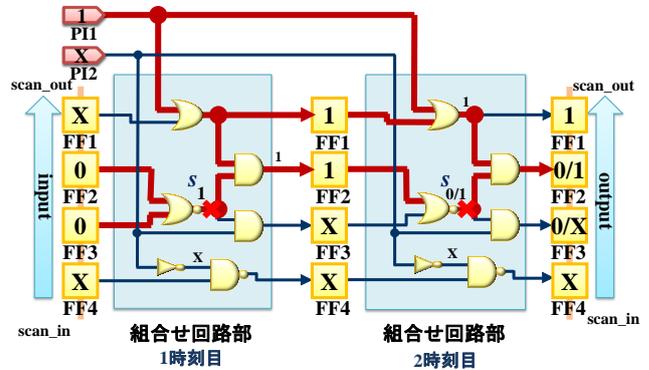


図2. LOCによる遷移故障テストパターン生成例

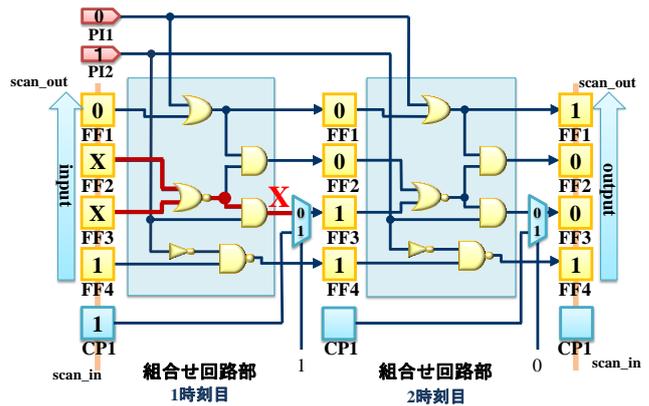


図3. 制御ポイント挿入による、X生成例

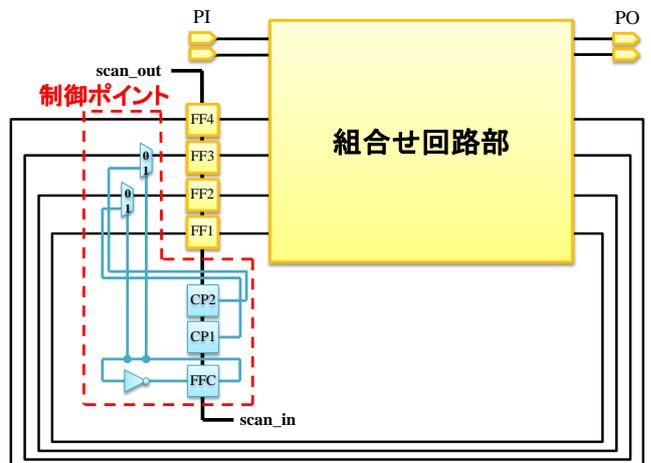


図4. 制御ポイント構造

2.4 制御ポイントの構造

文献[12]より制御ポイントの回路構造は、マルチプレクサとスキャン FF から構成されている。図 4 に制御ポイントの回路構造を示す。制御ポイントは元回路のスキャン FF の通常データ入力に付加される。図 3 の FF1, FF2, FF3, FF4 は元の回路のスキャン FF を示している。また CP1, CP2, FFC は制御ポイント挿入により付加されたスキャン FF を示している。FFC はマルチプレクサの制御端子の入力を制動する FF である。マルチプレクサは 1 時刻目では制御ポイント(CP1, CP2)からの入力を出力し、2 時刻目では組合せ回路部からの入力を出力する。

3. X 抽出とテストパターン圧縮技術を用いた制御ポイント挿入法

本手法ではスキャン FF の D 端子に接続されている信号線に制御ポイントを挿入する。文献[12]では遷移故障の検出困難な信号線箇所制御ポイントを挿入し、間接的にテストパターン数を削減するアプローチをとっている。本手法ではテスト圧縮の観点から遷移故障のテストパターン数を削減するような制御ポイント挿入箇所探索のアプローチをとる。文献[12]では、制御ポイントを挿入することにより、スキャン FF 数が増加するので、テストパターンの再生成が必要であった。しかしながら、テストパターンの再生成において、制御ポイント挿入の意図通りに、テスト圧縮を指向したテスト生成が実行されるとは限らない。したがって、再テスト生成、テスト圧縮の結果、テストパターン数の削減率が高くない場合が起こりえる。そこで本手法では、制御ポイント挿入後にテストパターンの変更による再テストパターン生成を行わない手法を提案する。

3.1 問題定式化

遷移故障用テストパターン削減のための制御ポイント挿入による問題定式化を示す。

(問題定式化)

入力: フルスキャン設計された回路、遷移故障用テストパターン(LOC), 制御ポイント挿入数

出力: 制御ポイント挿入されたフルスキャン設計回路, 制御ポイント挿入に対応した遷移故障用テストパターン(LOC)

最適化: 制御ポイント挿入により、遷移故障用テストパターン(LOC)のテストパターン数を削減する。

3.2 X 抽出とテストパターン圧縮技術を用いた制御ポイント挿入法

図 5 に本手法の全体アルゴリズムの疑似コードを示す。本手法はフルスキャン設計された回路 (C), LOC による、遷移故障用テストパターン集合 (T), 回路 (C) に対して挿入する制御ポイント数 (num_cpi) の 3 つが入力として与えられる。制御ポイント挿入数分、5 行目の処理を繰り返し行う。5

```

1. Procedure CPI(C, T, num_cpi)
2. C: circuit, T: test set, num_cpi: #control points; {
3. {
4.     for (i = 0; i < num_cpi; i++) {
5.         (C, T) = Search_insertion_point(C, T);
6.     }
7.     T = Test_compaction(C, T);
8.     return(C, T);
9. }

```

図 5. 全体アルゴリズム

```

1. Procedure Search_insertion_point (C, T)
2. C: circuit, T: test set;
3. {
4.     FFcp = FF0;
5.     Tcp = T;
6.     for (i = 0; i < num_FF; i++) {
7.         C' = Temporary_control_point_insertion(C, FFi);
8.         T' = Temporary_Xid(C', T);
9.         T' = Temporary_test_compaction(T');
10.        if (Tcp > T') {
11.            Tcp = T';
12.            FFcp = Ffi;
13.        }
14.    }
15.    C = Control_point_insertion (C, FFcp);
16.    T = Xid(C, T);
17.    return(C, T);
18.}

```

図 6. 制御ポイント挿入箇所探索アルゴリズム

行目は、回路 C 及びテストパターン集合 T を入力とし、制御ポイント挿入箇所探索を行う。回路に対し制御ポイント挿入による回路及び、X 抽出によるテストパターン集合の更新を行う。7 行目は制御ポイント挿入された回路 C 、テストパターン集合 T を入力とし、テストパターン圧縮を行う。8 行目において制御ポイント挿入された回路 C 、テストパターン圧縮されたテストパターン集合 T を出力する。

図 6 に制御ポイント挿入箇所探索アルゴリズムの疑似コードを示す。制御ポイント挿入箇所探索アルゴリズムは、図 6 の 5 行目で実行される関数である。フルスキャン挿入された回路 C 及び、テストパターン集合 T を入力とする。本関数は、制御ポイント挿入探索を全スキャン FF 数分繰り返し行う。4 行目において、制御ポイント挿入箇所 $FFcp$ に $FF0$ を代入する。5 行目において、テストパターン集合 Tcp に入力されたテストパターン集合 T を代入する。次に 6 行目から 14 行目までの処理をスキャン FF 数分繰り返し行い、テストパターン圧縮効果の一番高い制御ポイント挿入箇所を決定する。7 行目は回路 C 及び、選択されている FF を入力とし、仮制御ポイ

ント挿入を行う。制御ポイント挿入された回路を C' として出力する。8 行目は回路 C 及び、テストパターン集合 T を入力とし、仮 X 抽出を行い、仮テストパターン集合 T' を出力する。9 行目は仮テストパターン集合 T' を入力し、テストパターン圧縮を行い、仮テストパターン集合 T' を更新する。10 行目において、テストパターン集合 (T_{cp}) より、仮テストパターン集合 T' のテストパターン数が少なく、テストパターン圧縮効果が優れている場合、11, 12 行目の処理を行う。11, 12 行目は、それぞれ T_{cp} 及び F_{cp} の更新を行う。15 行目において、回路 C , 制御ポイント挿入箇所 FF_{cp} を入力とし、制御ポイント挿入を行う。制御ポイント挿入された回路 C を出力する。16 行目は、回路 C , テストパターン集合 T を入力とし、X 抽出を行い、テストパターン T を出力する。17 行目において、制御ポイント挿入された回路 C 及び、テストパターン変更された回路 T を出力する。

4. おわりに

本論文では、制御ポイント挿入による遷移故障用テストパターン数削減法を提案した。従来法では、制御ポイント挿入後に、ATPG によるテストパターン再生成が必要であったが、本手法では、テストパターン変更により、テストパターン再生成の必要がない。

参考文献

- [1] H.Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.
- [2] M Abramovici, M.A.Breuer and A.D.Frindman, Digital Systems Testing and Testable Design, Computer Science Press, 1990.
- [3] International Technology Roadmap for Semiconductors 1999 Edition, Semiconductor Industry Association, 2005.
- [4] A.Krstic and K.-T.Cheng, "Delay Fault Testing for VLSI Circuits", Kluwer Academic Publishers, 1998.
- [5] Chih-chang Lin, Marek-Sadowska, Kwang-Ting Cheng and Mike Tien-Chien Lee, "Test Point Insertion: Scan Paths through Combinational Logic", 33rd Design Automation Conference, 1996.
- [6] M.J.Geuzebroek, J.Th.van der Linden and A.J.van de Goor, "Test Point Insertion for Compact Test Sets", Pros. Int. Test Conf., PP. 292-301, 2000.
- [7] I.Pmeranz and S.M. Reddy, "Test-Point Insertion to Enhance Test Compaction for Scan Designs", Dependable Systems and Networks, PP. 375-381, June 2000.
- [8] M.J.Geuzebroek, J.Th.van der Linden and A.J.van de Goor, "Test Point Insertion that facilitates ATPG in reducing test time and data volume", Pros. Int. Test Conf., PP. 138-147, 2002.
- [9] 吉村正義, 細川利典, 大田光保, "テストパターン数削減指向テストポイント挿入方法", 信学論, vol. J86-D-I, no. 12, PP. 884-896, 2003.
- [10] Santiago Remersaro, Janusz Rajska, Thomas Rinderknecht, Sudhakar, M. Reddy and Irith Pomeanz, "ATPG Heuristics Dependant Observation Point Insertion or Enhanced Compaction and Data Volume Reduction", IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems, 2008.
- [11] Seongmoon Wang and Srimat T. Chakradhar, "A Scalable Scan-Path Test Point Insertion Technique to Enhance Delay Fault Coverage for Standard Scan Designs", IEEE Transactions on Transactions on Computer-Aided Design of Integrated Circuits And Systems, vol.25, No.8, August 2006.
- [12] Kedarnath J. Balakrishnan and Lei Fang, "RTL Test Point Insertion to Reduce Delay Test Volume", IEEE VLSI Test Symposium, 2007.
- [13] J.Savir. , "Skewd-Load Transition Test: Part 1: Calculaus.", Proceedings of IEEE International Test Conference, PP.705-713, October 1992.
- [14] J.Savir. , "Skewd-Load Transition Test: Part 2: Calculaus.", Proceedings of IEEE International Test Conference, PP.714-722, October 1992.
- [15] J. Savir and S. Patil "On Broad-Side Delay Test" VLSI Test Symposium., pp.284-290 Sept. 1994.
- [16] L.H.Goldstain, "Controllability/Observability analysis of digital circuits, "IEEE Trans. Circuits Syst., bol.CAS-26 , no.9, pp.685-693, Step.1979.
- [17] Kohei Miyase, Kenji Noda, Hideaki Ito, Kazumi Hatayama, Takashi Aikyo, Yuta Yamato, Hiroshi Furukawa, Xiaoqing Wen, Seiji Kajihara "Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-Identification" IEEE/ACM International Conference on Computer-Aided Design pp52-58.2008.
- [18] 八木澤圭, 山崎浩二, 細川利典, 玉木久夫, "テストパターンの静的圧縮における厳密解と貪欲解の比較" 電子情報通信学会, 107, pp.77-82, Feb. 2008.