

テストパターン分解を用いた単一故障検出テストパターン のキャプチャ消費電力評価

日大生産工 ○高橋 慶安 日大生産工(院) 山崎 紘史 日大生産工 細川 利典

1. はじめに

近年の半導体集積技術の進歩に伴い、超大規模集積回路(Very Large Scale Integrated circuits : VLSI)が大規模化、微細化している。それに伴い VLSI のテスト時の消費電力の増加が問題となっている。

テスト時の消費電力の増加が引き起こす問題として、発熱による回路破壊や IR ドロップ[1]による誤テスト等が挙げられる。テスト時の過度の消費電力は、VLSI の発熱の原因につながり、回路に致命的なダメージを与え、場合によっては回路を破損させるおそれがある[2]。また、過度の消費電力は IR ドロップを引き起こす可能性が高い[3]。IR ドロップは遅延を増大させ、正常な回路を不良品と誤テストする可能性が高く、歩留り低下の原因となる[1][4]。したがって、歩留り損失を抑制するため、テスト時の消費電力を削減することが重要な課題になっている。テスト時の消費電力の削減手法については様々な方法が提案されており、電源管理技術の利用、設計変更、テストデータの変更などが挙げられる[7-9]。

本研究では、回路構造の変更が必要無い手法を用いて消費電力の削減を行う。その中で有効な手法として、テストパターンに対し、ドントケア割当てを行うことでキャプチャ電力を削減することを目的に提案された JP (Justification-Probability)-Fill 手法[5]を用いる。さらに、WSA(Weighted Switching Activity)[6]を用いて、消費電力を評価した結果、依然として消費電力の高いテストパターンに対してテストパターン分解を行い、再びJP-Fillを用いてドントケア割当てを行い、消費電力を評価する。

本論文の構成は以下の通りである。第 2 章で回路の消費電力について説明する。第 3 章でドントケア割当てについて説明し、第 4 章で本論文で評価を行うテス

トパターン分解を説明する。第 5 章ではテストパターン分解の実験結果を示し、考察する。第 6 章は本論文のまとめを行い、今後の課題について述べる。

2. 消費電力

相補型金属酸化膜半導体(Complementary Metal Oxide Semiconductor : CMOS)回路の消費電力は静的なリーク電流、及びスイッチング動作に起因する動的電流により構成される。本章の 2.1 節で静的および動的な消費電力について説明する。また、本論文では消費電力の評価として WSA を用いる。2.2 節で WSA について説明する。

2-1. 静的および動的な消費電力

静的な電力であるリーク電流は、CMOS 回路の特性上発生する電流である。テスト時には、静的な消費電力は動的な消費電力よりも低いと報告されている[7]。

動的電流は、CMOS 回路中の各ゲートの論理値が遷移することによって発生する。スキャン設計された回路のテスト時に過度の消費電力が発生する原因として、テスト時に回路中の FF がテストデータとテスト結果のシフト動作と高速なキャプチャ動作を行うことが挙げられる。それにより、テスト時は機能動作時の 3 倍以上の消費電力が発生することが報告されている[7]。そのため、シフト時、およびキャプチャ時の消費電力を削減することが重要となる。

図 1 にシフト電力とキャプチャ電力について示す。シフト動作時にはスキャン FF はテスターから直接アクセス可能なスキャンチェーンとして接続され、シフトイン動作でテストパターンを読み込むか、シフトアウト動作でテスト結果を観測するために使用される。

An Evaluation of Capture Power for Single Fault Detection Test Patterns
Using Test Pattern Decomposition
Yoshiyasu TAKAHASHI, Hiroshi YAMAZAKI and Toshinori HOSOKAWA

キャプチャ動作時には、スキャンFFは通常のFFとして動作する。印加されたテストパターンのテスト応答は全てのスキャンFFに読み込まれ、スキャンFFは現在含まれているテストパターンを置き換える。それにより、スキャンFFの論理値が逆の論理値に遷移する結果、キャプチャ電力を発生させる。

キャプチャ動作時のタイミングチャートを図2に示す。SE, CKはそれぞれスキャンイネーブル、クロックを表す。FFにおいてSLで最後のシフト動作が終了すると、SEを0にし、キャプチャ動作を行う準備をする。遅延故障を検出するため、キャプチャ動作は実速度で行われる。この際、多数のFFに同時に遷移が発生すると、瞬間的に過度の電力が消費される。そのため、キャプチャ電力の削減が重要となる。

2-2. WSA

回路の消費電力を正確に計算する場合、電源電圧やクロック周波数、ゲートの負荷容量など様々な要素が必要となる[6]。本論文における実験ではそれらの要素を考慮していないため、消費電力の評価として計算式を簡略化したWSAを用いる。WSAは次の式で表される。

$$WSA = \sum_{i=1}^G \text{tran}(g_i) \times (1 + \text{fanout}(g_i)) \quad (1)$$

(1)式のGは回路中の全てのゲートを表す。tran(g_i)はゲート g_i の遷移数であり、fanout(g_i)はゲート g_i のファンアウト数を表す。

3. ドントケア割当て

一般に生成されたテストパターン中の（疑似）外部入力には全て0,1が設定される。しかしながら、生成されたテストパターンの中には、逆の論理値に変更しても故障検出率が低下しない入力値が存在し、そのような値はドントケアと呼ばれる。また、テストパターンからドントケアを抽出するドントケア抽出技術[8]が提案されている。ドントケア割当てではドントケアを含むテストパターン集合に対し、適用分野の性質に応じてドントケアに0,1の論理値の再割当てを行う。本論文で用いるJP-Fillでは、ドントケアをもつスキャンFFに遷移が発生しないよう正当化操作と確率計算の両方を用い、論理値を割当てる[5]。

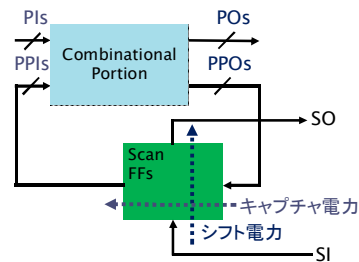


図1. シフト電力, キャプチャ電力

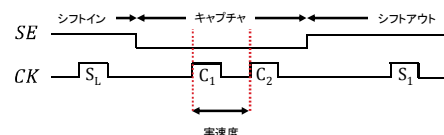


図2. キャプチャ動作タイミングチャート

4. テストパターン分解

一般にテストパターンは実行時間を削減するため、

1 テストパターンで多数の故障を検出するように生成される。この場合、テストパターン中にケアビットが多数存在することになる。ドントケア割当てを用いた低消費電力化はテストパターン中のケアビット数に大きく依存する[5]。そのため、テストパターン中のケアビット数を削減する必要がある。テストパターン分解では、1つのテストパターンを1故障の検出を保証する複数のテストパターンに分解することにより、テストパターン中のケアビット数を削減する。ただし、分解の結果、ケアビット数の多いテストパターンによってケアビット数の少ないテストパターンの全ての故障を検出可能であった場合、ケアビット数の少ないテストパターンは冗長テストパターンとして削除される。

表2. 分解前テストパターン

テストパターン名	検出故障	テストパターン
t1	f1,f2,f3	0110 1101
t2	f4	0101 0001

表3. 分解後テストパターン

テストパターン名	検出故障	テストパターン
t1_f1	f1	0X10 X1XX
t1_f2	f2	01XX X10X
t1_f3	f2,f3	01X0 X10X
t2	f4	0101 0001

表 2 にテストパターン分解前のテストパターンの例を示し、表 3 にテストパターン分解後のテストパターンの例を示す。表 2 の t1 は 01101101 のパターンで故障 f1, f2, f3 が検出可能である。テストパターン分解では、t1 は故障 f1 を検出するテストパターン t1_f1 と故障 f2 を検出する t1_f2 と故障 f3 を検出する t1_f3 に分解される。その結果、1 個のテストパターン中のケアビット数が削減される。分解の結果、t1_f3 は t1_f2 の全ての故障を検出可能であるため、t1_f2 は冗長なパターンとして削除する。

テストパターン分解を行うテストパターンは WSA 値が高いものが選択される。WSA 値が高いテストパターンについては、第 5 章で説明する。

5. 実験結果

本章では、ドントケア割当て実行後、テストパターン分解を行い、再びドントケア割当てを行ったテストパターンの WSA 値を計算し、消費電力を評価する。5-1 節で実験手順を説明し、5-2 で実験結果を示す。

5-1. 実験手順

図 4 に本実験のフローを示す。故障モデルは遷移故障を対象とし、ATPG ツールは Synopsys 社の TetraMAX を用いた。対象回路は ISCAS'89 ベンチマーク回路を使用した。テストパターン分解を行うテストパターンを以下の式で表す。

$$WSA_{tp} \geq \frac{WSA_{max} + WSA_{average}}{2} \quad (2)$$

(2) の WSA_{tp} はテストパターンの WSA, WSA_{max} は 1 テストパターンの最大 WSA, $WSA_{average}$ は平均の WSA を表す。平均と最大の WSA を求め、最大の WSA に近いテストパターンを高 WSA パターンとし、テストパターン分解を行った。以下に図 4 の各ステップについて説明する。

(Step1)

ATPG ツールに回路情報を入力し、ケアビットのみのテストパターンを生成する。

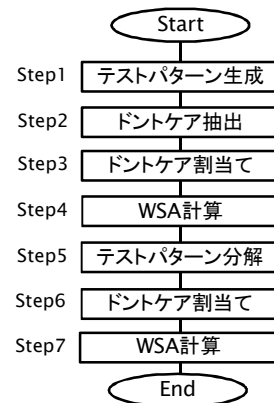


図 4. 実験フローチャート

(Step2)

テスト集合から、ドントケア抽出を行う。

(Step3)

テストパターンに対し、JP-Fill を用いてドントケア割当てを行う。

(Step4)

各テストパターンの WSA 値を計算する。

(Step5)

WSA 値の高いテストパターンに対してテストパターン分解を行う。

(Step6)

テストパターンに対し、JP-Fill を用いてドントケア割当てを行う。

(Step7)

各テストパターンの WSA 値を計算する。

5-2. 実験結果考察

表 4 に実験結果を示す。表 3 において、「回路名」は、対象の回路名、「FF 数」は、回路中のスキャン FF 数、テストパターン数の「分解前」は、テストパターン分解前のテストパターン数、「分解後」はテストパターン分解後のテストパターン数、「最大 FF 遷移数」は各テストパターンにおいて FF の遷移数が最大だったものの FF 遷移数、「最大 WSA」は各テストパターンにおいて WSA 値が最大だったものの WSA 値、「WSA 閾値」は Step5 での(2)式の右辺の値、「高 WSA TP 数」は WSA が WSA 閾値を超えた TP 数を示す。

実験結果から、テストパターン分解を行うことで全ての回路で最大 FF 遷移数が削減できており、最大 WSA においても、全ての回路で削減されていることがわかる。しかし、検出に多数のケアビットが必要な故障も存在し、高 WSA のテストパターンを全て WSA 閾値以下にすることはできなかった。また、それらのケアビット数の多い高 WSA テストパターンによって、分解が必要な他の故障も検出可能であったため、分解後もテストパターンが増加することはなかった。

6. おわりに

本論文では、WSA 値の高いテストパターンに対してテストパターン分解を行い、JP-Fill を適用し、最大の FF 遷移数と最大の WSA 値を評価した。実験結果から全ての回路において最大 FF 遷移数、最大 WSA 値、高 WSA テストパターン数を改善することができた。しかし、高 WSA のテストパターンを完全に削除することはできなかった。

今後の課題として、分解を行うテストパターンの選択、回路構造の変更によるケアビット数削減などが挙げられる。

参考文献

[1] Takaki Yoshida, Masahmi Watati, “A New Approach for Low Power Scan Testing”, International, Test Conference, 2003, pp480-487

[2] Jaehoon Song, Hyunbean Yi, Doochan Hwang, Sungju Park “A Compression Improvement Technique for Low-Power Scan Test Data” IEEE Region 10 Conference, 2006, pp12-13

[3] X.Wen, K.Miyase, S.Kajihara, H.Furukawa, Y.Yamato, A.Takashima, K.Noda, H.Ito, K.Hatayama, T.Aikyo, and K.K.Saluja, “A Capture-Safe Test Generation Scheme for At-Speed Scan Testing” IEEE, 2008, pp55-60

[4] Fukuzawa Tomoaki, Miyase Kohei, Yamato Yuta, Furukawa Hiroshi, Wen Xiaoqing, Kajihara Seiji. “A Transition Delay Test Generation Method for Capture Power Reduction during At-Speed Scan Testing” IEICE technical report. Dependable computing 107(337), 2007, pp7-12

[5] X.Wen, K.Miyase, S.Kajihara, T.Suzuki, Y.Yamato, P.Girard, Y.Ohsumi, and L.-T.Wang, “A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing,” Proc. of ITC, 2007, Paper 25.1.

[6] Syng-Jyan Wang, Kuo-Lin Fu, Katherine Shu-Min Li, “Low Peak Power ATPG for n-Detection Test”, 1996, p1.

[7] Xiaoqing WEN, Yoshiyuki YAMASHITA, Seiji KAJIHARA, Laung-Terng WANG, Kewal K.SALUJA, Kozo KINOSHITA “A New Method for Low-Capture-Power Test Generation for Scan Testing”, IEICE TRANS INF. & SYST., 2006, pp1679-1686.

[8] K.Miyase, S.Kajihara, “XID: Don’t Care Identification of Test Patterns for Combinational Circuits,” IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol. 23, No. 2, pp. 321-326, Fed. 2004.

[9] V.R.Devanathan, C.P.Ravikumar, V.Kamakoti, “Glitch-Aware Pattern Generation and Optimization Framework for Power-Safe Scan Test”, 25th IEEE VLSI Test Symposium, pp167-172, 2007.

表4. 実験結果

回路名	FF数	テストパターン数		最大FF遷移数		最大WSA		WSA閾値	高WSA TP数	
		分解前	分解後	分解前	分解後	分解前	分解後		分解前	分解後
s5378	179	153	153	113	109	1829	1631	1525	16	6
s9234	228	313	313	108	105	3566	3461	2894	7	2
s13207	669	285	285	310	289	4678	3772	3631	6	1
s15850	597	180	180	212	197	4423	3727	3190	11	4
s35932	1728	38	38	1065	776	10533	9232	8869	11	3
s38417	1636	218	218	695	539	14067	12734	11721	14	4
s38584	1452	380	380	1049	957	11052	10048	7570	2	2