

## 故障活性化率向上指向ドントケア割当て法の評価

日大生産工(院) ○若杉 諒介 日大生産工 細川 利典

九大 吉村 正義

## 1. はじめに

従来から論理回路のテスト生成には単一縮退故障モデルや遷移故障モデルが広く用いられている。その理由として、縮退故障モデルや遷移故障モデルでモデル化できる物理的欠陥が多いことや、計算機での取り扱いが容易なモデルであることなどが挙げられる。しかしながら近年、大規模集積回路(LSI: Large Scale Integrated Circuit)の製造技術の進歩により回路の大規模化、微細化、複雑化が急速に進み、従来の単一縮退故障や遷移故障用テスト集合では検出できない欠陥が増加してきている[1][2]。したがって、今後縮退故障や遷移故障以外の欠陥も検出できる能力がテスト品質を決める重要な要素である。本論文において、テスト品質とはさまざまな故障モデルに対する故障検出率であるとする。すなわち、テスト品質が高いということは、様々な故障モデルに対する故障検出率が高いということである。

高品質なテスト手法として、欠陥ベーステストや Iddq による電流テスト、n 回検出テストが知られている。欠陥ベーステストでは、欠陥を故障モデルとして定義し、その故障モデルを検出するようにテスト生成されたテストパターンを用いる。完全にテスト生成できるとテスト品質は向上する。しかし、故障モデルが複雑であり、テスト生成が容易ではない。Iddq テストに関しては、テスト生成は容易であるが、安定状態で電源電流を測定するのでテスト実行時間が長くなる。それ故、計測のタイミングを絞っていることが多い。また、半導体の微細化が進むにつれて、安定状態でも電源電流が流れ、良品と不良品を決定する閾値を決定することが困難である。n 回検出テストとは、回路中の各故障が、異なる n 個以上のテストで検出されるようにテスト集合を生成し、テストを行う手法である。

n 回検出テストにおいて、縮退故障モデルを対象として、できるだけ多くの故障伝搬経路を活性化させるような技術を組み込んだ故障活性化率指向 n 回検出テスト法(FSOD: Fault Sensitization Coverage Oriented n-Detection Test Generation)が提案されている[4]。文献[4]では、縮退故障に対して様々な経路を活性化するようにテストパターン生成を行うことで、様々な故障の検出条件を満たす可能性が上がり、実際にブリッジ故障に対するテスト品質の向上に効果的であることが報告されている[4]。

本論文では文献[4]より、「ある故障に対して活性化される信号線数が多いほど、テスト品質も向上する」という考えに基づき、テスト品質評価尺度として故障活性化率を採用する。また遷移故障を検出するようなテストパターンにおける故障活性化率を向上させることにより、微小遅延故障や抵抗性オープン故障の故障検出能力を向上させることを目的とする。

本論文では、遷移故障に対して ATPG ツールを用いてテスト集合を生成し、生成されたテスト集合に対して、遷移故障検出率を低下させることなくドントケア抽出[5]を行い、抽出されたドントケアに対して、故障活性化率が向上するように 0 または 1 の値割当てを行う方法を提案する。

ドントケアへの論理値の割当てにおいて、微小遅延故障の検出能力の向上も考慮し、単に故障活性化率を向上させるだけでなく、できる限り長い故障伝搬経路を活性化するという戦略をとる。そのドントケア割当てにより、ATPG ツールによって生成されたテストパターン数を増加させることなく、微小遅延故障検出

能力を向上させる方法を提案する。

本論文では、ISCAS'89 ベンチマーク回路に対して、提案したドントケア割当て法により故障活性化率の向上を評価する。また故障活性化率の妥当性を評価するために、故障活性化率が向上したテスト集合の微小遅延故障検出能力として SDQL 値を評価する。

## 2. 遷移故障とそのテスト方法

## 2.1 遷移故障

遷移故障[7]とは、回路中の 1 つの信号線にのみ遅延が生じ、増加した遅延により故障箇所から外部出力や FF に伝搬する経路の長さ依存せず、その故障影響を観測できる故障である。0 から 1 に遷移する時間が遅れる立ち上がり遷移故障(R 故障:slow-to-rise fault)と 1 から 0 に遷移する時間が遅れる立ち下がり遷移故障(F 故障:slow-to-fall fault)の 2 種類の故障が存在する。図 1 に立ち上がり遷移故障の例を示す。

図 1(b)の上からクロックタイミング、図 1(a)の信号線  $l$  の値の遷移が伝搬している FF の D 端子での通常のタイミング、信号線  $l$  で欠陥が発生した場合での FF の D 端子でのタイミングの波形を表している。また、矢印間は実動作でのクロック周期を表し、斜線部分は欠陥の影響における遅延を表している。通常動作では 2 サイクル目で 1 が FF に取り込まれるのに対して、欠陥が生じた場合は FF への値の伝搬が遅れ、0 が取り込まれる。

## 2.2 ブロードサイド方式による 2 パターンテスト

遷移故障を検出するためには、連続した 2 つのテストパターンが必要となる。遷移故障検出法である 2 パターンテストを用いた実速度スキャンテスト法としてブロードサイド方式がある[6]。図 2 にブロードサイド方式による信号線  $b$  の R 故障の検出方法の例を示す。

ブロードサイド方式は、スキャン設計された回路に対して適用される。1 パターン目においてシフト動作によりテストパターンがスキャン FF に印加される。2 パターン目は 1 パターン目の回路応答がスキャン FF に設定されテストパターンとなる。ブロードサイド方式において、遷移故障を検出するために、1 パターン目は、故障箇所への初期値割当てを行い、2 パターン目は、遷移故障の励起、伝搬を行う。

図 2 に外部入力  $PI1$ ,  $PI2$ 、スキャン FF が 4 個(FF1, FF2, FF3, FF4)からなるスキャン設計回路において信号線  $b$  に R 故障が発生していると仮定する。まず始めに信号線  $b$  に 0 を割当て可能なテストパターンを 1 パターン目に印加する。例では、(FF1, FF2, FF3, FF4)=(1, 0, 0, 1)となるようにテストパターンをシフト動作により印加する。次に 1 パターン目の回路応答をスキャン FF に取り込むことにより 2 パターン目のテストパターンとなり、各スキャン FF は(FF1, FF2, FF3, FF4)=(1, 1, 0, 0)となる。この処理により信号線  $b$  での値の遷移が起こり、なおかつ FF4 により故障影響を観測することが可能となる。

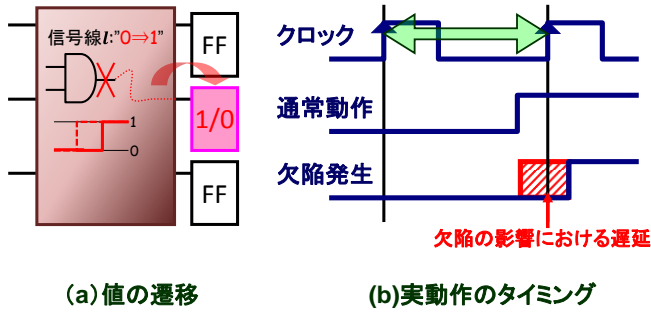


図 1. 立ち上がり遷移故障(R故障)

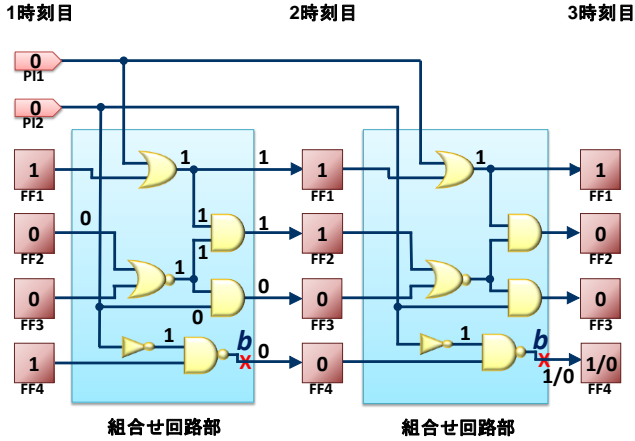


図 2. 2パターンテスト(ブロードサイド方式)

### 3. テスト品質評価尺度

#### 3.1 欠陥の検出条件

信号線の欠陥を検出するための必要条件は、その欠陥信号線から外部出力までの少なくとも1つの経路を活性化することである。しかしながら、欠陥は多種存在し、多くの欠陥を検出するためには、できるだけ多くの経路を活性化する必要がある。その例を図3に示す。図3において、太くなっている信号線が活性化された信号線である。欠陥が存在する信号線fから外部出力までの、すべての経路が活性化していることがわかる。欠陥箇所から多数の経路を活性化することで、多くの種類の欠陥が検出される可能性があると考えられる。

#### 3.2 故障活性化率の定義

活性化される信号線数を考慮したテスト品質評価尺度として、故障活性化率[4]を定義する。

[定義] 故障活性化率

信号線 $l$ の故障 $v$ の故障活性化率は、 $v$ から構造的に到達可能な信号線数のうち、テスト集合 $T$ によって信号線 $l$ の故障 $v$ について活性化された信号線数の割合を表したものである。

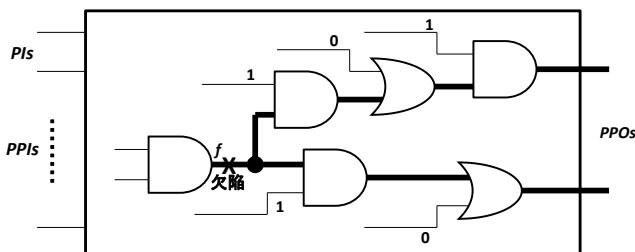


図 3. 欠陥の検出条件

$$\forall tbo_j \in TBO(l) \quad (2)$$

$$|TBO(l)| \quad (3)$$

式(2)において、 $tbo_j$ とは信号線 $l$ から到達可能な任意の信号線(トランシブファンアウト)を表しており、 $TBO(l)$ は信号線 $l$ のトランシブファンアウト集合を表している。

式(3)では、信号線 $l$ のトランシブファンアウト数を表している。

$$FS(tbo_j) = \begin{cases} 1 & \text{信号線} l \text{ の故障} v \text{ が} \\ & \text{信号線 } tbo_j \text{ を通って} \\ & \text{1つ以上のPPOに伝搬} \\ 0 & \text{その他} \end{cases}$$

$$l : \text{fault } v$$

$$v \in \{Rise, Fall\} \quad (4)$$

式(4)は、信号線 $l$ のトランシブファンアウトの  $j$  番目の信号線に故障 $l$ の故障 $v$ の影響が伝搬し、かつ一つ以上の疑似外部出力(PPO)で故障影響が観測できた時に1となり、それ以外のときは0となる。故障 $v$ は立上り、立下り遷移故障である。

式(5)において、 $Sen_{l: \text{fault } v}$ は信号線 $l$ の故障 $v$ の故障活性化率を示しており、テスト集合 $T$ において、検出可能な信号線 $l$ の故障 $v$ から到達可能な信号線のうち、活性化された信号線の割合を示している。以下に故障活性化率算出例を示す。

$$Sen_{l: \text{fault } v} = \frac{|TBO(l)|}{\sum_{j=1}^{|TBO(l)|} FS(tbo_j)} \quad (5)$$

例: 図4のフルスキャン設計された回路の入力(PI1, PI2, FF1, FF2)において、テスト集合  $T_\alpha = \{(1,1,0,1)\}$ ,  $T_\beta = \{(1,0,0,1)\}$  が与えられたときの信号線fの立上り遷移故障の故障活性化率はそれぞれ以下のように求めることができる。

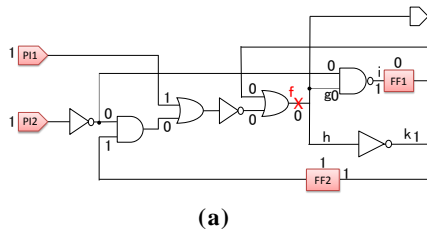
信号線fのトランシブファンアウト数は{f, g, i, h, k}の5本である。

・  $T_\alpha$  が与えられたときの故障活性化率

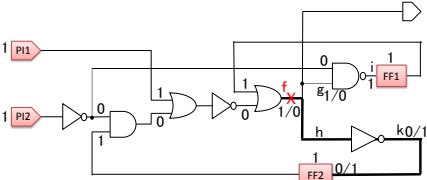
テストパターン(PI1, PI2, FF1, FF2)=(1,1,0,1)を入力に印加した場合、1時刻目の信号線値は図4(a)のようになり、信号線fの論理値は0となる。2時刻目のFF1とFF2の値は、ブロードサイドテストを行うため、1時刻目の回路応答が印加される。よって、テストパターン(PI1, PI2, FF1, FF2)=(1,1,1,1)が印加され、活性化される信号線は図4(b)より{f, h, k}である。したがって、 $T_\alpha$ によって活性化される信号線数は3本となるので、信号線fの立上り遷移故障の故障活性化率は、 $3/5 \times 100 = 60[\%]$ となる。

・  $T_\beta$  が与えられたときの故障活性化率

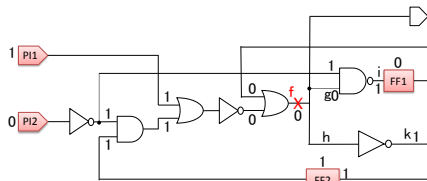
テストパターン(PI1, PI2, FF1, FF2)=(1,1,0,1)を入力に印加した場合、1時刻目の信号線値は図4(c)のようになる。2時刻目のテストパターンは、1時刻目の回路応答より、テストパターン(PI1, PI2, FF1, FF2)=(1,1,1,1)が印加され、活性化される信号線は図4(d)より{f, h, k, g, i}である。したがって、 $T_\beta$ によって活性化される信号線数は5本となるので、信号線fの立上り遷移故障の故障活性化率は、 $5/5 \times 100 = 100[\%]$ となる。



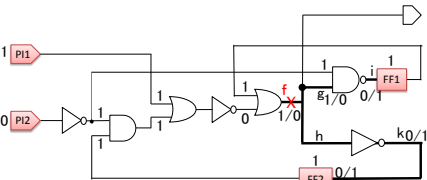
(a)



(b)



(c)



(d)

図 4 故障活性化率計算

#### 4. 故障活性化率向上指向ドントケア割当て法

##### 4.1 手法戦略

本論文におけるドントケア割当て法の目的は、活性化される信号線を出来るだけ多く増やしテスト品質を向上させることである。微小遅延故障に対するテスト品質の向上も考慮し、以下の二つを提案手法の戦略として挙げる。

- (1) 故障活性化率が低く、かつトランシブファンアウト数の多い故障の故障活性化率を優先的に向上させる。
- (2) 長いドントケアパスを優先的に活性化させる。

##### 4.2 全体アルゴリズム

本論文で提案する故障活性化率向上指向ドントケア割当て法全体のアルゴリズムを説明する。図 5 に全体アルゴリズムを示す。

- (Step.1) トランジション故障を対象として、初期テスト集合を ATPG ツールより生成する。
- (Step.2) 生成された初期テスト集合に対して、故障検出に関係のない(疑似)外部入力値をドントケアにする。このドントケア抽出のアルゴリズムは文献[5]で提案された、できる限り多数のドントケアを抽出するものを採用している。
- (Step.3) ドントケア抽出されたテスト集合に対して、故障活性化率向上指向ドントケア割当てを実行する。

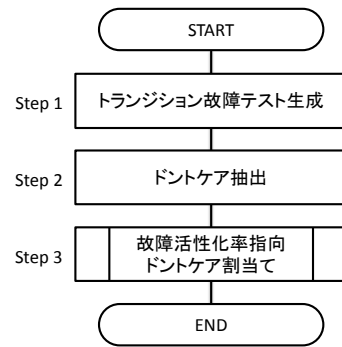


図 5 故障活性化率指向ドントケア割当て法全体アルゴリズム

#### 5. 実験結果

フルスキャン設計された ISCAS'89 ベンチマーク回路に対して、本論文で提案した故障活性化率向上指向ドントケア割当て法により、生成したテスト集合と初期テスト集合の故障活性化率を算出し比較評価を行った。また、初期テストパターンと提案手法によって生成されたテストパターンの微小遅延故障検出能力を比較するために、それぞれの SDQL 値を比較した。初期テスト集合は、Synopsys 社の TetraMAX で生成されたものを用いた。

図 6-10 に ISCAS'89 ベンチマーク回路に対して、初期テスト集合と、本論文で提案した手法によりドントケア割当てを行ったテスト集合の故障活性化率を示す。横軸は初期テスト集合の故障活性化率を表し、縦軸は提案手法でドントケア割当てしたテスト集合の故障活性化率を表している。また、表 1 に初期テスト集合と提案手法によってドントケア割当てを行ったテスト集合の SDQL 値の比較を示す。表 1 において左から回路名、初期テスト集合の故障活性化率の平均と SDQL 値、ドントケア割当てを行ったテスト集合の故障活性化率の平均と SDQL 値、提案手法による SDQL の削減率を示している。

図 6-10 より、すべての回路において、提案手法によってドントケア割当てを行ったテスト集合は初期テスト集合に比べて故障活性化率が向上した故障が増えたことがわかる。特に、故障活性化率が比較的高い(50%以上)故障数を増加させ、故障活性化率の比較的低い(50%以下)故障数を減少させたことがわかる。また表 1 より、すべての回路において提案手法によってドントケア割当てを行ったテスト集合は初期テスト集合より SDQL 値を改善しており、最大 21.1%向上したことがわかった。

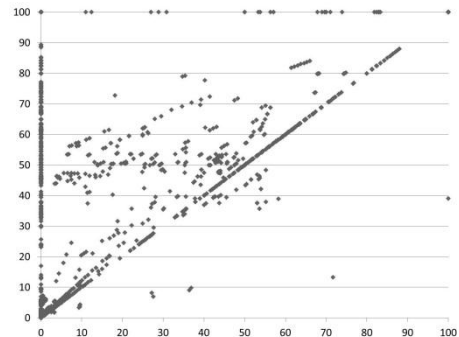


図 6 故障活性化率(s13207)

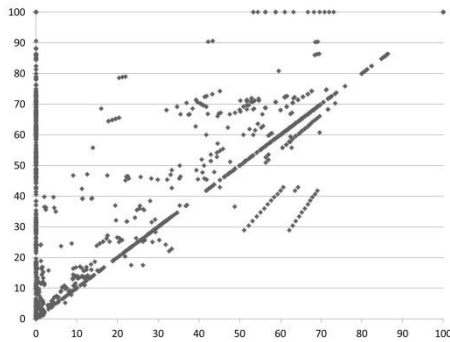


図 7 故障活性化率(s15850)

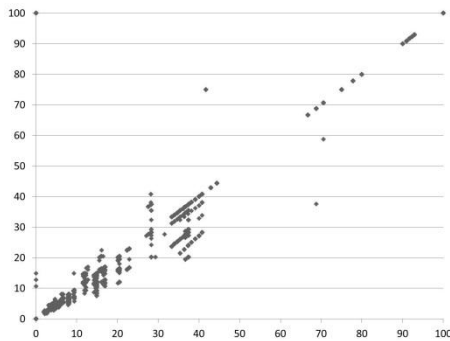


図 8 故障活性化率(s35932)

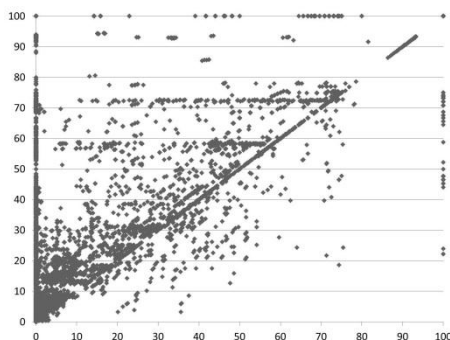


図 9 故障活性化率(s38417)

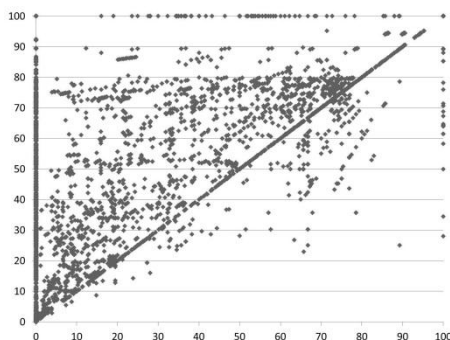


図 10 故障活性化率(s38584)

表 1. 初期テスト集合と提案手法によるテスト集合の SDQL 値比較

回路名	初期テスト集合		提案手法		SDQL削減率
	故障活性化率	SDQL	故障活性化率	SDQL	
s13207	50.3%	302248	68.2%	244821	19.0%
s15850	60.8%	927916	78.2%	732333	21.1%
s35932	58.5%	3444970	57.7%	3479415	-0.01%
s38417	61.8%	584836	74.0%	488326	17.0%
s38584	68.6%	1494221	83.2%	1221426	18.3%

## 6. おわりに

本論文では、故障活性化率向上指向ドントケア割当て法の提案と、実際に ISCAS'89 ベンチマーク回路に対して提案手法を評価し故障活性化率が向上を確認した。また、テスト品質として故障活性化率の妥当性を検証するために、提案手法によって生成されたテスト集合の微小遅延故障検出能力を SDQL を用いて評価した。故障活性化率を向上させることで SDQL を改善できたことを確認した。

今後の課題として、さらに故障活性化率が向上するようにドントケア割当て法の提案と、微小遅延検出能力をさらに正確に評価できるようなテスト品質評価尺度の提案を行う。

## 参考文献

- [1] I. PARK, A. Al-Yamani, and E.J. McCluskey, "Effective TARO pattern generation," Proc. 23rd VLSI Test Symposium, pp. 161-166, April 2005.
- [2] E.J. McCluskey, A. Al-Yamani, C.W. Tseng, E. Volkerink, F.F. Ferhani, E. Li, and S. Mitra, "ELFMurphy data on defects and test sets," Proc. VLSI Test Symp., pp.16-22, April 2004.
- [3] Xijiang Lin, Kun-Han Tsai, Chen Wang, Mark Kassab, Janusz Rajska, Takeo Kobayashi, Randy Klingenberg Yasuo Sato, Shuji Hamada, Takashi Aikyo, "Timing-Aware ATPG for High Quality At-speed Testing of Small Delay Defects," 15th Asian Test Symposium (ATS'06)
- [4] 細川利典 山崎浩二, "故障活性化率向上のための n 回検出テスト法," 電子情報通信学会論文誌 D vol. J90 No.6, pp. 1474-1482, 2007
- [5] Kohei Miyase, Kenji Noda, Hideaki Ito, Kazumi Hatayama, Takashi Aikyo, Yuta Yamato, Hiroshi Furukawa, Xiaoqing Wen, Seiji Kajihara, "Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-identification," IEEE/ACM International Conference on Computer-Aided Design pp52-58.2004.
- [6] J. Savir and S. Patil, "On Broad-Side Delay Test," VLSI Test Symposium, pp. 284-290 Sep. 1994
- [7] A.Krstic and K.T.Cheng, "Delay Fault Testing for VLSI Circuits," Kluwer Academic Publishers,1998
- [8] G.L.Smith, "Model for delay faults upon paths," Proceeding of the International Test Conference, pp.342-349, 1985.
- [9] M Abramovici, M.A.Breuer and A.D.Frindman, "Digital Systems Testing and Testable Design", Wiley-IEEE Press .pp.672, 1990.
- [10] 佐藤康夫,浜田周治,前田敏行,高取厚夫,野津山泰行,梶原誠司,統計的遅延品質モデル(SDQM)のフィジビリティ評価” 電子情報通信学会,pp.1717-1728,2006
- [11] M. Renovell, P. Huc, and Y. Bertrand, "The concept of resistance interval: A new parametric model for realistic resistive bridging fault," VLSI Test Symposium, pp.184-189, 1995
- [12] G. L. Smith, "Model for delay faults based upon paths," ITC, pp342-349, 1985